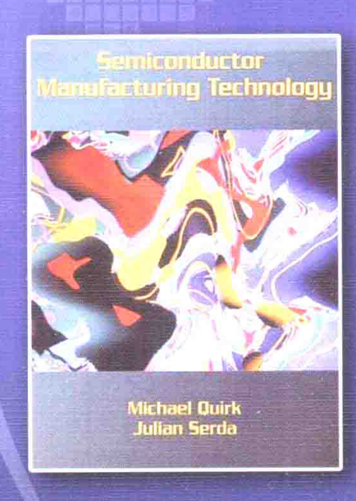
国外电子与通信教材系列

PEARSON

半导体制造技术

Semiconductor Manufacturing Technology



[美] Michael Quirk
Julian Serda 著

韩郑生 等译
海潮和 徐秋霞 等审校

中国工信出版集团



電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

半导体制造技术

Semiconductor Manufacturing Technology

本书旨在介绍半导体集成电路产业中的新工具和技术，以便提高读者在工作过程中理解与使用相同或类似工具的能力。全书在细节上覆盖了用于亚0.25 μm（0.18 μm及以下）工艺的新技术，通过描述早期的工具和工艺来阐明现代技术的发展。书中包括铜互连、化学机械平坦化（CMP）、低*k*介质工艺、浅槽隔离（STI）、深紫外化学放大光刻胶、步进与扫描系统、具有双大马士革的铜金属化等。书中还解释了产业变化漫长历史中的所有工艺和设备，以及工艺需求和设备性能的技术关系，并给出了设备潜在性能与最佳制造所需工艺参数之间的折中。

本书特色

- 在工艺章节（第10章至第18章）中讨论了关于设备和工艺的质量测量及故障排除等问题，在硅片制造中会遇到这些问题
- 全书通过大量生动的图表和具体翔实的数据来解释技术性内容，为读者提供了视觉支持，以掌握抽象的概念和原理
- 每章最后有小结、关键术语、相关设备供应商网站和复习题
- 附录中给出了关于安全性和技术信息等颇有价值的内容

其他相关图书
请扫二维码↓





PEARSON
www.pearson.com



定价：79.00 元

策划编辑：马　岚
责任编辑：马　岚
责任美编：李　雯



国外电子与通信教材系列

半导体制造技术

Semiconductor Manufacturing Technology

［美］ Michael Quirk
Julian Serda 著

韩郑生 等译

海潮和 徐秋霞 等审校

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内容简介

本书详细追述了半导体发展的历史并吸收了各种新技术资料，学术界和工业界对本书的评价都很高。全书共分20章，根据应用于半导体制造的主要技术分类来安排章节，包括与半导体制造相关的基础技术信息；总体流程图的工艺模型概况，用流程图将硅片制造的主要领域连接起来；具体讲解每一个主要工艺；集成电路装配和封装的后部工艺概况。此外，各章为读者提供了关于质量测量和故障排除的问题，这些都是会在硅片制造中遇到的实际问题。

本书适合作为高等院校微电子技术专业的教材，也可作为从事半导体制造与研究人员的参考书及公司培训员工的标准教材。

图书在版编目（CIP）数据

半导体制造技术/（美）夸克（Quirk, M.），（美）瑟达（Serda, J.）著；韩郑生等译. —北京：电子工业出版社，2015.6
（国外电子与通信教材系列）
书名原文：Semiconductor Manufacturing Technology
ISBN 978-7-121-26083-4

Ⅰ.①半… Ⅱ.①夸… ②瑟… ③韩… Ⅲ.①半导体工艺-高等学校-教材 Ⅳ.①TN305

中国版本图书馆CIP数据核字（2015）第103797号

策划编辑：马　岚
责任编辑：马　岚
印　　刷：三河市双峰印刷装订有限公司
装　　订：三河市双峰印刷装订有限公司
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路173信箱　邮编：100036
开　　本：787×1092　1/16　印张：38.5　字数：986千字
版　　次：2015年6月第1版
印　　次：2015年6月第1次印刷
定　　价：79.00元

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝“国外电子与通信教材系列”项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出 版 说 明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套"国外计算机科学教材系列"，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于"十五"期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进"国外电子与通信教材系列"，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，"国外电子与通信教材系列"的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过"教育部高等学校电子信息科学与工程类专业教学指导委员会"的审核，并得到教育部高等教育司的批准，纳入了"教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书"。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 者 序

当人类进入电气时代和20世纪前期以真空电子管为主导的电子时代，导体和绝缘材料是人们的“宠物”，半导体就像一只被人遗忘的“丑小鸭”。到了20世纪后期发展最快的产业是硅基集成电路，半导体集成电路产业不仅自身迅速成长，还带动了一批其他产业的崛起和完善，例如计算机、通信、航天、精密机械等。超纯、超净、超精细、超大规模等概念对我们的生活产生着巨大的影响。例如，我们现在饮用的纯净水、医护人员的净化服、纳米技术、巨型计算机等都源于半导体集成电路研制。半导体集成电路几乎无处不在，只是常常隐藏在各种漂亮的外壳内。在微电子技术中占主导地位的半导体已经成长为世人瞩目的“白天鹅”。将这一时期称为硅时代就是对半导体最佳的认同。

我们国家的半导体集成电路研究几乎和世界同时起步。但是经过几十年的风雨与磨难，现在才终于迎来产业大发展的春天。国家制定了发展微电子技术的各项优惠政策，与国际接轨的集成电路制造厂纷纷成立，海外学子开始回流，国内许多其他专业的学生也在向微电子专业靠拢。这预示着中国半导体集成电路产业的明天必将灿烂辉煌。

本书追述了半导体集成电路的发展历史，详细描述了集成电路制造的全过程，即硅片制备、硅片制造、硅片测试/拣选、装配和封装以及终测。书中提供了大量精美的图片、图表和具体翔实的数据。对立志从事微电子技术工作，而又未能实际体验集成电路制造过程的人来说，它无疑是一位良师益友。即使是正在从事集成电路制造的工程技术人员，也一定会认为它是非常有价值的参考书。作者在前言中叙述了各章节的主要内容，这里不再赘述。

为了使本书能和广大读者尽快见面，中国科学院微电子研究所的一些研究员和研究生参加了本书的翻译工作。参加本书翻译工作的有韩郑生、欧文、杜寰、杨荣、丁明正、李科、武荣刚、白国斌、赵洪辰、林钢、南铮、李庆华、刘奎伟、汤仙明、王志玮、程超、连军等。参加本书审校工作的研究员有韩郑生、海潮和、徐秋霞、扈焕章、周小茵和汪锁发。此外，非常感谢周玉梅研究员将本书介绍给译者。鉴于译者水平有限，在翻译过程中难免有疏漏之处，恳请广大读者不吝赐教。

译者

2003年6月1日于北京

再版译者序

2014年6月24日国务院在北京正式发布《国家集成电路产业发展推进纲要》，这是继2000年国务院18号文《鼓励软件产业和集成电路产业发展若干政策》和2011年国务院4号文《关于印发进一步鼓励软件产业和集成电路产业发展若干政策的通知》后，国家对集成电路产业支持最重要的政策。这也充分说明电子产品已成为国民经济的支柱产业，半导体集成电路和器件正是这一产业的核心。制造半导体集成电路和器件的技术也是衡量国家科技发展水平的重要标志之一。

本书自出版到现在，半导体集成电路也按照摩尔定律继续前进到了14 nm的技术节点，虽然引入了一些新技术，摩尔定律也从一维的“More Moore”修改为三维的“More Moore、More than Moore、Beyond CMOS”。但是本书的内容仍可作为微电子学专业的基础性工艺教材和实用参考书。

展望未来，在相当长的时期内CMOS集成电路在半导体领域的霸主地位不会动摇，它会继续遵循摩尔定律，特征尺寸沿着按比例缩小规律继续前进；另一个发展方向是将射频（RF）、声、光、磁、压力等物理信号与CMOS IC集成在一起，即所谓片上系统集成（SoC），可以想像SoC技术将前途无量；此外，由半导体制造技术派生出的新的学科领域，例如微电子机械系统（MEMS）等技术的研究与应用正方兴未艾。

本书翻译版自2004年出版以来已多次重印，在此期间我们收到一些读者反馈的修改意见，在此表示衷心感谢。在核对勘误的过程中，我们还注意到原英文版的一些疏漏，也已进行了更正。恳请广大读者对书中的错误继续给予指正。

译者

2015年4月12日于北京

前　　言

本教材以简单的假设为开始: 作为教师,我们需要教给学生和半导体制造厂雇员相关的微芯片技术。遗憾的是，在半导体产业，技术的变化是以月而不是以年为单位计的。我们的挑战是写一本相关书籍，它不能到出版发行时就过时。带着这种心理，我们研究材料并应用于所写的章节和创作的艺术品中。遵循着摩尔定律的快速节奏，本书中的技术素材最多仅有18到24个月。这使得我们可以与整个半导体产业令人晕眩变化的技术节点保持同步。

本书是为两年制大专或四年制大学技术专业的学生所写的,也可以作为公司和技术培训课程的实际参考书和标准教材。希望学生了解高中化学、物理和数学知识。章节围绕应用于半导体制造的主要技术来安排。

本书的组织

我们的目标是实现三个目的：

1. 帮助技术学生掌握用于制造半导体器件的基本技术。
2. 介绍微芯片制造中许多挑战的一部分。
3. 满满地灌输给读者半导体制造概念化的简单的正确评价。

首先，第1章到第8章介绍半导体制造相关的全部基础技术信息。第9章介绍工艺模型概况，用流程图将硅片制造的主要领域连接起来。第10章到第19章覆盖制造厂中的每一个主要工艺。最后，第20章提供集成电路装配和封装的后道工艺概况。在工艺章节（第10章至第20章）讲述关键工艺技术，接下来是支持这些技术需要的各种设备设计。每个工艺章节都将关于质量测量和故障排除问题总结出来提供给学生，这些是在硅片制造中每天都会遇到的难题。

在细节上覆盖用于亚0.25 μm工艺的最新技术。包括化学机械平坦化（CMP）、浅槽隔离（STI）、深紫外化学放大光刻胶、步进与扫描系统、具有双大马士革的铜金属化以及向具有多腔集成设备的工艺集成的普遍转移。贯穿全书，解释了产业变化漫长历史中的所有工艺和设备。描述早期的工具和工艺以阐明现在技术的发展。在一些例子中，最近的设备和早期的工具之间的联系显而易见，而在另外一些例子中，变化是惊人的。

教授、学生以及本书的其他读者可将关于本书的评论和问题发给作者（网址为 http://www.smtbook.com）。我们渴望任何有助于提高半导体制造教育的信息交流。

目　　录

第1章　半导体产业介绍

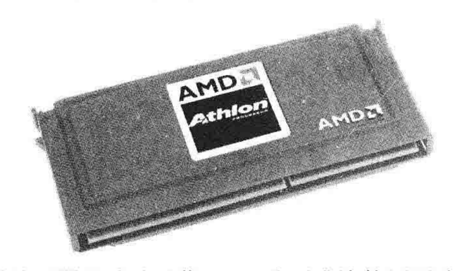
在20世纪，社会目睹了伴随着从机械技术派生出的产品到集中电子技术产品变化的技术革命。数字CD播放机取代了磁带播放机，现在汽车发动机也已由电子点火系统控制。电子计算机几乎在社会每个方面迅速起着作用，促进资源的有效利用。从由电子技术引起变化的广度看，这场革命刚刚开始。

半导体产业已经成为这场技术革命的中心。主要建筑材料——半导体——是贯穿整个社会电子产品的要素。半导体产品由具有不同技术技巧的人们制造：根据客户需求创造新设计的设计师、根据设备和工艺要求而改善性能的工程师以及在自动化工厂制造半导体产品的技师。总之，增长着的半导体市场不断要求以更低的成本获得更好的性能。

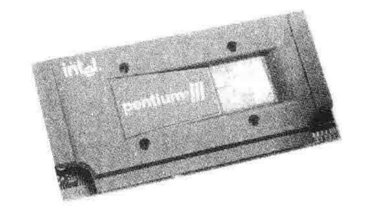
目标

通过本章的学习，你将能够：

1. 描述现在的经济状态和半导体产业的技术根基。
2. 解释什么是集成电路，并列出5个电路集成时代。
3. 描述硅片，包括它是如何分层的，并描述硅片制造5个阶段的基本方面。
4. 说明并讨论伴随硅片制造发展的三个主要趋势。
5. 解释什么是关键尺寸（CD）及摩尔定律如何预测未来硅片制造进展。
6. 描述自晶体管发明到现代硅片制造的不同电子时代。
7. 讨论在半导体产业中的不同职业路径。



微处理器芯片（承蒙AMD公司准许使用照片）



微处理器芯片（承蒙Intel公司准许使用照片）

1.1　引言

制造电子器件的基本半导体材料是圆形单晶薄片，称为硅片。在硅片制造厂，由硅片生产的半导体产品，又被称为微芯片或芯片。

半导体制造技术很复杂，要求许多特殊工艺步骤、材料、设备以及供应产业。一旦微芯片被制造，根据大量产品应用要求，它们被封装到各种电子和机械的装配件中。这些应用的例子有汽车电子、电子商务、个人电脑及移动电话通信。

在2001年，微芯片全球销售额有望超过2000亿美元[1]。现在，半导体占个人电脑成本的30%到40%，在每一部手机中半导体约占100美元的价值。每辆汽车含有近乎价值140美元的微芯片，随着这个价值量的增加，汽车变得更智能化。

半导体产业实际上是一个更大实体的子系统——高技术产业。制造微芯片生产电子硬件，它伴随着软件集成并控制芯片功能。高技术产业包含整个半导体应用中可见的全部硬件和软件（见图 1.1）。

在美国，高技术产业是庞大的。在20世纪90年代中期，高技术产业占美国经济的27%，相比之下居民住房占14%，汽车业占4%。为什么半导体产业变得如此强大呢？一个主要因素是该产业能持续增加半导体产品性能而同时降低成本的价格。满足市场对于高性能低成本需求的能力可以直接归根于技术的规律性发展，它贯穿了整个产品设计和制造业的历史。

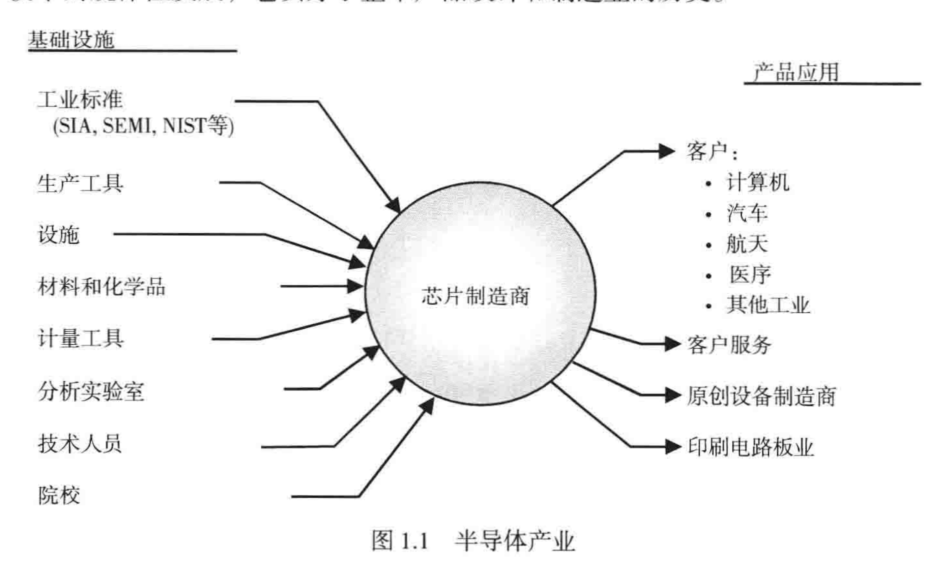


图 1.1 半导体产业

1.2 产业的发展

用于制造半导体器件的技术发展出自电子领域先驱的许多技术发明。

1.2.1 产业根基

半导体产业发展的基础是在20世纪上半叶开发的技术上培育出来的[2]。关键技术是在工业和学术网中获取的：真空管电子学、无线电通信、机械制表机及固体物理。这些产业构成了那时的高技术产业。

放大电子信号的三极真空管是由Lee De Forest于1906年发明的。它发展了早期由约翰·弗莱明（John Fleming）和托玛斯·爱迪生在真空管方面的工作。三极管由三个部件构成，在一个抽空气体的玻璃容器中分别封入两个电极和一个栅极。为了使部件不被烧毁，同时还要保证电子能够在电极间传输，必须采用真空。Forest申请了专利并将他的真空管发明命名为音频管，因为他认为对于声音放大和再生有一些潜力。他是对的，真空管已经变成现代收音机、电视机和整个电子学领域的主要电子器件，直到20世纪50年代。

一种相对新的材料，称为硅的单晶体，在20世纪初曾被用于将无线电通信信号从交流转换为直流。包含这种材料的“半导体”一词最初在德国采用[3]。然而，真正要发展成为半导体技术势力需要全世界物理化学家和物理学家的参与研究。在半导体特性能被完全解释之前，为了理解电子行为的量子理论，这项研究是必需的。这些基础工作延续了几十年直到第二次世界大战。

对于电子计算数据有市场需求。第一台机械计算机是霍尔瑞斯机械制表机，是由赫尔曼·霍尔瑞斯（Herman Hollerith）发明的，并在令人惊异的六周内把1890年人口普查数据制成表格。这台

制表机由电动马达驱动并且依靠穿孔卡（穿孔卡保持计算机的通用输入模式贯穿于20世纪70年代）。在第二次世界大战期间的宾夕法尼亚大学，真空管被用于开发第一台电子计算机ENIAC（电子数字积分与计算器）。ENIAC重达50吨、占地3000平方英尺（1英尺 = 0.3048米）、需要19 000只真空管，并且使用相当于160个灯塔的电量。

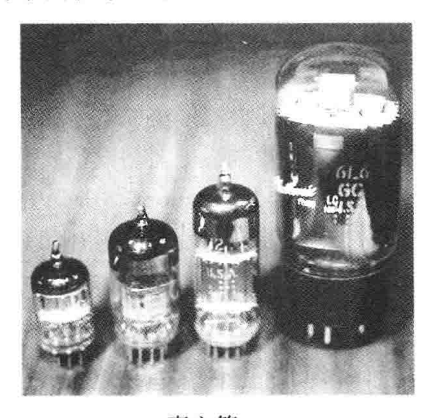
ENIAC除了体积大之外，它的主要缺点是伴随着真空管出现的问题。真空管体积大、不可靠以及耗电量大。由于会烧毁，真空管寿命有限。为了迎合迅速发展的电子市场的需求来生产体积小、可靠的电子产品，真空管显然不是优选技术。

1.2.2　固体

第二次世界大战后，贝尔电话实验室的科学家们一致努力研究固态硅和锗半导体晶体。领导这项研究的科学家感到需要替换掉真空管，并且可以从用固态半导体材料代替真空管中受益。

当代半导体产业伴随着1947年12月16日在贝尔电话实验室固态晶体管的发明而诞生，发明者是威廉·肖克利（William Shockley）、约翰·巴丁(John Bardeen) 和沃尔特·布拉顿（Walter Brattain）[4]。晶体管的名字取自“跨导”和“变阻器”两词[5]，提供了与真空管同样的电功能，但具有固态的显著优点：尺寸小、无真空、可靠、重量轻、最小的发热以及低功耗。这三位科学家以他们的发明被授予1956年物理学诺贝尔奖。这一发现发动了以固体材料和技术为基础的现代半导体产业。

半导体产业在20世纪50年代开始迅速增长为以硅为基础的商品化晶体管技术。早期的许多先驱者开始在北加利福尼亚州，现在以硅谷著称的地区。1957年，在加利福尼亚州的帕罗阿托市（Palo Alto）的仙童半导体公司（Fairchild Semiconductor）制造出第一个商用平面晶体管。它有一层铝互连材料，这种材料被淀积在硅片的最顶层以连接晶体管的不同部分（见图1.2）。从硅上热氧化生长的一层自然氧化层被用于隔离铝导线。这些层的使用在半导体领域是一重要发展，也是称其为平面技术的原因。



真空管

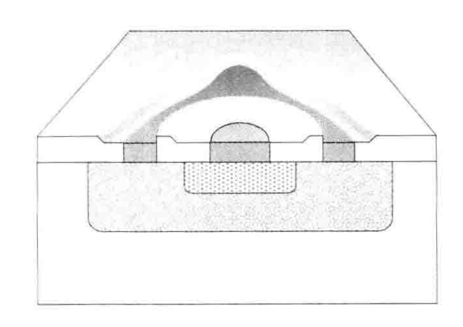


图1.2　第一个平面晶体管

1.3　电路集成

半导体这一名称的来源是由于半导体材料有时是电的导体而有时是非导体。建成具有单一功能的简单芯片（称为分离元件）最早的半导体材料是锗。现在，全部微芯片的85%以上都是由半导体材料硅制造的。基于这个原因，在这本书中我们着重强调硅。

在半导体产业向前迈进的重要一步是将多个电子元件集成在一个硅衬底上。被称为集成电路或简称IC，它是由仙童半导体公司的罗伯特·诺伊思（Robert Noyce）和德州仪器公司（Texas

Instruments）的杰克·基尔比（Jack Kilby）于1959年分别独自发明的。在一块集成电路的硅表面上可以制造许多不同的半导体器件，例如晶体管、二极管、电阻和电容，它们被连成一个有确定芯片功能的电路。表达集成电路通常意味着描述这个芯片和它的全部元件。

1958年7月，在得克萨斯州达拉斯市的德州仪器公司，杰克·基尔比制造的第一块集成电路是用一片锗半导体材料作为衬底制造的[6]。发明是将一个晶体管和在锗上的其他元件结合在一起，同时利用了锗的固有电阻做成一个电阻。这些器件用单线连接。

在仙童半导体公司，罗伯特·诺伊思也发明了集成电路的概念，并扩展到如何在平面硅材料上互连不同的元件。他的想法是在硅表面使用铝金属导体互连不同的晶体管，同时使用在硅上生长的氧化层作为将硅器件与金属导体隔离开的绝缘体。这是作为单结构硅芯片集成电路的第一个实用结构[7]。

自从集成电路问世以来，电路集成已经有了巨大的增长。因为所有元件都被集成在一块衬底上，集成电路已发展成生产与互连许多元件的一种有效成本与可靠的方法。在一块集成电路上集成许多不同元件的能力激励了工程师们设计更复杂的电子电路，以满足新客户的需求。

1.3.1 集成时代

我们可以大致以集成在一块芯片上的元件数划分集成时代。从20世纪60年代到现在，这是组织半导体产业发展的有用方法（见表1.1）。

表1.1 半导体的电路集成

电路集成	半导体产业周期	每个芯片元件数
没有集成（分离元件）	1960年之前	1
小规模集成电路（SSI）	20世纪60年代前期	2至50
中规模集成电路（MSI）	20世纪60年代到70年代前期	20至5000
大规模集成电路（LSI）	20世纪70年代前期到70年代后期	5000至100 000
超大规模集成电路（VLSI）	20世纪70年代后期到80年代后期	100 000至1 000 000
甚大规模集成电路（ULSI）	20世纪90年代后期至今	大于1 000 000

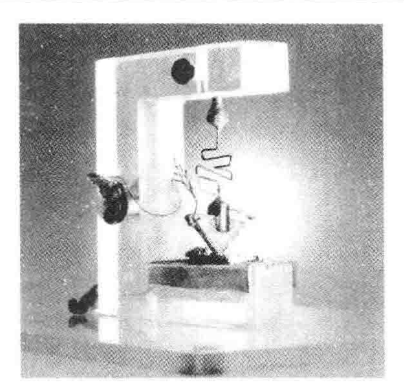
电路集成直到今天在一块芯片上的器件数持续增长。电路集成的一个重要挑战是半导体制造工艺的能力，在可接受的成本条件下改善加工技术，以生产高集成度的甚大规模集成电路芯片。为达到此目标，半导体产业已变成高度标准化的，大多数制造商使用类似的制造工艺和设备技术。开发市场成功的关键是公司在合适的时间推出合适的产品的能力。创立像International SEMATECH和半导体行业协会（SIA）这样的行业协会来协助芯片生产商在世界高性能集成电路市场中进行竞争。

1.4 集成电路制造

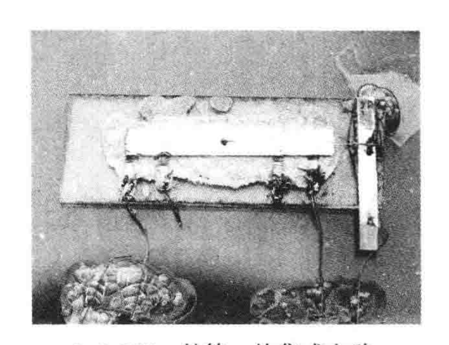
可以在一片硅片上同时制作几十甚至上百个特定的芯片（见图1.3）。在一片硅片上芯片数的不同取决于产品的类型和每个芯片的尺寸。芯片尺寸改变取决于在一个芯片集成的水平。

芯片也称为管芯（单数和复数芯片或集成电路），而硅圆片通常被称为衬底。硅片的直径多年来一直在增大，从最初的不到1英寸8到现在常用的8英寸（约200毫米），正在进行向12英寸或300毫米的转变（见图1.4）。如果在一片硅片上有更多的芯片，制造集成电路的成本会大幅度降低，这得益于经济规模（通过同样的努力，生产更多芯片）。

半导体器件的制作仅发生在接近硅片表面的几微米。在工艺加工过程中，硅片厚度提供硅片足够的强度。一旦器件在硅片上制作完毕，硅片上的金属线路层将作为器件和芯片外边的各种电信号之间的连接（见图1.5）。现代集成电路的互连概念和材料非常类似于1957年仙童半导体公司第一商品化的原始平面晶体管。但主要差别是今天的芯片更加复杂。



贝尔实验室的第一支晶体管
（承蒙 Lucent Technologies，Bell Labs Innovations 准许使用照片）



Jack Kilby 的第一块集成电路
（承蒙 Texas Instruments，Inc.准许使用照片）

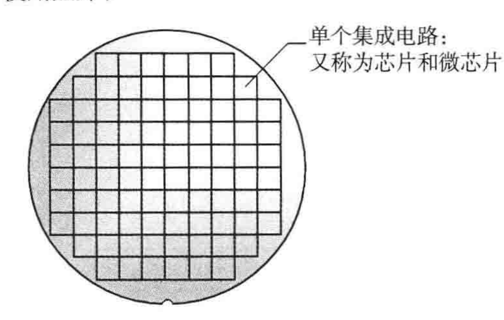


图 1.3　含芯片的硅片顶视图

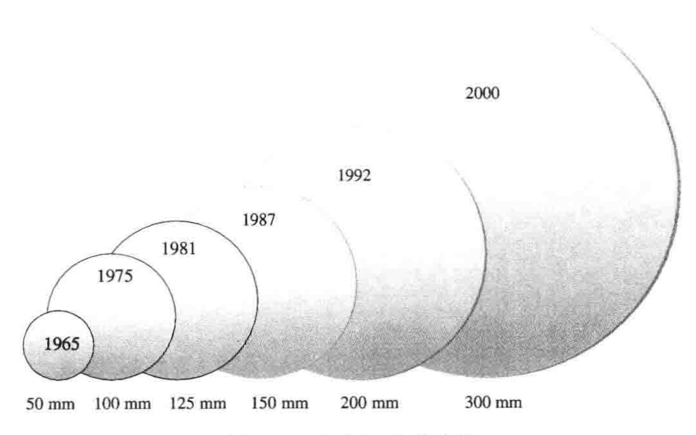


图 1.4　硅片尺寸的演化

1.4.1　硅片制造厂

早期的硅片制造厂很简单，在整个操作中都是操作者手工处理硅片。硅片制造厂的基本要求是随着硅片集成度的提高，允许沾污的水平要显著降低。可能损坏硅片和引起它们不能正常工作的沾污来自许多方面：人体、材料、水、空气及设备。现代硅片制造厂已经变成具有专门设施的工厂，提供了净化制造环境和专用设备以生产具有最小沾污的硅片。这包括限制人体裸露、超纯化学材料和容器以及在甚大规模集成电路时代制造集成电路需要的专用硅片传送工具。

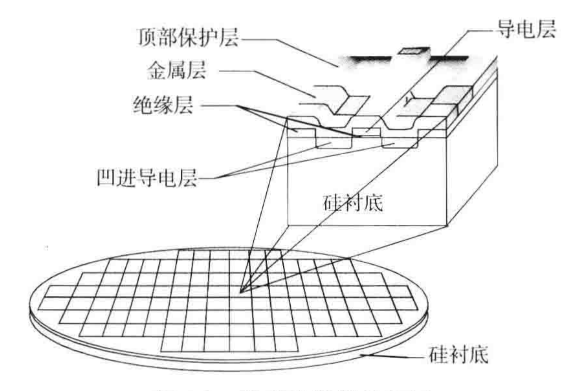


图 1.5 硅芯片的器件和层

在硅片制造厂，一个硅片需要两到三个月工艺流程，完成450道或更多的工艺步骤。在制造工艺末端，单个芯片将被从整个硅片上分开，然后准备封装成最终产品。

1.4.2 集成电路的制造步骤

微芯片制造涉及5个大的制造阶段（见图1.6）：

- 硅片制备
- 硅片制造
- 硅片测试/拣选
- 装配与封装
- 终测

这5个阶段是独立的，在半导体公司内具备大型基础设施，并且有提供专用化学材料和设备的工业支撑网。仅在独立阶段运营的公司（像仅制造芯片的芯片公司），必须满足业界标准以确保最终微芯片满足性能目标。

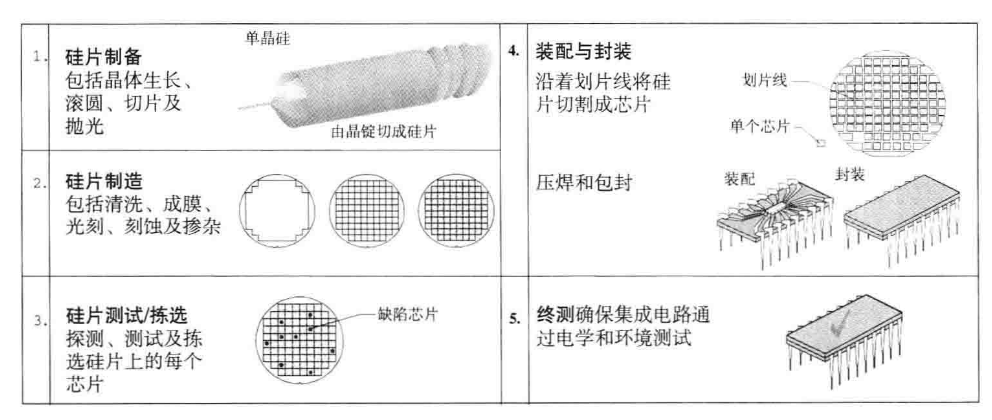


图 1.6 集成电路制造的阶段

■ 硅片制备 在第一阶段，将硅从沙中提炼并纯化。经过特殊工艺产生适当直径的硅锭（见图1.7）。然后将硅锭切割成用于制造微芯片的薄硅片。按照专用的参数规范制备硅片，例如定位边要求和沾污水平。

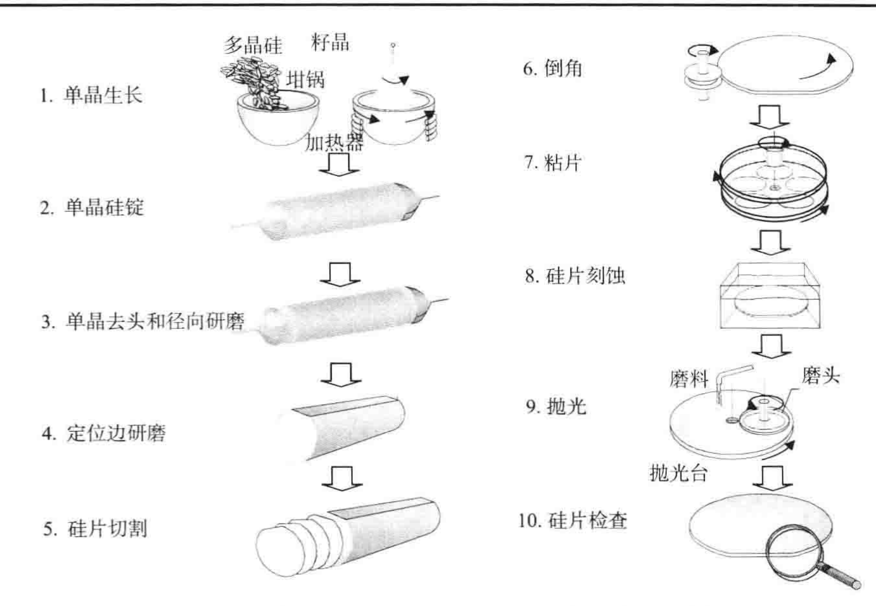


图 1.7 硅片制备（注：图 1.7 中的术语将在第 4 章中解释）

从20世纪80年代以来，制造微芯片的大部分公司从专门从事晶体生长和硅片制备的供应商那里购买他们的硅片。工业也生产锗或化合物半导体材料的圆片。这些是特殊应用，而大部分半导体圆片是硅材料制成的。

■ **硅片制造** 自硅片开始的微芯片制作是第二阶段，被称为硅片制造。裸露的硅片到达硅片制造厂，然后经过各种清洗、成膜、光刻、刻蚀和掺杂步骤。加工完的硅片具有永久刻蚀在硅片上的一整套集成电路。硅片制造的其他名称是微芯片制造和芯片制造。

制造芯片的公司分为供应商和受控生产商两类。芯片供应商制造的芯片是为了在公开的市场上销售，像为客户生产存储器芯片的芯片制造商。受控芯片生产商制造芯片是为了用在公司自己的产品上，例如受控芯片制造商既制造计算机又制造与计算机配套的芯片。一些芯片制造商既制造自己用的芯片也在公开市场上销售，而另一些公司将制造专用的芯片并在公开市场上购买其他芯片。

另一种芯片制造商是无制造厂公司（fabless company）。这种公司为特殊市场设计芯片，例如图像微芯片，而另一个芯片制造商制造这些芯片。最终，另一种半导体制造商，代工厂（foundry），仅为其他公司生产芯片。20世纪80年代以来，半导体代工厂越来越常见，现在全部芯片的约10%是在代工厂制作的。无制造厂公司和代工厂增加的一个主要原因是建设并维护一个硅片制造厂的高额成本。目前，一个高性能硅片制造厂的费用大约是15亿到30亿美元，总费用的约75%是用于设备。

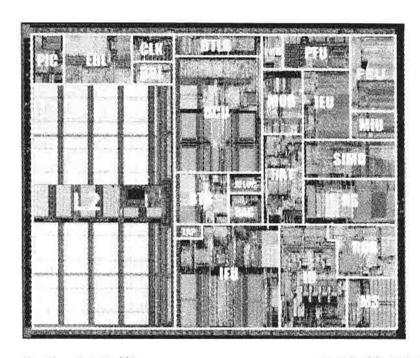
硅片制造涉及许多复杂工艺步骤的交互，可使用自动化设备在一个甚大规模集成电路硅片上生产几亿个器件。伴随着制造高性能集成电路的复杂性，半导体产业总是处于设备设计和制造技术的前沿。这种创新激励了硅片制造的不断改善。

■ **硅片的测试/拣选** 硅片制造完成后，硅片被送到测试/拣选区，在那里进行单个芯片的探测和电学测试。然后拣选出可接受和不可接受的芯片，并为有缺陷的芯片做标记。不会把硅片测试失效的芯片送给客户，而通过硅片测试的芯片将继续进行以后的工艺。

■ **装配与封装** 硅片测试/拣选后，硅片进入装配和封装步骤，以便把单个芯片包装在一个保护管壳内。硅片的背面进行研磨以减少衬底的厚度。一片厚的塑料膜被贴在每个硅片的背面，然后，在正面沿着划片线用带金刚石尖的锯刃将每个硅片上的芯片分开。粘的塑料膜保持硅芯片不脱

落。在装配厂，好的芯片被压焊或抽空形成装配包。稍后，将芯片密封在塑料或陶瓷壳内。最终的实际封装形式随芯片类型及其应用场合而定（见图1.8）。关于装配与封装的更多内容参见第20章。

■ **终测**　为确保芯片的功能，要对每一个被封装的集成电路进行测试，以满足制造商的电学和环境的特性参数要求。终测后，芯片被发送给客户以便装配到专用场合；例如，将存储器元件安装在个人电脑的电路板上。



ULSI芯片（承蒙Intel Corporation准许使用照片）

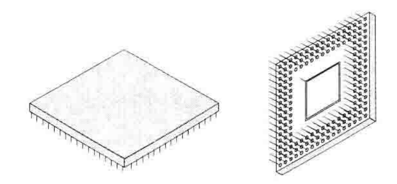


图1.8　微芯片封装例子

1.5　半导体趋势

甚大规模集成电路集成设计和制造集成电路所需的快速技术变化，导致了新设备和新工艺的不断引入。每隔18到24个月，半导体产业就引入新的制造技术。硅片制造技术的改变受到用户需求的驱使。用户要求更快、更可靠和成本更低的芯片。要达到这些要求，芯片制造商已经懂得在一块芯片上减少元件的尺寸。这便提高了芯片速度并能减少功耗。芯片将经历强度测试和分析以证明其长期可靠性。增加一个硅片上的芯片数可以降低成本。

伴随微芯片技术的发展有三个主要趋势：

- 提高芯片性能
- 提高芯片可靠性
- 降低芯片成本

由于本书是研究硅片制造的不同工艺，新技术的介绍将根据它们对这些趋势的贡献加以讨论。

1.5.1　提高芯片性能

从20世纪60年代早期小规模集成电路时代以来，半导体微芯片的性能已得到了巨大的提高。判断芯片性能的一种通用方法是速度。器件做得越小，在芯片上放置得越紧密，芯片的速度就会提高，这是因为通过电路的电信号传输距离更短了。提高速度的另一种方法是：使用材料，通过芯片表面的电路和器件来提高电信号的传输。我们将在后面章节中学习这些新材料。微处理器芯片性能还可以通过芯片上可执行的指令数来评价，如以每秒百万条指令测算（MIPS）。每秒可执行更多指令的更快的芯片对客户是有益的。

■ **关键尺寸（CD）**　芯片上的物理尺寸特征被称为特征尺寸。描述特征尺寸的另一个术语是电路几何尺寸。特别值得注意的是硅片上的最小特征尺寸，也称为关键尺寸或CD。贯穿全书，我们将CD作为定义制造复杂性水平的标准。（也就是是如果你拥有在硅片上制造某种CD的能力，那你就能加工其他所有特征尺寸，由于这些尺寸更大，因此更容易生产。）例如，如果芯片上的最小尺寸是0.18 μm，那么这个尺寸就是CD（见图1.9）。自半导体制造业开始以来，器件的CD一直在缩小，从20世纪50年代初期以大约125 μm的CD开始，目前是0.18 μm或者更小[9]。半导体产业使用“技术节点”这一术语描述在硅片制造中使用的可应用CD。从1 μm以下CD实际的和预计的产业技术节点如表1.2所示。

表1.2　特征尺寸的过去与将来的技术节点

	1988	1992	1995	1997	1999	2001	2002	2005
CD（μm）	1.0	0.5	0.35	0.25	0.18	0.15	0.13	0.10

摘自 *1999 Roadmap: Solutions and Caveats*, Solid State Technology, May, 2000, p.77

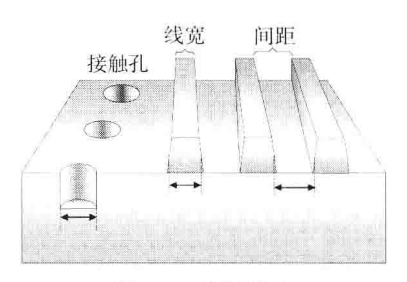
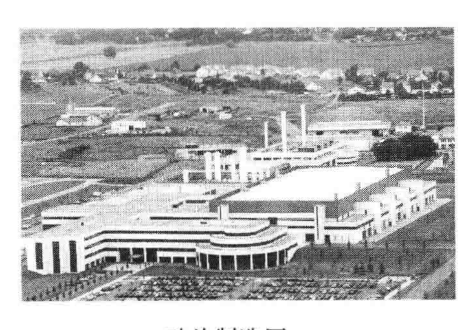


图1.9　关键尺寸

芯片上器件尺寸相应缩小是按比例进行的。仅减小芯片上一个特征尺寸是不可接受的。这就像具有非常小的轮胎的大起重卡车。正常情况是，要载重的大汽车需要大轮胎，负载轻的小车有小轮胎即可。对于芯片设计也是如此。为了优化电学性能，所有尺寸必须同时减小或按比例缩小。对于先进半导体制造过程，器件按比例缩小发生在垂直和横向两个方向。

■ **每块芯片上的元件数**　减小一块芯片上的特征尺寸使得可以在硅片上制作更多的元件。对于微处理器，芯片表面的晶体管数可以说明通过减小CD来增加芯片的集成度。由于芯片上的晶体管数连年急剧增加，芯片性能也已提高（见图1.10）。



硅片制造厂

（承蒙 Advanced Micro Devices-Dresden Copyright 的 S. Doering 提供照片）

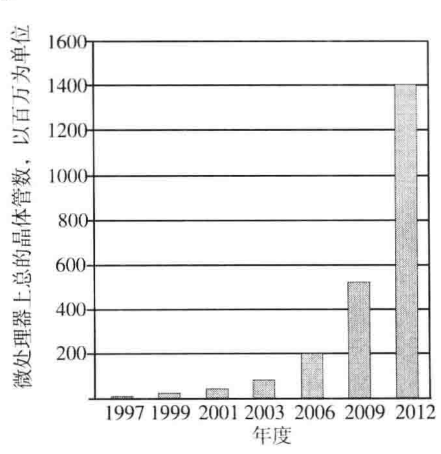


图1.10　总的晶体管/芯片增长

（重绘自 Semiconductor Industry Association, *The National Technology Roadmap for Semiconductors*, 1997）

摩尔定律　1964年，戈登·摩尔，半导体产业先驱者和英特尔公司的创始人，预言在一块芯片上的晶体管数大约每隔一年翻一番[10]。这就是业界著名的摩尔定律(后来在1975年被修正为预计每18个月翻一番)。对摩尔定律的关键贡献是加工硅片的能力，这是通过减小器件特征尺寸以得到新的CD以及随着每一代新产品的引入增加芯片上晶体管数来实现的。关于微处理器上的晶体管数，如图1.11所示，摩尔定律惊人地准确。

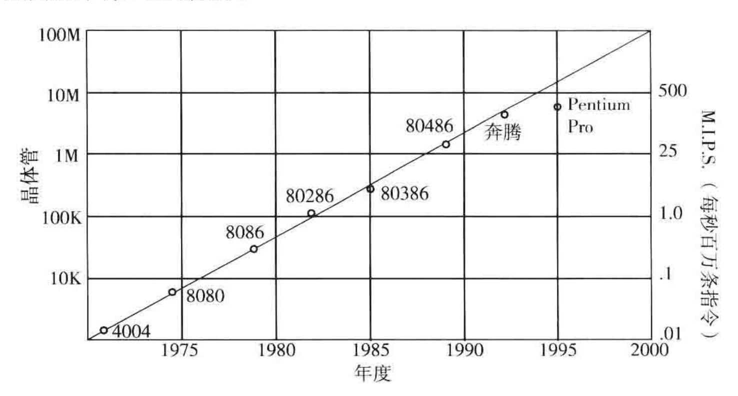


图1.11　关于微处理器的摩尔定律(承蒙Proceedings of the IEEE，January，1998，© 1998 IEEE准许使用)

正如摩尔定律预言，半导体器件尺寸减小很重要，因为它导致更小的微芯片封装。更小的微芯片适合更小的体积，这将导致更小的商用产品。半导体可使技术用于便携式电子产品的开发，例如掌上电脑和移动电话(见图1.12)。

■ **功耗**　芯片性能的另一重要方面是在器件工作过程中的功耗。真空管耗费很大功率，而半导体器件确实耗用很小的功率。随着器件的微型化，功耗相应减小[11]。尽管每块芯片上晶体管数迅速增加，芯片的功耗却以低得多的速率增长(见图1.13)。这已成为便携式电子产品市场增长的一个关键性能参数。

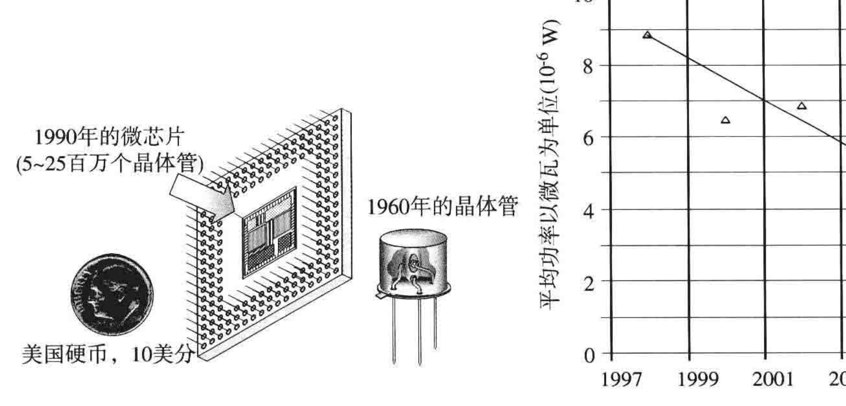


图1.12　早期和现代半导体尺寸比较

图1.13　每个集成电路芯片上的功耗降低。由半导体产业协会重画，1997年国家半导体技术蓝图

1.5.2　提高芯片可靠性

芯片可靠性致力于趋于芯片寿命的功能的能力。技术上的进步已经提高了芯品产品的可靠性(见图1.14)。例如，通过严格的诸如无颗粒空气净化间的使用以及控制化学试剂纯度，来控制沾污。

为提高器件可靠性，不间断地分析制造工艺。通过硅片监控和微芯片测试以验证可接受的性能。这样方可变成在工作过程中低失效的产品。

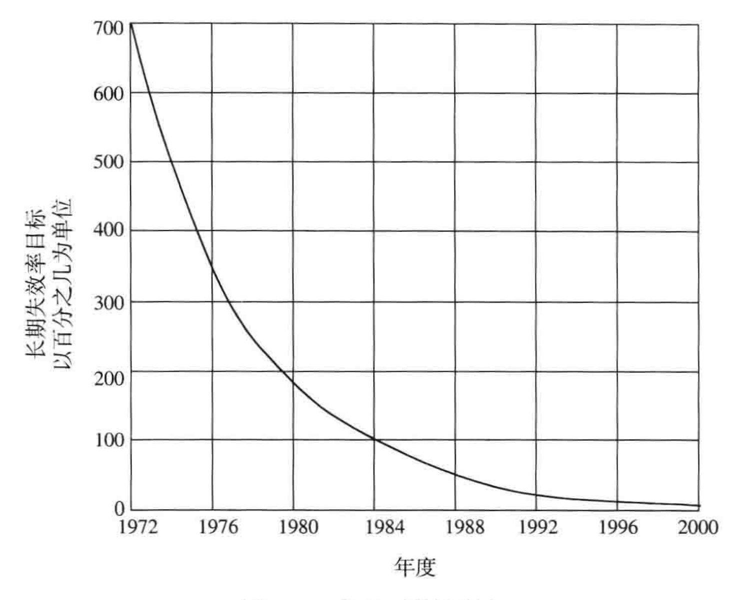


图 1.14　芯片可靠性提高

1.5.3　降低芯片价格

半导体微芯片的价格一直持续下降（见图 1.15）。到 1996 年之前的近 50 年中，半导体微芯片的价格以一亿倍的情况下降[12]。例如，1958 年一个质量低劣的硅晶体管价值大约 10 美元。在今天，10 美元可以买到具有超过两千万晶体管的一块存储器芯片、一个等量的其他元件以及必要的互连以便做成一个有用的芯片。

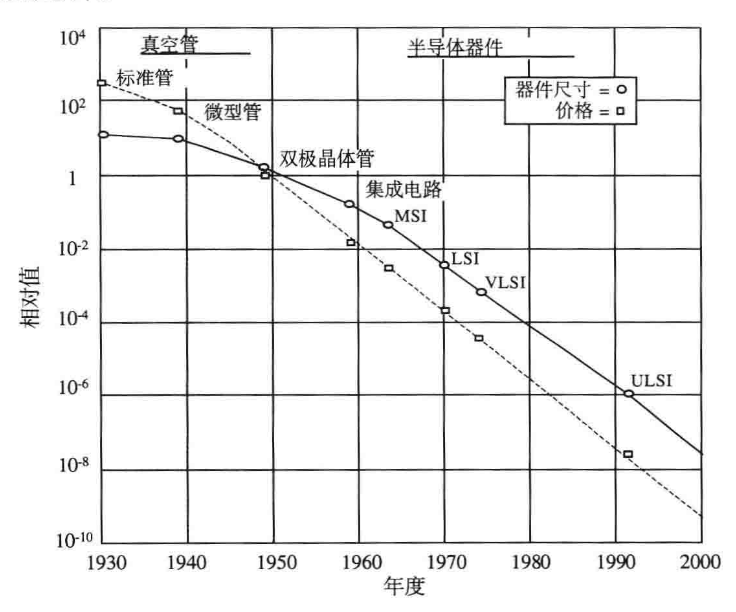


图 1.15　半导体芯片价格降低。由 C. Chang 和 S. Sze 重绘，ULSI Technology，（New York：McGraw-Hill,1996），p. xxiii

关于降低半导体芯片价格，有几种原因。如前所述，诸如减小特征尺寸和增加硅片直径以便将更多芯片放在一个硅片上的这些因素有助于价格的降低。根本原因是那得益于CD尺寸减小的成本。例如，1997年一位半导体制造商在8英寸硅片上将CD尺寸从0.35 μm减小到0.25 μm，他们就能使每个硅片上的芯片数由150增加到275。换言之，他们几乎以相同的制造成本在每个硅片上生产两倍的芯片。这种成本效益的实现归因于减小的CD尺寸允许将上百万根电路线压缩到很小的区域内。

价格降低的另一个原因是半导体产品市场大幅度增长。这种增长要求提高芯片制造公司的量产，这就引入了制造的规模经济。引入改善加工微芯片使用的设备和制造工艺也降低了成本。工作队伍在改善制造技术和成本方面起着重要作用。他们在芯片制造设备和投入方面的开拓性工作增强了生产的效率。制造队伍的努力在降低制造芯片成本方面有着直接关系。

1.6 电子时代

自1947年贝尔实验室的第一个晶体管发明以来，半导体产业经历了集中的增长。回顾自从固体电子学开始的主要产业变化将有助于获得洞察现代硅片制造的基础。

1.6.1 20世纪50年代：晶体管技术

20世纪50年代是各种半导体晶体管技术发展丰收的时期。多种晶体管在贝尔实验室被开发出来，早期半导体成果则出在北加利福尼亚州和得克萨斯州。开发出的第一个晶体管用的是锗半导体材料。1954年，第一个制造硅晶体管的是德州仪器公司的戈登·蒂尔（Gordon Teal）[13]。

随着1959年集成电路的发明，产业准备好用固体晶体管技术作为真空管的替代品并且开发新的应用市场。晶体管商品化所必需的元素已经到位。半导体产业在高技术中心成长，例如北加利福尼亚州的硅谷、马萨诸塞州波士顿附近的128大道以及位于得克萨斯州达拉斯市的德州仪器公司。这种新思想和技术的集中对半导体技术发展是很重要的。新制造技术必须将20世纪50年代的实验室硅片制造技术变成60年代的生产工艺。半导体和硅在社会各方面的支配地位，给出了一个令人信服的表述，即硅时代。

1.6.2 20世纪60年代：工艺技术

在20世纪60年代，半导体产业进入面向解决生产半导体集成电路基本问题的时代。这是集成电路的开始以及小规模集成电路时代。半导体制造商激增。半导体集成电路市场迅速增长，并且1961年的销售额超过10亿美元。随后出现的许多芯片制造商致力于提高集成电路性能以及降低成本。由于工艺通用性跨越了半导体公司，专门从事供应的行业发展起来以提供硅片制造需要的化学材料和设备。

随着希望探索半导体新技术的工程师激增，导致许多新的高技术公司于20世纪60年代成立。为使集成电路商品化，1961年一组仙童公司（Fairchild）的工程师成立了Signetics公司。1968年，罗伯特·诺伊思（Robert Noyce）、戈登·摩尔（Gordon Moore）和安德鲁·格罗夫（Andrew Grove）离开仙童公司成立英特尔公司（Intel）。1969年杰里·桑德斯（Jerry Sanders）和其他来自仙童公司的科学家成立了先进微器件公司（Advanced Micro Devices，AMD）。在集成电路业界还有一些大的受控供应公司，例如IBM和数字设备公司（Digital Equipment Corporation），以及中型公司，如惠普（Hewlett-Packard）。半导体产品的需求激增帮助许多小的刚起步的公司克服了价格一直降低、公司快速生长的障碍以及启动新公司财务方面的困难。

1.6.3　20 世纪 70 年代：竞争

20世纪70年代初期是芯片设计的中规模集成电路时期。制造工艺大部分是按批加工的手工操作。典型的硅片制造厂以5%或10%的成品率开始生产新产品（成品率是在整个工艺过程中生产合格芯片的百分比），并且经过努力可能提高到30%。[14]

在20世纪70年代初期，微处理器分别是德州仪器公司和英特尔公司分别发明的。随着被市场应用广泛接受，产生了对更多芯片集成在一起的需求。大规模级的集成电路仅存在了几年，就被超大规模集成电路迅速取代，超大规模集成电路是20世纪70年代末的集成标准。

迅速变化的半导体产业变成混沌状态。硅片制造厂使用的许多设备和工艺是由一家制造半导体器件的公司开发的，不具备工业标准。这样一来，造成了制造商和供应商的低效率。亚洲出现了令人畏惧的竞争者，日本成为半导体变革和制造的强国。在半导体领域，亚洲电子巨头挑战美国的统治地位。到 1979 年，日本已经获取世界存储器微芯片 40% 以上的需求量[15]。

随着更复杂芯片需求的增长，设备技术从20世纪60年代的手工设备变成可由操作者控制以及单板固体控制器的按钮半自动操作。对于关键半导体设备，设备供应商也遇到来自日本和亚洲的顽强竞争。

建造一个硅片制造厂的费用变得极其昂贵。硅片沾污水平的控制成为缩小器件特征尺寸的关键，要求专门硅片制造厂的净化线标准，几乎超过其他所有行业。用于加工的水、空气和许多化学材料以及气体，需要特别的纯度规定。到20世纪70年代末期，硅片制造厂的费用大约是3000万美元并继续上涨。市场需求和持续更换设备以保证先进技术的需求，促进了新厂的建设。

产业试图组建一个协作公司以规范这种混乱。在 1970 年，为了标准化及促进业界的设备、材料和服务，SEMI（半导体设备和材料学会）成立。1977 年，在罗伯特·诺伊思的领导下半导体行业协会（SIA）成立。其目标是针对由于迅速增长产生的共性问题进行更多的业界合作。

1.6.4　20 世纪 80 年代：自动化

到了20世纪80年代，固体电子学在社会上被广泛接受的事实，驱使芯片制造商在半导体产业界的成长。这是在一个芯片上元件高度集成的超大规模集成电路时代。个人计算机产业的成长点燃了硬件和软件的需求，同时面对日本集成电路制造商的竞争压力，日本扩展他们的制造能力使得成品率和质量达到了意想不到的水平。随着这些发展，美国半导体公司由于竞争力弱大为震惊，甚至恐慌起来。到20世纪80年代中期，日本几乎完全占领了快速增长和技术需求的DRAM（动态随机存储器）市场份额[16]。

1987年在美国国防部指导下，半导体产业界成立了SEMATECH，由罗伯特·诺伊思出任首席执行官（CEO）。其目标是开发关于制造设备的规范和变革全行业的政策。组织成立的部分原因是日本竞争威胁到美国半导体制造商的生存[17]。为了支持SEMATECH的使命，在美国设备和材料供应商中 SEMI/SEMATECH 几乎同时成立。1999 年，协会的名字分别被改为 Internationnal SEMATECH 和半导体产业供应商协会（Semiconductor Industry Suppliers Association）。

在美国的公司，强调改善半导体设备、制造效率和产品质量。制造工具自动化包括全部的重要硅片加工步骤。目的是大幅度减少工艺中的操作者，因为人是净化间中的主要沾污源。

借助于同时进行的芯片设计变化和芯片特征尺寸减小，产业能保持摩尔定律预计的增长。这些设计的变化向工艺制造提出挑战，它将导致综合工艺的开发。设备和净化间控制着生产新的集成电路的需求，使建设硅片制造厂的费用逐渐增加，到20世纪80年代后期上涨到接近10亿美元

（见图 1.16）。为了克服新建厂输入新技术的高额费用，许多美国半导体公司和日本及欧洲芯片制造商加入联合风险协议，以分担建设硅片制造厂的费用。

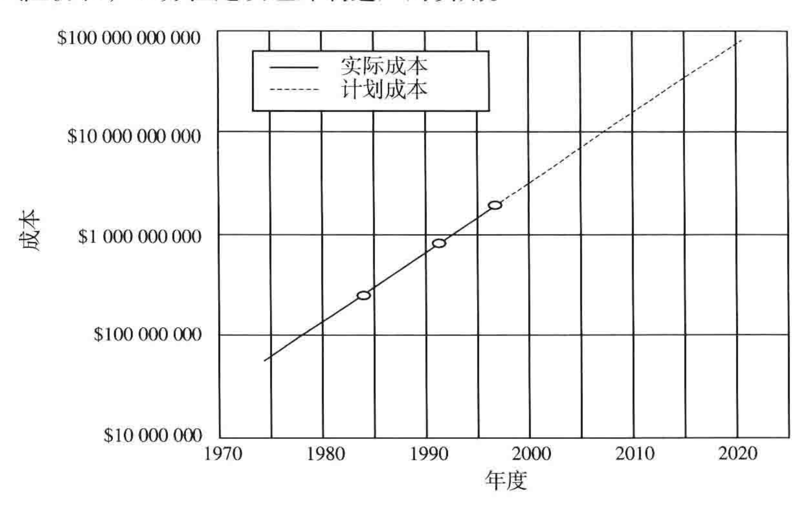


图 1.16　硅片制造厂的起动成本

（承蒙 Proceedings of IEEE, January, 1998 © 1998 IEEE 准许使用）

1.6.5　20 世纪 90 年代：批量生产

在 20 世纪 80 年代后期和 90 年代初期，生产芯片的特征尺寸缩小到 1 μm 以下。到了 90 年代末，最小特征尺寸是 0.18 μm。微芯片设计专家预计，在某些点，特征尺寸进一步减小将是物理极限。此时直到 CD 降到 0.1 μm 以下都没有预期的阻碍。由于费用的压力，CD 继续收缩，会导致将更多芯片放在同一硅片上。

亚微米工艺几何尺寸开创甚大规模集成电路时代，高性能集成电路包含1000万个晶体管或者更多。具有最先进技术的两种芯片是微处理器和存储器芯片。高度集成芯片要求多层电路互连（多达 8 层并正在增加），制造芯片多达 450 多道工艺步骤。

在 20 世纪 90 年代，半导体产业竞争已经变得更加激烈。要想在世界芯片市场生存，制造商在约定的时间内，生产出复杂的高质量芯片是至关重要的。基于客户及其对先进技术的需求，投放对路的微芯片到市场的机会很小。半导体制造商试图作为拥有新技术的第一人。如果公司失去这个窗口，那么它将冒花巨资开发芯片技术而未实现任何销售潜力的风险。

半导体设备是高度自动化的。先进的材料传送系统在工作站之间移动硅片无须人工干涉。专家软件系统控制了几乎所有设备功能，包括故障查询诊断。技师和工程师干预下载生产菜单到设备软件数据库，并翻译软件诊断命令，以采取正确的设备维护行动。

1.7　在半导体制造业中的职业

半导体制造业中的职业途径分成三个主要方面：技师、工程师和管理人员。专门职业途径的选择通常取决于个人的技术知识、教育背景和本人的目标。不同职业途径的例子如图 1.17 所示。

1.7.1　技师

技师具有在生产环境操作、诊断错误和维护用于制造微芯片的先进设备的专门技术。设备操作要求装配和操作自动设备的知识，使得设备在制造过程中可以实现正确的功能。大部分设备操作通

过软件界面完成计算机控制设备。诊断设备故障要求设备系统方面的专家(如电子、机械系统、电机等)具有翻译软件诊断程序的能力。设备的维护涉及集中培训和电子、机械、化学和计算机设备系统等方面的知识。一个设备技师经常执行故障查询和硅片制造设备维护的工作。

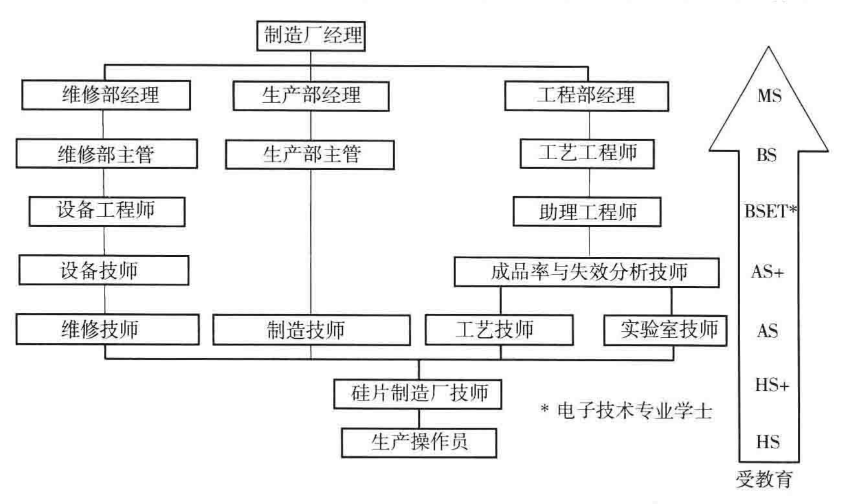


图 1.17　半导体制造业中的职业途径

作为制造小组成员的技师必须具备完成技术工作的能力,并对硅片制造生产目标做贡献(见图1.18)。技师了解化学材料和设备的安全生产程序。随着设备自动连续集成更多不同的操作,在硅片制造线上的技师水平也必须提高其技能。

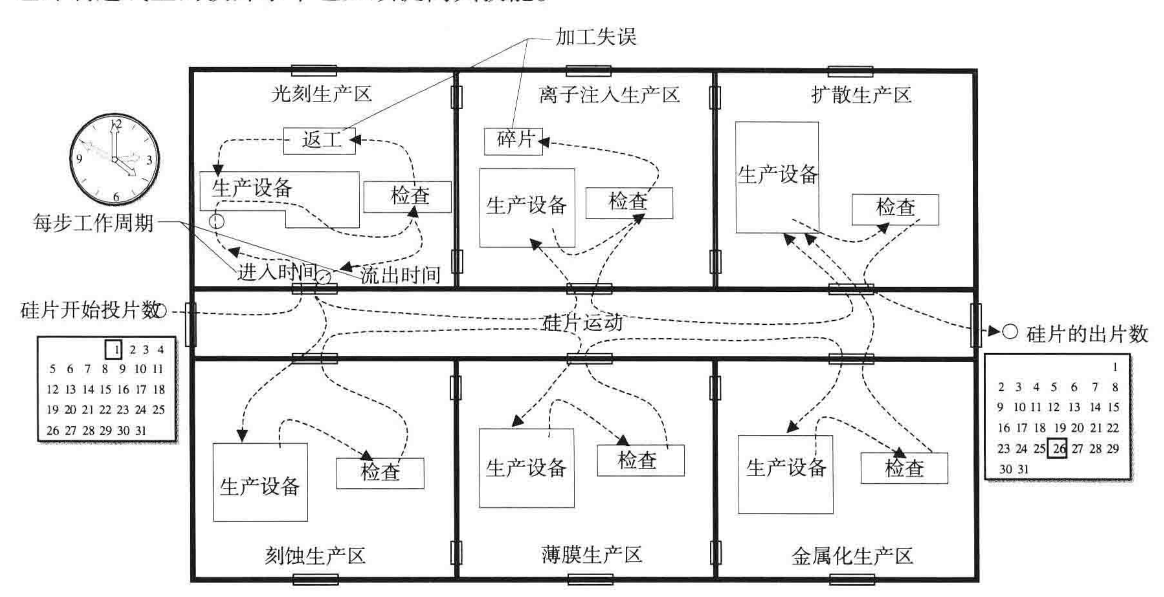
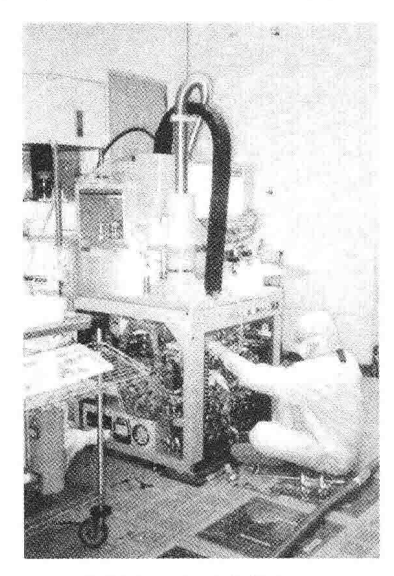


图 1.18　在硅片制造厂生产率的测量

硅片制造厂的技师在各芯片制造厂有不同的名称,例如:硅片工厂技师(WFT)、自支持技师(SST)、制造助理(MA)或制造技师(MT)。技师也服务于半导体行业中,如安装并维修复杂硅

片制造设备的现场服务代表。技师的技能要求包括计算机的使用、设备程序和支持的知识、解决改善工艺问题的分析能力，以及做出决定的关键思考技能。由于先进硅片制造设备的复杂性，显然在硅片制造厂传送硅片和操作设备不是惟一要做的事情。进一步，从硅片沾污、制造的可重复性和低效率方面考虑，人类又制造了许多的问题。



A. 硅片制造厂的设备技师



B. 硅片制造厂的技师

（承蒙 Advanced Micro Devices 允许使用照片）

1.7.2 职业描述

在三种职业途径中的每一种，不同的职业有其合适的选择。在硅片制造厂，技师、工程师和管理人员的不同职位描述如下所示：

- 硅片制造技师：硅片制造技师负责操作硅片制造设备。硅片制造技师从事一些设备维护以及工艺和设备的基本故障查询。半导体公司通常更需要高中或一些学院的学生（即有资格证书者）。某些情况下，有两年应用学科肄业文凭者也可以考虑。
- 设备技师：设备技师查询故障并维护先进设备系统，以保证在硅片制造过程中设备能正确运行。这一职位典型地要求至少有两年应用学科肄业文凭者和受进一步动手能力培训者。
- 设备工程师：设备工程师专门从事确定设备设计参数和优化硅片生产的设备性能。这一职位典型地要求至少有四年工科文凭者。
- 工艺技师：工艺技师通过查询与工艺相关的问题支持生产设备和工艺工程组。两年应用学科相关文凭或四年工程技术文凭是有帮助的；然而，好的文笔、数学、科学及分析思维技能是必需的。
- 工艺工程师：工艺工程师分析制造工艺和设备的性能以确定优化参数设置。这一职位典型地要求有四年工科或理科文凭者。
- 现场服务代表：在硅片制造厂，现场服务代表安装制造设备。现场服务代表还进行设备维护、诊断及修理以确保设备有效的生产。这一职位要求至少有两年肄业文凭者或四年工程技术文凭者。
- 实验室技师：实验室技师从事开发实验室的工作，建立并进行试验。这种职业技能通常需要一些经验和主动性强的人。

- 成品率/失效分析技师：这些技师从事与缺陷分析相关的工作，例如准备待分析的材料并操作分析设备以确定在硅片制造过程中引起问题的根源。
- 成品率提高工程师：成品率提高工程师收集并分析成品率及测试数据以提高硅片制造性能。这一职位通常要求有四年理科和工科文凭者。
- 设施技师：设施技师支持设施设备以及硅片制造厂要求的设施，包括化学材料管理和净化间设施。
- 设施工程师：这种工程师为硅片制造厂的化学材料、净化空气及常用设备的基础设施提供工程设计支持。这一职位典型地要求有四年工科文凭者。
- 主管/经理：在硅片制造厂，主管和经理将技术技能和人事管理技能结合在一起以达到公司的组织目标。这一职位通常要求四年理科、工科或管理文凭，或者相关文凭后再加两年专科。

1.8　小结

半导体产业是美国高技术产业的一个重要部分。1947年固体晶体管的发明发起了半导体产业，紧接着是引入的硅材料和集成电路的发展。集成电路将多个元件结合在一块芯片上提高芯片的性能并降低了成本。于是有了集成电路时代，而最近的时代是甚大规模集成电路（ULSI）。随着器件在硅的上层以及电路层在衬底上淀积，集成电路出现在硅片上。微芯片制造有五大步骤：硅片制备、硅片制造、硅片测试/拣选、装配和封装以及终测。提高微芯片技术的三个重要趋势是：提高性能、提高可靠性以及降低成本。对于性能来说，芯片速度很重要并且可以通过减小芯片上的关键尺寸（CD）或最小化特征尺寸来提高。摩尔定律预计在一块芯片上的元件数每隔18到24个月将翻一番，从20世纪60年代以来，它一直保持相对正确。1947年以来，在芯片价格持续降低的同时，芯片的可靠性已经提高。半导体产业竞争变得更加激烈，在制造商制造微芯片的能力方面，硅片制造技师起着重要的作用。

关键术语

半导体
硅片
硅片制造厂
微芯片（芯片）
固体晶体管
平面技术
集成电路（IC）
器件
圆片
管芯
衬底
关键尺寸（CD）
加工厂
硅
硅片制造
微芯片制造
芯片制造
芯片制造厂
商用芯片供应商
受控芯片生产商
无制造厂公司
硅片拣选
封装
芯片速度
特征尺寸
电路几何尺寸
技术节点
比例
摩尔定律
硅片工厂技师（WFT）

复习题

1. 高技术产业占美国经济的百分比是多少？帮助半导体产业变得如此庞大的重要因素是什么？
2. 列出 20 世纪上半叶对半导体产业发展做出贡献的 4 种不同产业。
3. 什么时间、什么地点、由谁发明了固体晶体管？
4. 什么是集成电路？什么时间、由谁发明？
5. 列出 5 个集成时代，指出每个时代的时间段，并给出每个时代每个芯片上的元件数。
6. 什么是硅片？什么是衬底？什么是芯片？
7. 简要描述硅片制造厂。
8. 列出集成电路制造的 5 个重要步骤，简要描述每一个步骤。
9. 描述商用芯片供应商、受控芯片生产商、无制造厂公司和代工厂。
10. 列出提高微芯片制造技术相关的三个重要趋势，简要描述每个趋势。
11. 什么是芯片的关键尺寸？这种尺寸为何重要？
12. 描述按比例缩小及其在芯片设计中的重要性。
13. 什么是摩尔定律？它预测了什么？这个定律基本正确吗？
14. 自 1947 年以来靠什么因素使芯片价格降低？给出这种变化的两个原因。
15. 简要描述从 1950 年到 2000 年电子时代是如何发展的？
16. 描述硅片技师和设备技师的职责。
17. 列出半导体产业的 8 种不同职业并做一简要描述。

产业网站

Advanced Micro Dvices	http://www.amd.com
AT&T Tech. History	http://akpublic.research.att.com/
Semiconductor International Magazine	htt;p://www.semiconductor.net/
Fairchild Semiconductor	http://www.fairchildsemi.com/
IBM Microelectronics	http://www.chips.ibm.com/
Intel	http://www.intel.com/
International SEMATECH	http://www.sematech.org/public/index.htm
MATEC, Maricopa Advanced Technology Education Center	http://matec.org/
Motorola Semiconductor	http://mot-sps.com/
Mitsubishi	http://www.mmc-sil.com/
National Semiconductor	http://www.national.com/
NIST, National Institute of Standards and Technology	http://www.nist.gov/
Selete, Semiconductor Leading Edge Technologies, Inc.	http://ww.selete.co.jp
SEMI, Semiconductor Equipment and Materials International	http://www.semi.org/
Semiconductor Search Engine	http://www.semiseek.com/
SIA, Semiconductor Industry Association	http://www.semichips.org/
SISA, Semiconductor Industry Suppliers Association	http://www.sisa.org/
Solid State Technology Magazine	http://sst.pennwellnet.com/home/home.cfm
Texas Instruments	http://www.ti.com/

参考文献

1. *Chip Scale Review*, Volume 3, Number 4 (July-August 1999): p. 25.
2. Historical information generally taken from F. Seitz and N. Einspruch, *Electronic Genie: The Tangled History of Silicon* (Urbana: University of Illinois Press, 1998), p. 52.
3. F. Seitz and N. Einspruch, *Electronic Genie*, p. 52.
4. P. Bondyopadhyay, "In the Beginning," *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 63.
5. J. Pierce, "The Naming of the Transistor," *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 37.
6. Texas Instruments, *The Chip That Jack Built Changed the World*, Texas Instruments, (September 1997).
7. G. Moore, "The Role of Fairchild in Silicon Technology in the Early Days of 'Silicon Valley,'" *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 59.
8. Ibid., p. 54.
9. Ibid., p. 56.
10. G. Moore, "Cramming More Components onto Integrated Circuits," *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 84. Reprinted from Electronics, April 19, 1965.
11. C. Chang and S. Sze, *ULSI Technology* (New York: McGraw-Hill, 1996), p. xxi.
12. Ibid., p. xix
13. I. Ross, "The Invention of the Transistor," *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 17.
14. F. Seitz and N. Einspruch, *Electronic Genie*, p. 94.
15. C. Melliar-Smith, M. Borrus, D. Haggan, T. Lowrey, A. Vincentelli, W. Troutman, "The Transistor: An Invention Becomes a Big Business," *Proceedings of the IEEE* 86, no. 1 (January 1998): p. 93.
16. Ibid., p. 94.
17. F. Seitz and N. Einspruch, *Electronic Genie*, p. 238.

第2章　半导体材料特性

了解原子的结构和结合是认识硅扮演着半导体材料重要角色的关键。这些知识一旦掌握，就为理解简单的半导体器件如何能充当复杂微芯片世界的一部分提供了基础。

目标

通过本章的学习，你将能够：

1. 描述原子，包括价电子层、能带理论和离子。
2. 解释元素周期表中关于主族元素的部分，说明离子键和共价键的形成。
3. 说明三类材料，并描述关于各自的电流。
4. 解释电阻率、电阻和电容，讨论它们在芯片制造中的重要性。
5. 描述纯硅并给出它成为最常见的半导体材料的4点原因。
6. 解释掺杂并讨论三价和五价掺杂元素如何使硅成为一种有用的半导体材料。
7. 讨论p型（受主）硅和n型（施主）硅之间的差异，描述硅的电阻率怎样随掺杂而变化，并解释pn结。
8. 讨论以砷化镓为重点的其他半导体材料。

2.1　引言

目前，应用中最重要的半导体材料是硅。硅用来制造器件并发挥半导体的作用，源于它独特的材料性质。本章首先回顾了与分立原子有关的物理和化学概念，接着用这些知识来研究硅材料，以认识它独特的物理和化学结构以及为何具有半导体的性质。本章建立的基本材料和半导体概念将会用于整个硅片制造的不同工艺步骤中。

2.2　原子结构

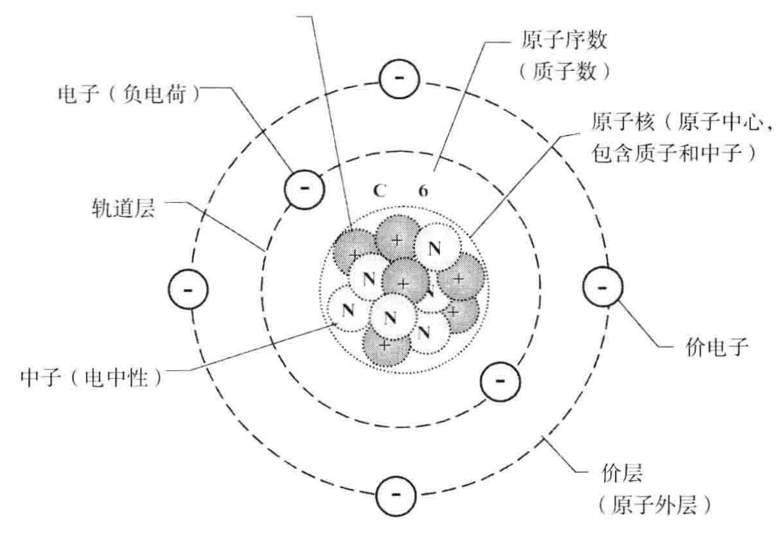
物质是宇宙中具有形态、大小并且占据空间的任何事物。如果以诸如细砂粒的材料为例，持续不断地把它分解为越来越小的粒子，最终我们将深入到最小的粒子，即原子。在原子模型中，原子由三种不同的粒子构成：中性中子和带正电荷的质子组成原子核，以及绕核旋转的带负电荷的电子（见图2.1）。原子中的质子数和电子数相等，这使得原子呈电中性。

元素是同种原子构成的最简单的物质，具有特定的物理和化学性质。分子是由两个或更多的原子构成的、通过化学作用紧密束缚在一起的结构，表现为一个独立的单元。化合物则由两个或更多的原子构成（相同或不同的），它们通过化学作用紧密束缚在一起，形成一种性质不同于组分原子的新物质。

2.2.1　电子

微观状态下发生的吸引和排斥作用定理是同种电荷相互排斥和异种电荷相互吸引。带负电的轨道电子分布为一个绕核的空间电子云，通过与带正电的核的相互吸引作用来保持其位置。各个电子

占据了包含7个不同壳层的轨道。例如，在一个氢原子内部，每个壳层对应了一个特定的能级，以从K到Q的字母来区分（见图2.2）。而对于被称为多电子原子的其他所有原子而言，每个壳层的轨道能量并不同。



碳原子：
原子核数量相等的质子（+）和中子（每种6个），
在原子核周围有6个轨道电子（–）

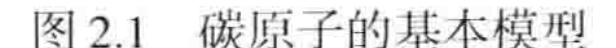


图2.1　碳原子的基本模型

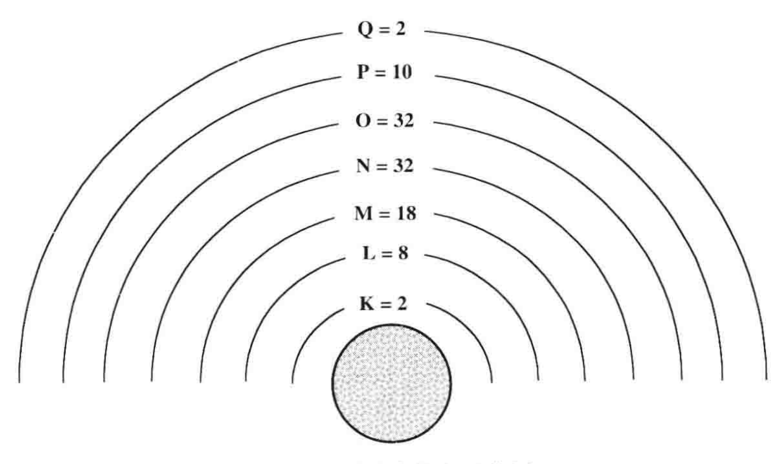


图2.2　原子中的电子壳层

■ 电子能级　原子级的能量单位是电子伏特（eV）。它代表一个电子从低电势处移动到高出1 V的电势处所获得的动能（与运动相联系的能量）。1电子伏特等于1.6×10^{-19}焦能量。电子伏特用来描述半导体制造不同步骤中的电子能量（例如第17章中讨论的离子注入能量级别）。

■ 价电子层　给定一种原子，最外部的电子层就是价电子层。价电子位于价电子层，并以给定原子中的最高能级状态存在，对原子的化学和物理性质具有显著的影响。价电子层中的电子数随壳层等级从K到Q变化。原子中的价电子层允许容纳8个电子，只有1个价电子的原子很容易失去

这个电子。另一方面，原子的价电子层有7个电子时则具有电子亲和性，很容易接收一个电子来填充价电子层。图2.3展示了钠和氯的电子及价电子层。

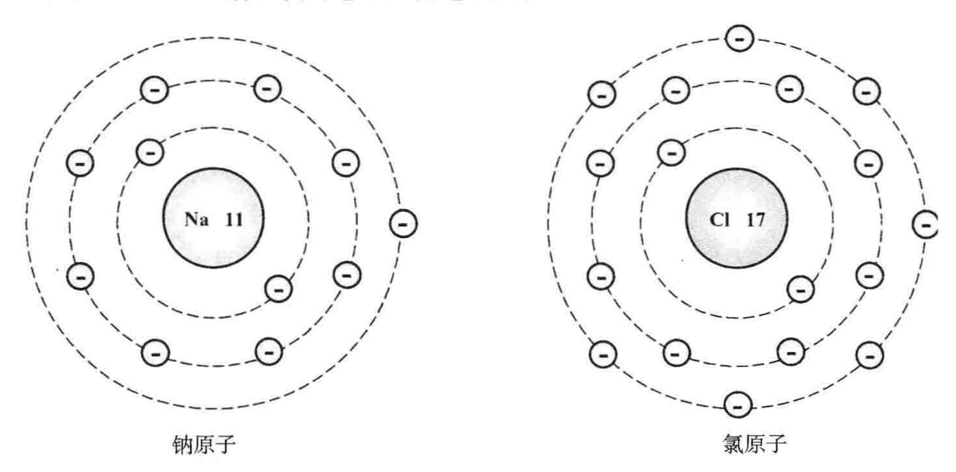


图2.3 钠和氯原子的电子壳层

■ **固体能带理论** 能带理论解释了固体材料中电子怎样改变轨道能级。价电子分布于价带内。价带和导带之间存在一个禁带宽度（见图2.4）。某些材料中禁带宽度具有能量很高的能级而产生了一个禁带（通常大于2 eV）。这类材料被称为绝缘体，因为电子从价带移动到导带很困难。另一类称为导体的材料中，价带与导带交叠，电子从价带移动到导带只需要很小的能量。第三类材料具有介于绝缘体和导体之间的禁带能量级别，这类材料被称为半导体。半导体的禁带宽度处于中等程度。硅的禁带宽度为1.11 eV。

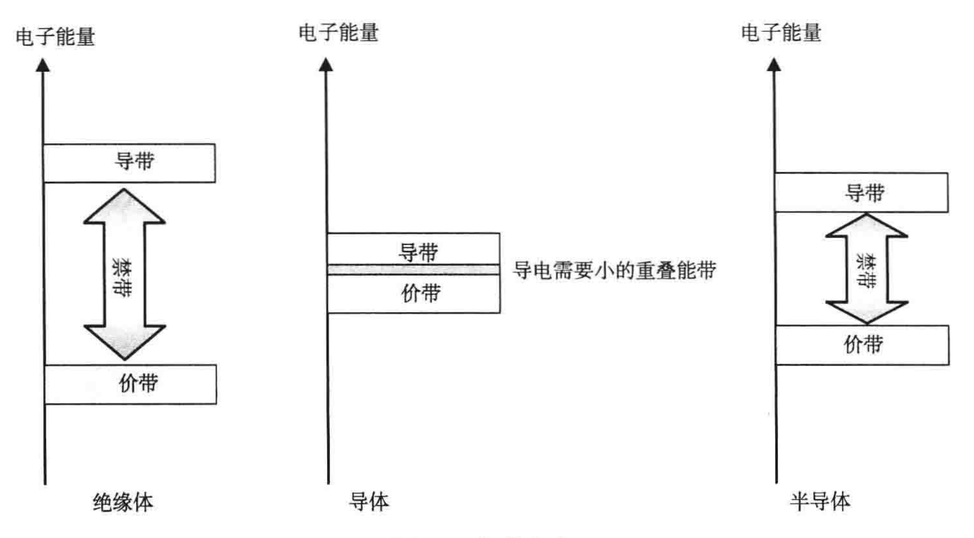


图2.4 能带宽度

■ **离子** 当一个原子失去或得到一个或多个电子时成为离子。原子失去电子时带正电荷而得到电子时带负电荷。带上相反电荷的离子相互吸引，能够构成化学键形成离子化合物。

常见的食盐氯化钠（见图2.5）就是一个离子化合物的例子。钠原子是一种金属原子，最初是电中性的，因为它的质子数和电子数相等。如果它失去一个电子，便成为带正电的Na^+，被称为阳

离子[1]。一个非金属的氯原子，得到一个电子就成为带负电的Cl^-，被称为阴离子。Na^+和Cl^-由于带有相反的电荷而相互吸引形成了离子化合物。

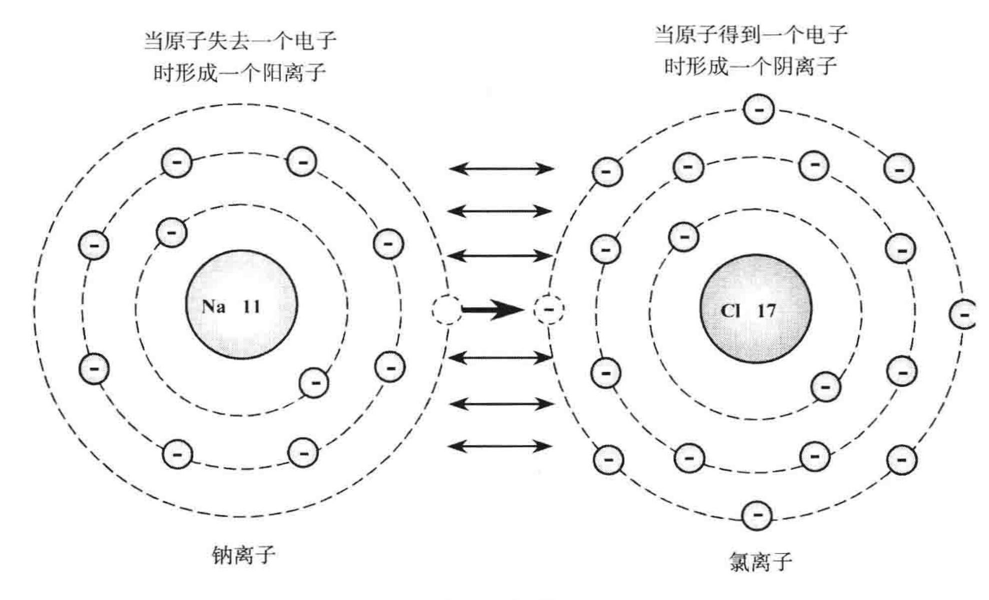


图 2.5　氯化钠

许多气体以分子形式存在。电离是从原子中移去电子的过程，产生了带正电的原子或分子。电离用于半导体制造的许多工序中。一旦气体粒子通过电离而带电，气流和原子运动就可以通过静电场和磁场得到控制。

2.3　周期表

周期表罗列了目前已知的所有元素（见图2.6）。以这种方式组织是因为元素间特定的周期行为模式。

周期表中每个元素都有一个对应的方框（见图 2.7）。周期表中的每个元素框提供关于元素的信息，包括以下内容：

原子符号：代表每个元素的符号（例如，Si 即硅）。

原子序数：等于原子核中的质子数。特定元素的所有原子具有相同的原子序数（因此也具有同样的电子数）。

原子质量数：原子中的质子数和中子数之和。同种元素的同位素具有相同的质子数及不同的中子数，因此同位素具有不同的质量数。

原子量：也叫原子质量。这个数字是一种元素自然生成的同位素质量按照其丰度的平均值。原子质量单位（amu）是质量的相对量度，精确等于碳 12 原子质量的 1/12。

我们将主要关注周期表族号从 IA 到 VIIIA 各列中出现的主族元素。在周期表中，为每列分配一个族号，代表价层电子数。例如，硼（B）在 IIIA 族（位于 IIIA 列），因此有三个价电子。广泛用于半导体产业的各族元素特性概括于表 2.1。

IA	IIA	IIIB	IVB	VB	VIB	VIIB	VIIIB			IB	IIB	IIIA	IVA	VA	VIA	VIIA	VIIIA
1 1.008 H Hydrogen																	2 4.0026 He Helium
3 6.939 Li Lithium	4 9.012 Be Beryllium											5 10.811 B Boron	6 12.011 C Carbon	7 14.007 N Nitrogen	8 15.999 O Oxygen	9 18.998 F Fluorine	10 20.183 Ne Neon
11 22.989 Na Sodium	12 24.312 Mg Magnesium											13 26.981 Al Aluminum	14 28.086 Si Silicon	15 30.974 P Phosphorus	16 32.064 S Sulfur	17 35.453 Cl Chlorine	18 39.948 Ar Argon
19 39.102 K Potassium	20 40.08 Ca Calcium	21 44.956 Sc Scandium	22 47.90 Ti Titanium	23 50.942 V Vanadium	24 51.996 Cr Chromium	25 54.938 Mn Manganese	26 55.847 Fe Iron	27 58.933 Co Cobalt	28 58.71 Ni Nickel	29 63.54 Cu Copper	30 65.37 Zn Zinc	31 69.72 Ga Gallium	32 72.59 Ge Germanium	33 74.922 As Arsenic	34 78.96 Se Selenium	35 79.909 Br Bromine	36 83.80 Kr Krypton
37 85.47 Rb Rubidium	38 87.62 Sr Strontium	39 88.905 Y Yttrium	40 91.22 Zr Zirconium	41 92.906 Nb Niobium	42 95.94 Mo Molybde-num	43 99 Tc Technetium	44 101.07 Ru Ruthenium	45 102.91 Rh Rhodium	46 106.4 Pd Palladium	47 107.87 Ag Silver	48 112.40 Cd Cadmium	49 114.82 In Indium	50 118.69 Sn Tin	51 121.75 Sb Antimony	52 127.60 Te Tellurium	53 126.904 I Iodine	54 131.30 Xe Xenon
55 132.90 Cs Cesium	56 1137.34 Ba Barium	57 138.91 La Lanthanum	72 178.49 Hf Hafnium	73 180.95 Ta Tantalum	74 183.85 W Tungsten	75 186.2 Re Rhenium	76 190.2 Os Osmium	77 192.2 Ir Iridium	78 195.09 Pt Platinum	79 196.967 Au Gold	80 200.59 Hg Mercury	81 204.37 Tl Thallium	82 207.19 Pb Lead	83 208.98 Bi Bismuth	84 210 Po Polonium	85 210 At Astatine	86 222 Rn Radon
87 223 Fr Francium	88 226 Ra Radium	89 227 Ac Actinium	104 Rf	105 Ha	106 Sg	107 Uns	108 Uno	109 Une	110 Uun								

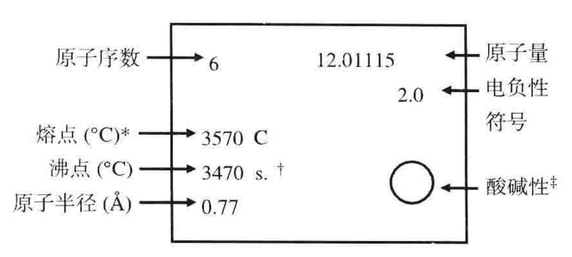
过渡金属

准金属（半金属）

非金属

镧系元素	58 140.12 Ce Cerium	59 140.91 Pr Praseodym-ium	60 144.24 Nd Neodym-ium	61 147 Pm Prome-thium	62 150.35 Sm Samarium	63 151.96 Eu Europium	64 157.25 Gd Gadolin-ium	65 158.92 Tb Terbium	66 162.50 Dy Dyspro-sium	67 164.93 Ho Holmium	68 167.26 Er Erbium	69 168.93 Tm Thulium	70 173.04 Yb Ytterbium	71 174.97 Lu Lutetium
锕系元素	90 232.04 Th Thorium	91 231 Pa Protactinium	92 238.03 U Uranium	93 237 Np Neptunium	94 242 Pu Plutonium	95 243 Am Americium	96 247 Cm Curium	97 247 Bk Berkelium	98 249 Cf Califor-nium	99 254 Es Einstein-ium	100 253 Fm Fermium	101 256 Md Mendelev-ium	102 253 No Nobelium	103 257 Lr Lawren-cium

图 2.6 元素周期表



* 以碳12为基准，()表示最稳定或最知名的同位素
† s表示升华
‡ 为了表示族氧化物的性质，如果氧化物是红色，表示酸性，如果是蓝色，表示碱性。如果显示两种颜色，表示双重性。颜色的强度表示相对强度

图 2.7　元素周期表的元素框

表 2.1　硅片制造中一般化学元素的族特性

族	特性
IA	● 1 个价电子，容易失去；低负电性
	● 高度不稳定
	● 非常活泼；爆炸性
	● 形成离子键
	● 由于污染问题而不推荐使用这族金属
IIA	● 2 个价电子
	● 有些不稳定
	● 相当活泼
	● 不推荐使用这族金属
IIIA	● 3 个价电子
	● 加入到半导体材料中的掺杂元素（主要是 B）
	● 普通的互连导电材料（Al）
IVA	● 4 个价电子
	● 半导体材料
	● 形成共价键
VA	● 5 个价电子
	● 加入到半导体材料中的掺杂元素（主要是 P 和 As）
VIA	● 6 个价电子
VIIA	● 7 个价电子；容易接受电子；高负电性
	● 腐蚀性
	● 非常活泼
	● 形成离子键
	● 在某些半导体应用中有用；作为刻蚀和清洗化合物而使用
VIIIA	● 8 个价电子
	● 稳定；不活泼
	● 惰性气体
	● 应用在半导体制造的某些方面是安全的
IB	● 最好的金属导体
	● Cu 正在取代 Al 的互连导体材料的位置
IVB~VIB	● 难熔（高熔点）金属，一般用于半导体制造中以改善金属化（尤其是 Ti、W、Mo、Ta 和 Cr）
	● 与 Si 反应良好，形成具有优良电学特性的稳定化合物

2.3.1　离子键

当价层电子从一种元素的原子转移到另一种原子上时，就会形成离子键。不稳定的原子容易形成离子键。氯化钠就是一个例子。钠（Na）位于 IA 族，表明价层有 1 个电子。Na 是一种高腐蚀性

的不稳定元素，在硅片制造中需要小心控制以避免器件沾污（参见第6章）。氯（Cl）位于VIIA族，价层有7个电子，原子距离价层全满还缺少一个电子，因此它也是不稳定的。由于这种不稳定性，这两种原子（Na和Cl）彼此具有亲和性。钠容易失去电子给氯，形成一个离子键（见图2.8）。

在离子键的形成过程中，电子转移是一个很普遍的过程，所以这里定义了两个用于这种键的特定术语：

氧化：失去电子

还原：获得电子

这样，在NaCl的形成过程中，中性的Na原子失去一个电子被氧化成带正电的Na^+离子，中性的Cl原子得到一个电子还原为带负电的Cl^-离子。

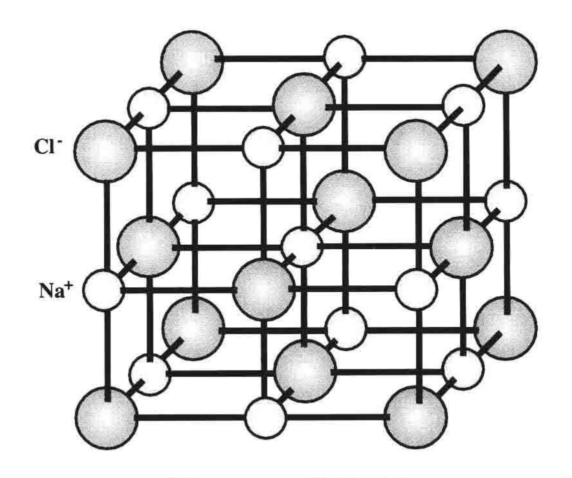


图2.8 NaCl的离子键

2.3.2 共价键

另一种化学键是共价键，不同元素的原子共有价层电子。原子通过共有电子来使价层完全填充而变得稳定。HCl就是一个共价键的例子，其分子是由氢（H）原子和氯（Cl）原子之间的共价键构成HCl而组成的（见图2.9）。

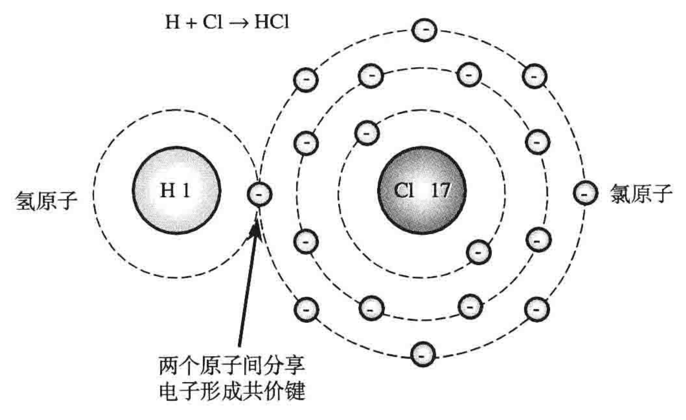


图2.9 HCl的共价键

2.4 材料分类

电流是电荷载流子（金属中为电子，半导体中为电子和空穴）在外加电场的影响下从一点到另一点的运动[2]。电流的单位是安培，或amps（见图2.10）。将电子材料分类主要是根据电流怎样流经这种材料来完成的。

根据流经材料电流的不同可分为三类材料：

- 导体
- 绝缘体
- 半导体

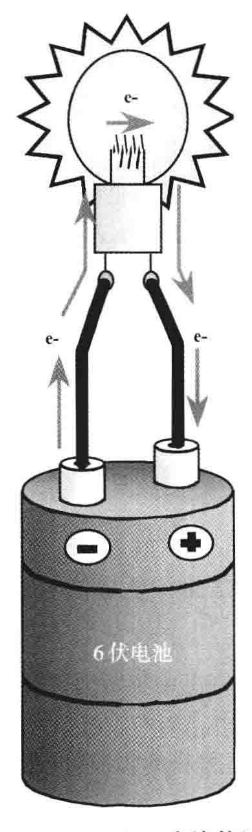


图2.10　电流（承蒙Advanced Micro Devices允许使用）

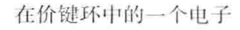
2.4.1 导体

导体是电子容易以电流方式流过的材料。优质的导体具有高度电流传导能力，称为电流密度。导体在原子的最外层通常有一些束缚松散的价电子，容易失去。金属典型地具有这种价电子层结构。在一般的半导体制造中，铝是最普通的导体材料，它可以用来充当器件之间的互连线，而钨可作为金属层之间的互连材料。

铜（Cu）是优质金属导体的一个例子，最近它被引入到硅片制造中取代铝充当微芯片上不同器件之间的互连材料。Cu有29个电子，价层有一个电子，距离原子核相对较远。这个电子容易脱离原子获得自由并且具备传导电流的能力（见图2.11）。

铜原子

层 #	每层允许的最大电子数	每层实际电子数
K	2	2
L	8	8
M	18	18
N	32	1
总计	60	29



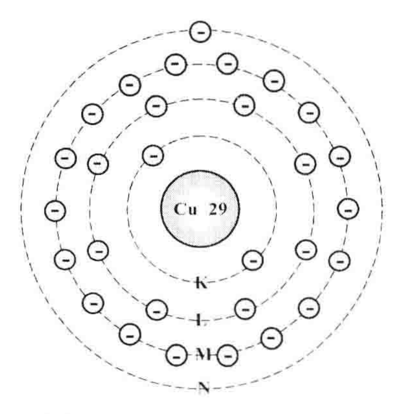


图 2.11 铜中的自由电子流

在导体中把一个价电子从价带移到导带只需要很少的能量。电子的移去在原子价带中留下一个空位，称为空穴。每个导带电子必定存在一个价带空穴与之对应。价带电子能够跃入空穴的位置，从而推动电子的移动和导电。这种状态称为电子 – 空穴对。

在成为导带自由电子不久，电子即失去能量并跌入价带共价键的空穴。这个过程称为复合。一个电子从导带移出直到复合所经历的时间称为电子 – 空穴对的寿命。热能促使电子 – 空穴对持续不断的产生并随之复合。

■ 电导率与电阻率 材料传导电流的性质称为导电性。材料通常用电阻率（ρ），或者说是对电流的阻碍能力来表征材料的导电性。电阻率越低的材料具有越好的导电性。电导率和电阻率这两个性质只依赖于材料本身，与几何形状无关，可通过以下公式来表述：

$$\rho = \frac{1}{C}$$

其中，ρ = 以欧姆 – 厘米（Ω-cm）为单位的电阻率

C = 电导率

材料的电阻率在半导体产品中很重要，因为它影响到集成电路的电学行为。电阻率能以电阻器的电子元件形式设计到集成电路当中。在这种情况下，电阻器用于实现电子电路特定部分需要的电流控制。某些情况下，电阻率是材料的非理想特性，为电流引入了太多阻碍，引起功率耗散和集成电路发热。

电阻 电阻阻碍电流流动并伴随着热消耗。高阻材料具有高的电流阻碍能力。电阻同时依赖于材料的电阻率和几何尺寸，通过下式来计算（见图 2.12）：

$$R = \frac{\rho l}{\text{面积}}$$

其中，R = 导体材料的电阻，以 Ω 为单位

ρ = 导体材料的电阻率，以 Ω-cm 为单位

l = 导体的长度，以 cm 为单位

面积 = 宽度 × 厚度，以 cm^2 为单位

硅片制造中特征尺寸的减小使电阻成为一个重要的参数。更小的尺寸引起互连线的电阻增加，这个非理想的效应增加了热损耗。更低的电阻正是铜取代铝作为主要互连线材料的原因。在半导体

制造中电阻应用的另一个例子是利用薄层电阻测量以控制导电薄膜厚度（参见第7章）。既然电阻与几何尺寸有关，薄膜的薄层电阻变化也同薄膜厚度有关。

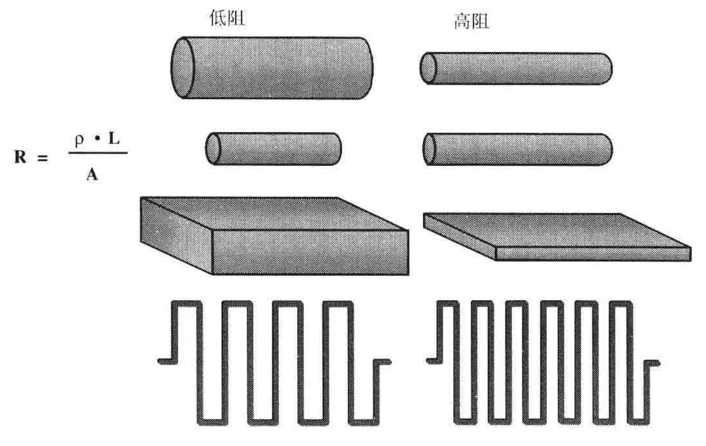


图2.12　导线尺寸如何影响电阻值

2.4.2　绝缘体

绝缘体是对电流通过具有很高阻值的材料。绝缘体的另一术语是电介质。绝缘体的价电子层不具有束缚松散的电子可用于导电，它有很高的禁带宽度来分隔开价带电子和导带电子。日常生活中绝缘体的例子有橡胶、塑料、玻璃和陶瓷等。半导体制造中的绝缘体包括二氧化硅（SiO_2）、氮化硅（Si_3N_4）和聚酰亚胺（一种塑料材料）。

净化后的去离子（DI）水是绝缘体的一个很好的例子，其电阻率约为18 × 10^6 Ω -cm或18 MΩ-cm。去离子水中没有足够的自由电子维持小型电池供给的电流。然而，绝缘体的电导率能够通过掺入杂质而增加（见图2.13）。以水为例，可以加入普通的食盐。盐在水中分离为它的基本离子成分钠（Na^+）和氯（Cl^-），形成电解液（一种导电的溶液）。这些带电离子的最终效应与铜导线中的自由电子类似——如果有足够多的带电离子，电流就能得以维持。正如我们今后要学习到的，掺入杂质来改变绝缘材料的导电性也是半导体技术的一个重要方面。

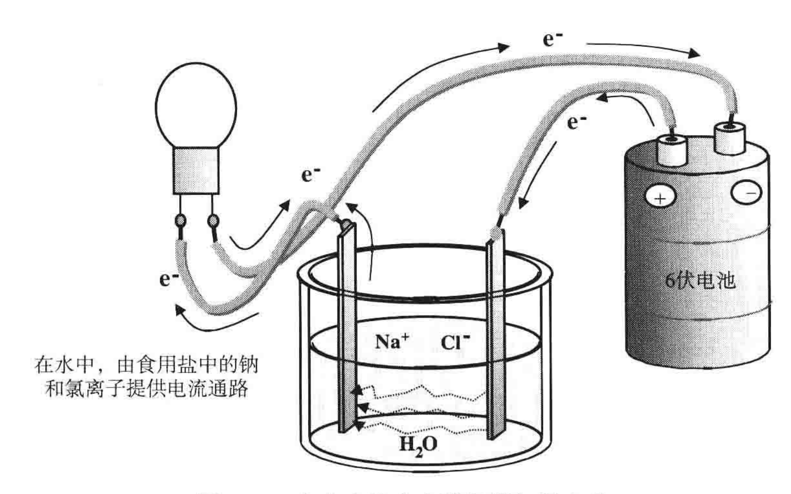


图2.13　在水中掺入杂质以增加导电性

■ **电容** 电容是被电介质分隔开的两个导电极板上的电荷的存储装置（见图 2.14）。电容的单位是法拉，而在集成电路中经常以皮法（10^{-12}法拉）来表达。能够存储在电容器中的电荷总量随特定的物理性质而变化。这些性质包括极板面积、极板距离、极板间绝缘材料的性质，更常见的术语是介电常数 k（法拉每厘米）。空气的 k 值为 1，而玻璃则在 4 到 7 之间。

可以通过一个简单的电路解释电容器是怎样存储电荷的（见图 2.15）。在这个电路中，1.5 V 的电池与电容器相连接。当开关闭合时，左金属极板上的电子被吸引到电池的正极（+）。同时，电池负极（–）的电子流到右极板以平衡左极板上电子的缺失。初始电流由于极板间的介电材料而中断。结果是两个极板间的电势形成差异，两个带电极板之间产生了静电场。

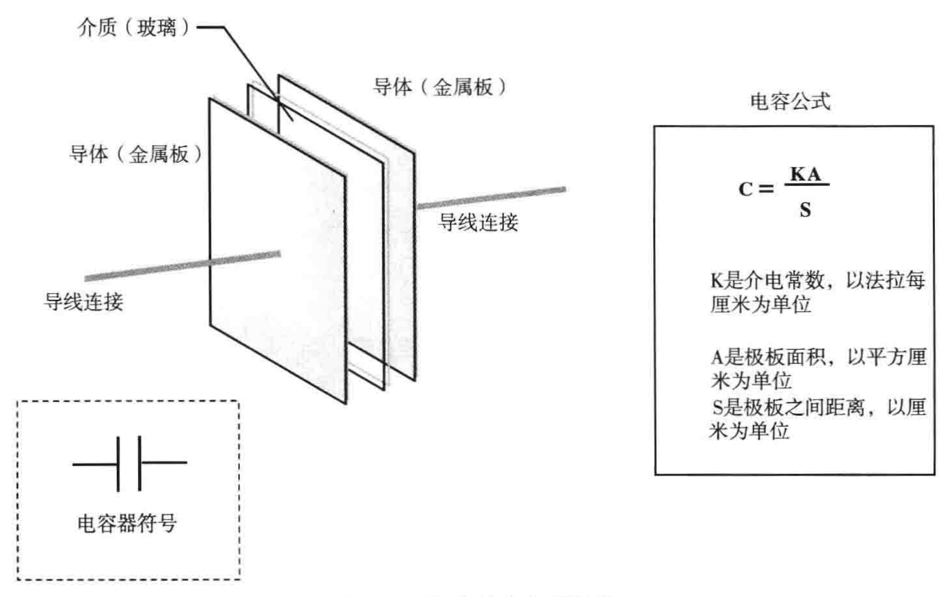


图 2.14 基本的电容器结构

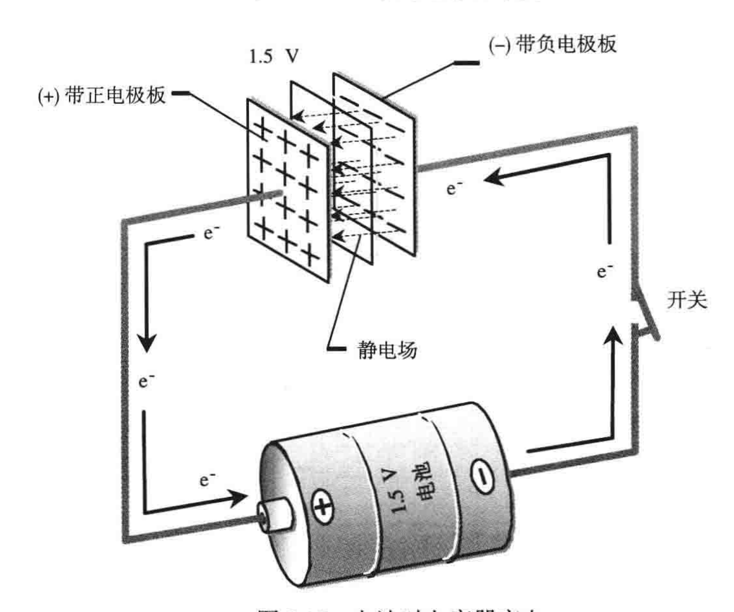


图 2.15 电池对电容器充电

如果从电容器处移走电池和电路，左极板将带上正电荷而右极板带上负电荷（见图2.16）。总电势的差值都将等于原来电池的电压值，而且只要没有其他路径供电子流向电容器的另一边，这一差值都将保持下去（实际上通过介质会发生一些泄漏）。掌握电容器的工作原理对于理解场效应晶体管（FET）如何工作是非常重要的（参见第3章）。

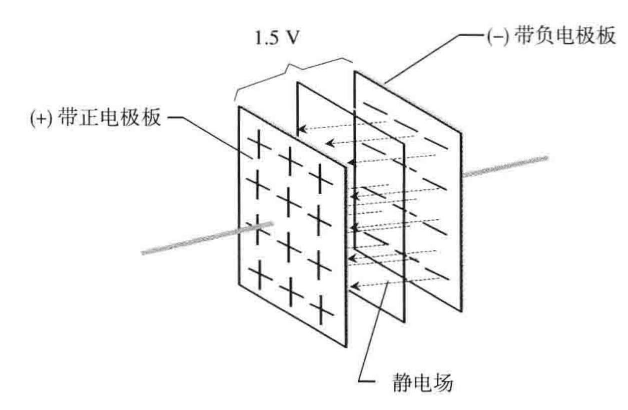


图2.16　电容器保存电荷

介电常数　介电材料是电容器中的关键部分。这种材料能通过更有效地聚集两个导体之间的电场来改变电容器的电容。介电常数*k*已经成为一个重要的半导体性能参数。当电流流经芯片上连接器件的相邻金属导线（称为布线）时，最好使用低*k*介质来减少电容损耗（见图2.17）。

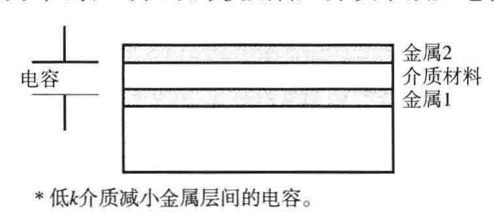


图2.17　低*k*介质材料

2.4.3　半导体

第三种类型的材料是半导体。这种材料很特殊，因为它既能充当导体也能充当绝缘体。半导体材料具有较小的禁带宽度（例如Si为1.11 eV），其值介于绝缘体（>2 eV）和导体之间。这个禁带宽度允许电子在获得能量时从价带跃迁到导带。这种行为在半导体被加热时发生，因而其导电性随温度增加而提高（对导体而言则正相反）。

圆片制造中最重要的半导体材料是硅，它充当半导体圆片衬底超过了芯片总量的85%[3]。本书只针对硅是因于它在半导体工业中的统治地位。本章末对一些其他半导体材料及其应用做了一简单的评述。

2.5　硅

硅是一种元素半导体材料，因为它有4个价电子，与其他元素一起位于周期表中的IVA族（见图2.18）。硅中价层电子的数目使它正好位于优质导体（1个价电子）和绝缘体（8个价电子）的中间。

自然界中找不到纯硅。必须通过提炼和提纯使硅成为半导体制造中需要的纯硅（参见第4章）。它通常存在于硅土（氧化硅或SiO_2）和其他硅酸盐中。硅土呈砂粒状，是玻璃的主要成分。其他形式的SiO_2有无色水晶、石英、玛瑙和猫眼石等。

硅的熔点是1412℃。硅是一种质硬的脆性材料，若变形将很容易破碎，这与玻璃相似。它可以抛光得像镜面一样平整。硅表现出许多与金属一样的性质，同时也具有非金属的性质。硅介于周期表中导体（金属）和绝缘体（非金属）之间，这也是将硅划分为半导体的原因。

2.5.1 纯硅

纯硅是指没有杂质或者受其他物质污染的本征硅。纯硅的原子通过共价键共享电子结合在一起，并使价电子层完全填充（见图2.19）。

半导体

IVA族	
碳	6
硅	14
锗	32
锡	50
铅	82

图2.18 IVA族元素半导体

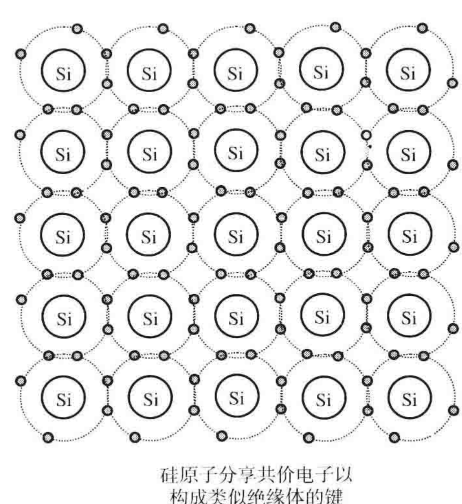


图2.19 纯硅的共价键

硅的许多性质源于其强大的共价键。纯硅中的共价键把原子结合在一起形成固态的，电学上稳定的绝缘材料。纯硅是一种拙劣的导体，因为所有价电子层都被共价键完全填充。以纯硅形式而言，硅并不是有用的半导体。

当两个或更多的原子以这种可重复的形式结合在一起形成固体材料时（见图2.19），被称为晶体。晶体是光滑、透明的固体，形成了三维的晶格结构。金刚石就是晶体材料的一个例子。当在第4章中讨论到硅片制备时将学习有关晶体的更多知识。

2.5.2 为何选择硅

锗是20世纪40年代和50年代早期第一个用做半导体的材料，但是正如从第1章获悉的那样，它很快被硅取代了。为什么硅被选为主要的半导体材料呢？主要有4个理由：

- 硅的丰裕度
- 更高的熔化温度允许更宽的工艺容限
- 更宽的工作温度范围
- 氧化硅的自然生成

硅是地球上第二丰富的元素，占到地壳成分的25%。经合理加工，硅能够提纯到半导体制造所需的足够高的纯度而消耗更低的成本。硅1412 ℃的熔点远高于锗937 ℃的熔点。更高的熔点使

得硅可以承受高温工艺。使用硅的另一个优点是用硅制造的半导体件可以用于比锗更宽的温度范围，增加了半导体的应用范围和可靠性。

最后，将硅作为半导体材料的一个重要原因是其表面自然生长氧化硅（SiO_2）的能力（见图2.20）。SiO_2是一种高质量、稳定的电绝缘材料，而且能充当优质的化学阻挡层以保护硅不受外部沾污[4]。电学上的稳定对于避免集成电路中相邻导体之间漏电是很重要的。生长稳定的薄层SiO_2材料的能力是制造高性能金属－氧化物半导体（MOS）器件的根本。SiO_2具有与硅类似的机械性质，允许高温工艺而不会产生过度的硅片翘曲。

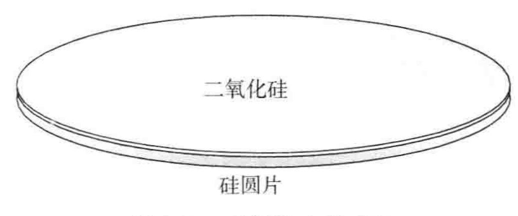


图2.20 硅圆片上的SiO_2

2.5.3 掺杂硅

纯净状态下的硅在半导体技术中应用极少。不过，借助一个称为掺杂的工序，硅的结构可以通过加入少许其他元素而改变，以显著增加其导电性。掺杂是通过加入某种元素到纯硅中以明显增加半导体导电性的过程（见图2.21）。例如，纯硅的电阻率（ρ）接近2.5×10^5 Ω-cm。如果每一百万个硅原子中有一个硅原子被一个砷原子取代，电阻率将下降到0.2Ω-cm。[5] 电导率增加了1 250 000倍。

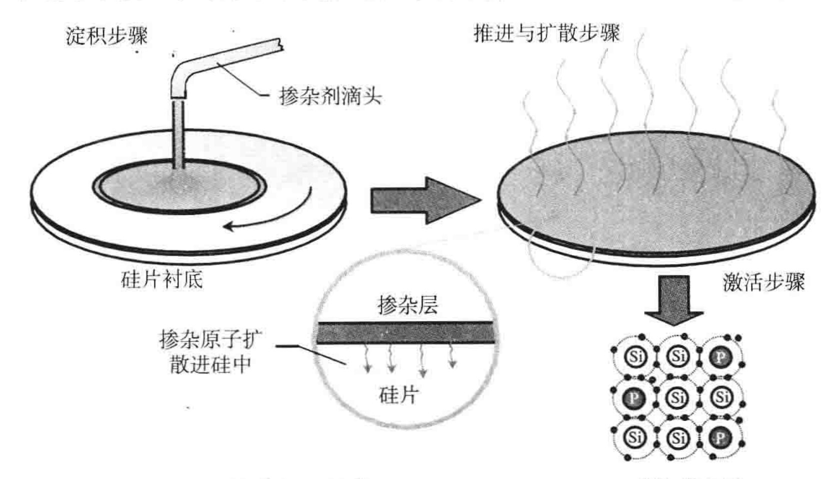


图2.21 硅的掺杂（承蒙Advanced Micro Devices准许使用）

掺杂时加入的元素称为掺杂剂或杂质，因为硅不再是纯净的了。换句话说，我们向硅中掺入杂质使得它能传导电流。掺杂越多，电导率也越高（或者说电阻率越低）。注意这里使用“杂质”这一术语来指明是向硅中掺入了另一种元素。我们故意掺入杂质以增加硅的导电性。掺杂硅又被称为非本征硅。

向硅中掺入杂质以改变导电性这一概念是半导体制造的一个关键问题。如果能够掺入杂质改变硅的导电性并进一步控制硅何时充当导体或绝缘体，那么我们就把握了固态技术的本质。

■ 掺杂剂材料 硅位于周期表中的IVA族，并且有四个价电子。相邻两族的元素通常用于掺杂：IIIA族和VA族（见图2.22）。IIIA族元素由于具有三个价电子而称为三价态，VA族元素则由于

具有五个价电子而称为五价态。三价掺杂剂增加了空穴的数目（正性掺杂剂或p型），而五价掺杂将增加自由电子的数目（负性掺杂剂或n型）。

受主杂质		半导体		施主杂质	
III族（p型）		IV族		V族（n型）	
硼	5	碳	6	氮	7
铝	13	硅	14	磷	15
镓	31	锗	32	砷	33
铟	49	锡	50	锑	51

* 带下划线的元素是硅基集成电路中最常用到的

图 2.22　硅掺杂剂

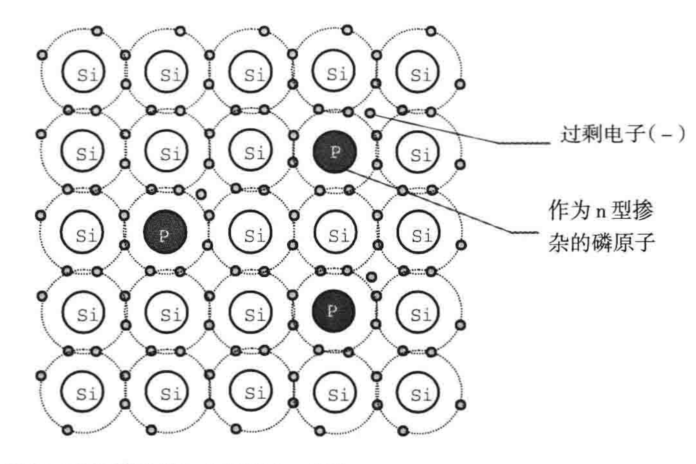
当三价掺杂剂的原子加入到硅中时，得到的材料称为p型硅。三价掺杂剂称为受主（它们得到一个额外的可移动电子），最常见的受主元素是硼。当五价元素加入到纯硅中时，得到的材料称为n型硅。五价掺杂剂称为施主（它们贡献一个额外的可移动电子），典型情况下包括磷、砷和锑。表2.2列出了各种不同的掺杂元素。

表 2.2　半导体制造中最常用到的掺杂元素

三价掺杂剂（p型，正掺杂剂，受主）	五价掺杂剂（n型，负掺杂剂，施主）
硼（B）	磷（P）
	砷（As）
	锑（Sb）

n型硅　对于n型硅，导带电子多于价带空穴。图2.23展示了加入五价掺杂剂原子的硅。

硅原子和施主磷原子之间将形成共价键，每个共价键共用磷原子的一个电子。不过，磷原子的第五个电子并不束缚在任何硅原子的周围。正因为此，磷原子的第五个电子只需要很少的能量就可以逃逸并进入导带。对n型硅而言，导带自由电子是多数载流子，在材料中甚多。也存在少量的少数载流子即价带空穴。



施主原子提供过剩电子以形成n型硅

图 2.23　掺磷n型硅中的电子

导带中有1个电子对导电意义并不显著。然而，当我们对硅进行掺杂时，加入了约数百万个掺杂剂原子，产生很多不属于共价键的电子。在电子和空穴之间存在着大量的移动行为。带负电

的电子和带正电的空穴相互吸引。电子可以相对容易地进入导带。如果对材料施加一个电压，电子便能汇聚成电流的形式流过材料（见图2.24）。

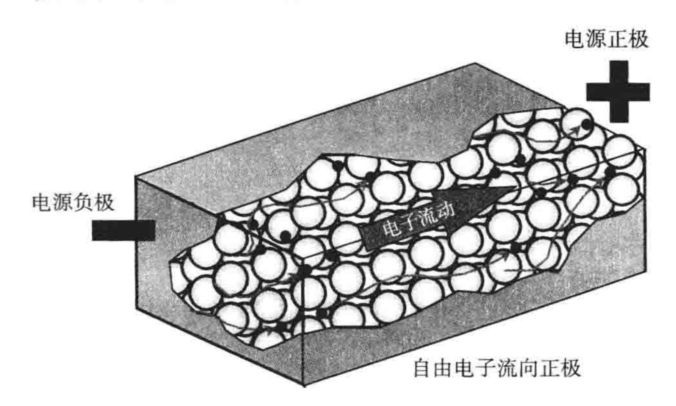


图2.24　n型硅中的自由电子流

要注意掺杂硅仍旧是电中性的（这对于p型硅和n型硅都适用）。就n型硅而言，这是因为每个磷原子仍有相同的质子数和电子数，硅原子也是如此。这样半导体中电子和质子的总量仍然相等，结果净电荷为零。不相等的是，导带电子（多数载流子）的数目远大于价带空穴（少数载流子）的数目。

p型硅　在图2.25所示的p型硅中，硼原子是p型受主，与相邻的四个硅原子形成共价键。硼受主原子由于缺乏第四个电子而产生了一个电子的空缺，因而产生了p型硅。价电子层中存在过量的空穴（电子的空缺）。

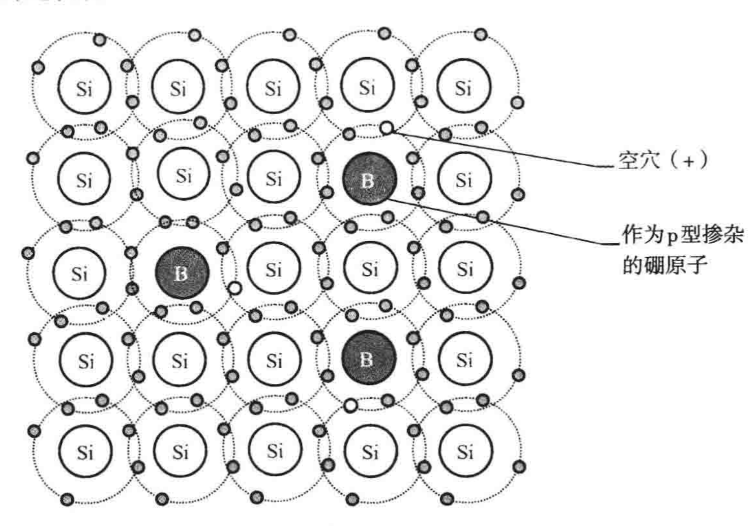


图2.25　掺硼p型硅中的空穴

既然价带空穴数多于导带电子数，空穴就是p型硅中主要的电流载流子。空穴被称为多数载流子而电子被称为少数载流子。如果对p型硅施加一个直流电压，则大量的空穴将吸引电子从电流源的负端流向p型半导体。这就是p型半导体中的电流（见图2.26）。由于每次一个电子流入一个空穴将在它前面的位置产生一个空穴，看上去就好像空穴在移动。即空穴看起来沿着与电子相反的方向移动。

掺杂硅的电阻率 通过向硅的晶体结构中引入杂质，实现了对硅的电阻率的精确控制。杂质原子在硅中的浓度决定了材料的导电能力。纯硅具有约250 000 Ω-cm的电阻率，是一种绝缘体。相比之下，铜是一种优良导体，它的电阻率为1.7 mΩ-cm（0.000 0017 Ω-cm）。通过向纯硅中加入适当类型和浓度的杂质，掺杂硅的电阻率下降，而导电性增加（见图2.27）。对于一个给定的电阻率，n型掺杂的浓度低于p型的。这是因为移动一个电子比移动一个空穴需要更少的能量。

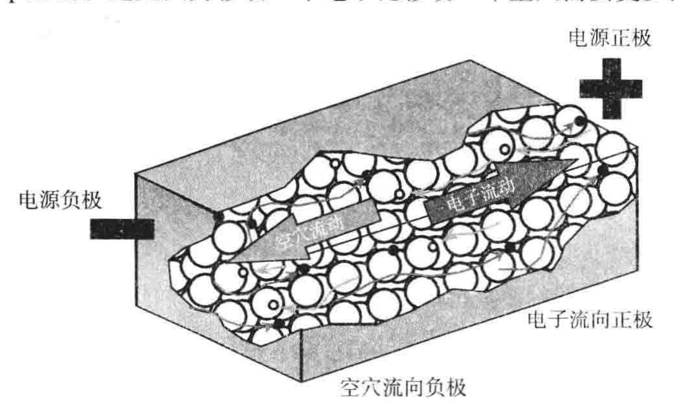


图2.26 p型硅中的空穴流

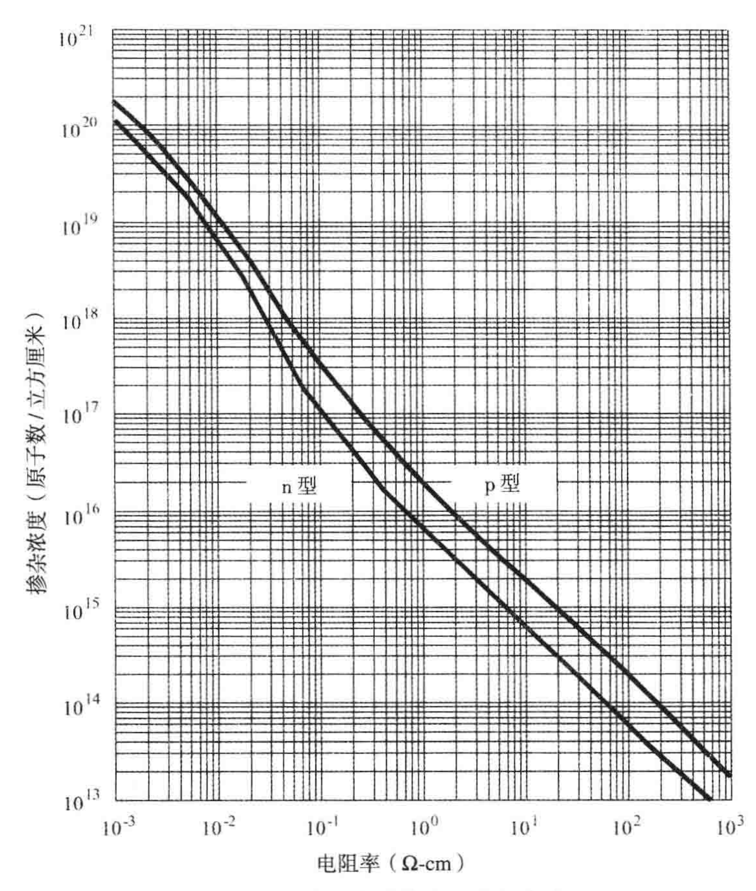


图2.27 硅的电阻率随掺杂浓度的变化

（重新绘制S. Ghandi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, John Wiley & Sons, 1994）

要使硅成为有用的导体只需要很小量的掺杂（小至 0.000 001% 到 0.1%）。这对于在硅片上制做半导体器件却是很重要的。在半导体制造期间，硅中的掺杂剂量，或者说浓度，必须小心控制以获得精确的电阻率。第 17 章将介绍用于硅掺杂的离子注入工艺。

2.5.4 pn 结

我们用五价或三价元素对纯硅进行掺杂以获得n型或p型半导体。掺杂元素的类型和浓度决定了是电子还是空穴导电，也决定了硅最终的电阻率值。载流子数，进而电阻率，决定于硅晶体中的净施主数或净受主数。因此，n 型掺杂可以注入或扩散到 p 型区并把这一区域转变为 n 型区（反之亦然）。为此，这一区域中 n 型施主的浓度必须大于 p 型受主的。

结合硅晶体中n型区和p型区的能力很重要，因为半导体器件要成为有用的电子器件这两种区域都将需要。n 型和 p 型区域之间的结也很重要，它创造出硅作为半导体的一些有用特性。这个结被称为 pn 结（见图 2.28）。

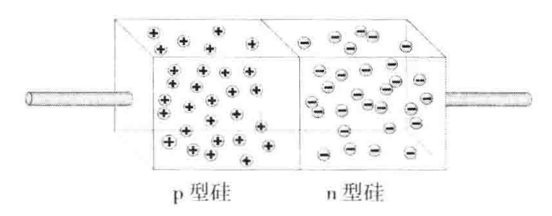


图 2.28 平面 pn 结的横截面

pn 结是固态电子学的精髓，也是半导体硅片随施加给结的电压不同可以获得它们独一无二的导体或绝缘体性质之根据所在。pn结如何充当一个有用的电子器件的细节将在第3章讨论。在硅片制造中几乎都是通过离子注入来制作 pn 结的（参见第 17 章）。

注意pn结是在两部分本质相同的材料之间形成的。p型和n型材料除去微量的掺杂以外几乎没有什么不同。n 型材料由施主杂质获得了过剩的可移动电子，而 p 型材料具有过剩的可移动空穴。说一种材料与另一种材料接触是不实的[6]。结很紧密，n型和p型材料都是在同一种连续固体物质中形成的。包含 pn 结的硅晶体仍旧看上去像并且表现得与纯的晶体材料类似。

在半导体制造中 pn 结的深度和精确度是很关键的。随着器件关键尺寸的缩小，精确控制硅中 pn 结（例如结深）和掺杂浓度的能力成为半导体芯片制造最主要的挑战。

2.6 可选择的半导体材料

锗和硅都是IVA族的两种元素半导体材料，有4个价电子。我们知道锗是用于晶体管制造的第一种半导体材料，并出于工艺和性能的原因，在 20 世纪 50 年代被硅取代了。

对于特定的市场应用存在着其他可以选择的半导体材料，主要是化合物半导体材料。一类主要的化合物半导体是由周期表中 IIIA 族和 VA 族元素形成的（通常被称为 III-V 族化合物），砷化镓就是一个例子。此外，其他的化合物半导体来自于 IIB 族和 VIA 族元素，称为 II-VI 族化合物。

市场对集成电路性能的要求超越了硅半导体产品的承受能力，这就推动了对其他半导体材料的需求。集成电路关键的性能指标是速度。无线和高速数字通信、空间应用和诸如汽车工业的消费市场，正在孕育特殊的半导体市场，以速度为中心以满足更高的信号频率。此外，III-V 族化合物半导体还用于发光二极管（LED）。

砷化镓是最常见的III-V族半导体，将放在下一节讨论。这种化合物存在其他变种，例如用于制造蓝色半导体激光器和发光二极管的氮化镓（GaN）。另一种化合物半导体是锗硅（SiGe），已经研究了二十余年，它可能在市场应用中同GaAs展开竞争。

II-VI族半导体也有所增长，到2001年它们的市场收入可望达到1.79亿美元[7]。碲化镉CdTe）和硒化锌（ZnSe）是两种最主要的II-VI族材料。碲化镉半导体主要用于红外（IR）探测系统。硒化锌是另一种用于制造蓝色发光二极管的II-VI族化合物材料。

2.6.1 砷化镓

砷化镓（GaAs）是最常见的III-V族化合物半导体材料，由IIIA族的镓和VA族的砷结合而成。砷化镓具有比硅更高的电子迁移率，因此多数载流子也移动得比硅中的更快。砷化镓也有减小寄生电容（参见第3章）和信号损耗的特性。这些特性使得集成电路的速度比由硅制成的电路更快[8]。GaAs器件增进的信号速度允许它们在通信系统中响应高频微波信号并精确地把它们转换成电信号。硅基半导体速度太慢以致于不能响应微波频率。基于这些原因，无线和高速数字通信的产品及高速光电子器件要用GaAs和其他化合物半导体制造。

GaAs的一个优点是它的材料电阻率更大，高达10^8 Ω-cm。这使得GaAs衬底上制造的半导体器件之间很容易实现隔离，不会产生电学性能的损失。GaAs器件也展示出比硅更高的抗辐射性能，在军事和空间应用中颇具吸引力。

表2.3总结了某些不同半导体材料的性质。为便于比较，SiO_2的性质也概括在其中。

表2.3 半导体材料的某些物理性质比较

性质	硅	锗	砷化镓	二氧化硅
熔点（℃）	1412	937	1238	1700（近似）
原子量	28.09	72.60	144.63	60.08
原子密度（原子/立方厘米）	4.99 × 1^{02}2	4.42 × 1^{02}2	2.21 × 1^{02}2	2.3 × 1^{02}2
禁带宽度（eV）	1.11	0.67	1.40	8（近似）

砷化镓半导体材料主要的缺点是缺乏天然氧化物。这个特点妨碍了要求具有生长表面介质能力的标准MOS器件的发展。GaAs的另一个问题是材料的脆性，使圆片的加工成为硅片制造中一个主要的难题。由于镓的相对匮乏和提纯工艺中的能量消耗，GaAs的成本相当于硅的10倍。最后要注意的一点是，砷的剧毒性需要在设备、工艺和废物清除设施中特别控制。这些防范措施对GaAs半导体的制造成本有着重大的影响。

2.7 小结

所有物质都是由原子构成的。原子中的价电子数是影响化学和物理性质及与其他原子结合能力的因素之一。固体能带理论解释了电子怎样改变价带和导带之间的轨道能级以成为绝缘体、导体和半导体。在周期表中描述了化学元素，并用它来解释离子键、共价键的形成以及特定元素怎样被用于半导体制造。所有材料都可划分为三类，要么是传导电流的导体，要么是不导电的绝缘体，或者是在某些情况下导电的半导体。电阻率是材料的一种性质，电阻则是由电阻率和材料的几何尺寸共同决定的。电容器通过电介质存储电荷。

硅由于其丰度、高熔点、宽温度范围和氧化能力成为最常见的半导体材料。氧化层允许覆盖在硅表面，使硅掺杂导电成为可能。硅掺杂使用三价（p型受主掺杂剂）或五价（n型施主掺杂剂）元素。在硅晶体中引入特定浓度的掺杂剂，可以精确控制硅的电阻率。当p型硅和n型硅在硅晶体中

形成一个结时，硅便能充当绝缘体或半导体。还有一些可供选择的半导体材料，主要是化合物半导体，其中以砷化镓为主。

关键术语

元素
分子
化合物
价电子层
绝缘体
导体
半导体
阳离子
阴离子
电离
原子质量单位（amu）
电子–空穴对
复合
寿命
电导率
电阻率
电阻
电容
硅
本征硅
晶体
氧化硅
掺杂
掺杂剂（或杂质）
非本征硅
三价的
五价的
p 型硅
受主
n 型硅
施主
多数载流子
少数载流子
pn 结
化合物半导体
砷化镓

复习题

1. 什么是物质？
2. 描述原子结构模型，包括质子、中子和电子，并说明它们各自的电荷。
3. 描述元素、分子和化合物。
4. 什么是价电子，为何价电子对形成化合物很重要？
5. 能带理论怎样解释绝缘体、导体和半导体之间的不同？各种材料的禁带宽度怎样变化？
6. 离子怎样形成？什么是阳离子和阴离子？
7. 从价电子的观点来看，周期表中的族数代表什么？原子序数和原子质量数有何不同？
8. 给出原子质量单位（amu）的定义。
9. 离子键是怎样形成的？共价键是怎样形成的？什么是氧化和还原，这些过程与键的形成有怎样的关系？
10. 说明三类材料并解释电流怎样流经其中。
11. 什么是电阻率？什么是电导率？电导率与电阻率的关系如何？
12. 什么是电阻？列出电阻公式。
13. 绝缘材料的另一个术语是什么？
14. 什么是电容？什么是介电常数？这个概念为何对半导体制造很重要？
15. 指出最通常的半导体材料并给出它使用最普遍的原因。
16. 本征和非本征硅之间的区别是什么？

17. 描述氧化硅。讨论为什么氧化硅很重要?
18. 什么是掺杂? 为什么掺杂对半导体硅很重要?
19. 给出一个三价掺杂元素和三个五价掺杂元素的例子。这些元素分别来自周期表中的哪些族?
20. 描述掺磷的 n 型硅。
21. n 型硅具有哪种类型的多数载流子和少数载流子? 给出 p 型硅的多数载流子和少数载流子。
22. 什么特性决定了硅传导电流的能力?
23. 描述 pn 结并解释为何它对半导体很重要。
24. 化合物半导体来自周期表中的哪些族?
25. 砷化镓相对于硅的优点是什么?
26. 砷化镓相对于硅的主要缺点是什么?

参考文献

1. Basic chemistry concepts referenced from M. Silberberg, *Chemistry, The Molecular Nature of Matter and Change*, (St. Louis: Mosby, 1996).
2. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era, Vol. 1–Process Technology* (Sunset Beach: Lattice Press, 1986), p. 118.
3. *Solid State Technology* (January 1998): p. 18.
4. F. Seitz and N. Einspruch, *Electronic Genie: The Tangled History of Silicon*, Urbana, (University of Illinois Press, 1998), p. 175.
5. G. Anner, *Planar Processing Primer*, (New York: Van Nostrand Reinhold, 1990), p. 57.
6. A. Holden, *Conductors and Semiconductors*, (Bell Telephone Laboratories, 1964), p.109.
7. "Growth Seen for II-VI Materials," *Semiconductors International* (March 1997): p. 57.
8. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), p. 2.

第3章 器件技术

半导体器件有多种不同的类型，每种类型的器件对使用者都有其特定的功能。本章将介绍各种不同类型的电子元件，并说明这些元件在具体集成电路技术发展中的结构特点。

目标

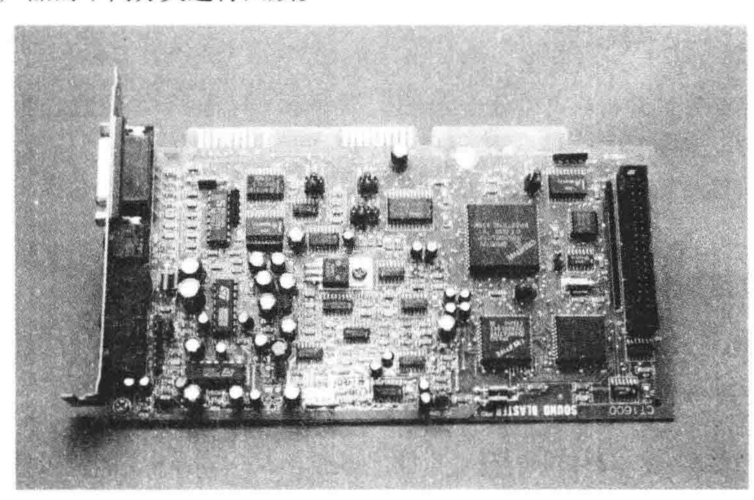
通过本章的学习，你将能够：

1. 辨别出模拟器件和数字器件，有源元件和无源元件的不同点。说明在无源元件中寄生结构的影响。
2. 对pn结进行描述，论述其重要性，并解释其反向偏压和正向偏压现象。
3. 描述双极技术特征和双极晶体管的功能，偏压、结构及应用。
4. 描述CMOS技术的基本特征，包括场效应晶体管、偏压现象以及CMOS反相器。
5. 描述MOSFET（金属氧化物半导体场效应管）增强型和耗尽型之间的区别。
6. 描述寄生晶体管的影响和CMOS闩锁效应的本质。
7. 列举一些集成电路产品，描述其各自的一些应用。

3.1 引言

用于微芯片的电子器件是在衬底上构建的。通用的微芯片器件包括电阻、电容、熔丝、二极管和晶体管。它们在衬底上的集成是集成电路硅片制造技术的基础。

硅片上电子器件的形成方式被称为结构。半导体器件结构有成千上万种，这里只能列举出其中的一小部分。本章将讨论器件的实际形成，以了解它们在应用中是怎样发挥作用的。同时，本章中还将对集成电路产品的不同分类进行回顾。



印刷电路板上的元件

3.2 电路类型

由电子元件组成的电路可以分成两种基本类型：数字电路和模拟电路。它们在应用中有其各自的优势（见3.5节）。

3.2.1 模拟电路

在电子技术中，模拟电路是指其电参数在一定电压、电流、功耗值范围内变化的一种电路。模拟电路可设计成由直流（DC）、交流（AC）或者两者的混合，以及脉冲直流来作为工作电源。以模拟电路为工作原理的电子产品有：无线电发射器和接收器、声音的录制和回放装置、X射线机以及自动点火装置。然而输入输出信号的放大不能总是与预定值相符。例如，用AM/FM收音机搜索无线电台时，不是所有无线信号都有相同的信号强度。因此，音量的控制必须根据输入信号强度做调整。收音机的音量控制、取暖机的手动调温器、家用灯光设备的控制器——这些都是普通模拟器件的例子。

3.2.2 数字电路

数字电路在两种性质不同的电平信号——高电平和低电平——下工作。逻辑高电平用二进制数1表示，逻辑低电平用二进制数0表示。数字电路与计算机和计算器等逻辑器件有关。其他数字逻辑器件应用包括：时钟、手柄式电脑游戏以及条形码阅读器。数字器件可用于测量并控制事件结果：要求既有开/关型命令，又能受模拟线性电路分立增量变化的控制。这也正是今天区别模拟器件和数字器件如此困难的原因所在。高低电平的准确数值取决于特别的器件技术。下面是两个逻辑电平的例子：

逻辑类型	高电平 = 1	低电平 = 0
TTL	5 VDC	0.0 VDC
CMOS	3.5 VDC	0.0 VDC

注意，VDC是直流电压。

3.3 无源元件结构

从第2章了解到不同种材料可以分为绝缘体、导体和半导体。下面让我们看看这些基本材料如何应用于基本电子元件结构中；例如电阻和电容，这些元件被称为无源元件。无论这些元件怎样和电源相连，它们都能传输电流。例如，一块电阻无论是与电源的正极还是负极相连，它都能传输同样的电流。

3.3.1 集成电路电阻结构

集成电路电阻可以通过金属膜、掺杂的多晶硅，或者通过杂质扩散到衬底的特定区域中产生（见图3.1）[1]。这些电阻是微结构，因此它们只占用衬底很小的区域。电阻和芯片电路的连接是通过与导电金属（如铝、钨等）形成接触实现的（参见第12章）。

■ 寄生电阻结构 寄生电阻是在集成电路元件设计中产生的多余电阻。它存在于器件结构中是因为器件的尺寸、形状、材料类型、掺杂种类以及掺杂数量。寄生电阻并不是我们需要的，因为它会降低集成电路器件的性能。图3.2表示了晶体管中寄生电阻的位置。

寄生电阻是可累积的，这意味着一串电阻总的效应比单个电阻大。在集成电路器件中，这些寄生电阻的影响成为能否降低芯片上器件特征尺寸的关键因素。随着集成度的提高，电阻将会提高，且电性能总体下降。设计者意识到这个问题，因此在设计中自觉地考虑到减小电阻，并且选用低电阻金属作为接触层和特别工艺设计以减小有源器件的体（bulk）电阻。

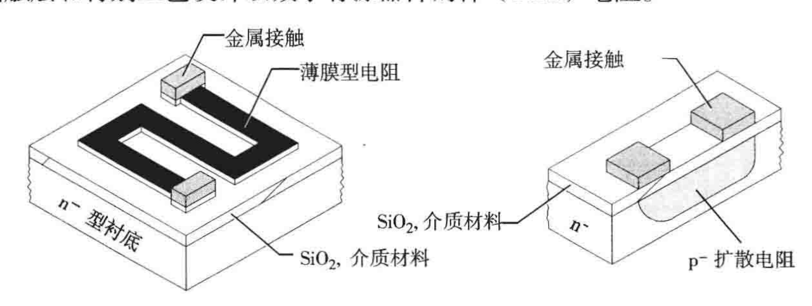


图 3.1　集成电路中电阻结构示例

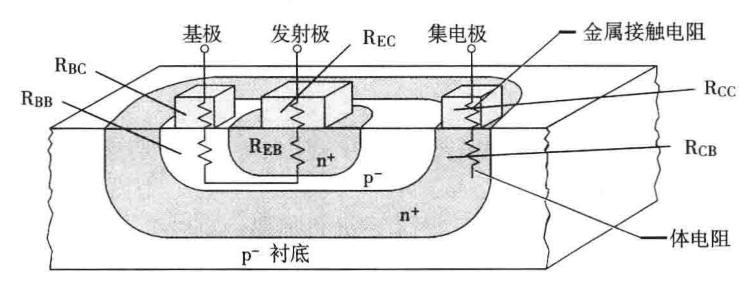


图 3.2　晶体管中寄生电阻的剖面

3.3.2　集成电路电容器结构

回顾第2章可知一个简单的电容器是由两个分立的导电层被介质（绝缘）材料隔离开而形成的。微芯片制造中介质材料通常是二氧化硅（SiO_2），通常称为氧化层。平面型电容器可由金属薄层、掺杂的多晶硅，或者衬底的扩散区形成。通常衬底上的电容器由4种基本工艺组成（见图3.3）。

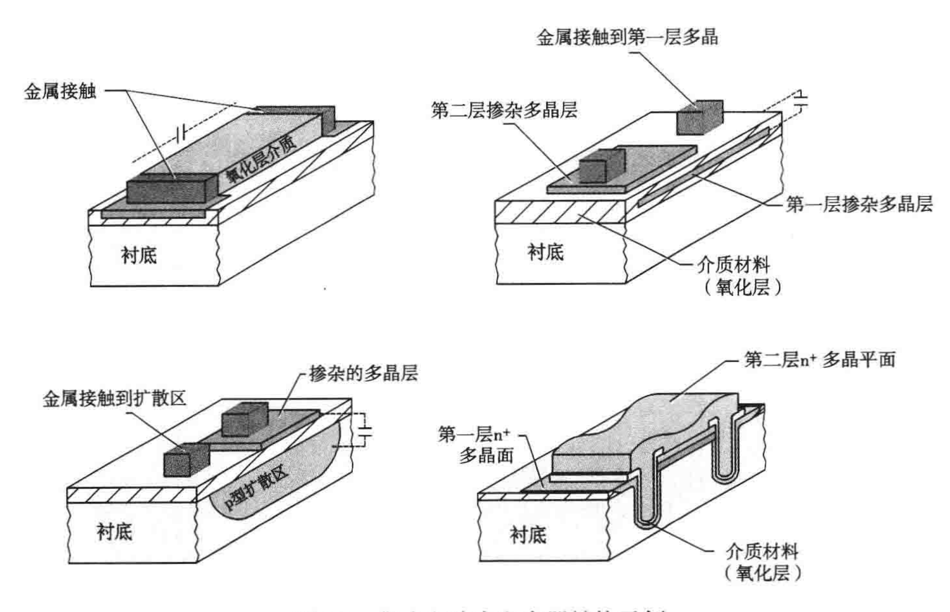


图 3.3　集成电路中电容器结构示例

■ **寄生电容结构** 由于衬底材料的缘故会自动产生电容，这种电容称为寄生电容[2]。一个简单的例子就是由两个相邻的金属导体和它们之间的一层绝缘材料构成。这种电容会影响集成电路的性能。事实上寄生电容将影响电路高速工作的能力。有时寄生电容可引起电路的不稳定性，产生寄生振荡，甚至产生不需要的交流信号短路。图3.4显示了双极晶体管和场效应晶体管电极间的寄生电容。

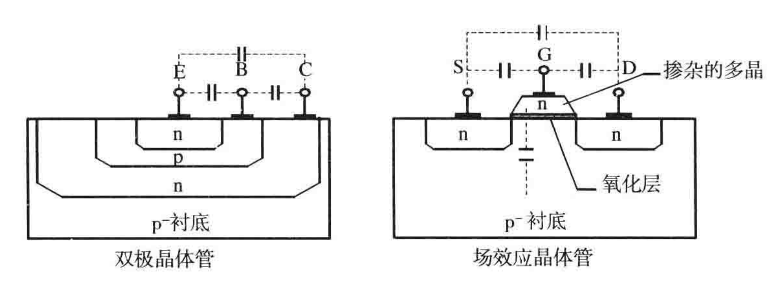


图3.4 晶体管中寄生电容示例

3.4 有源元件结构

有源元件，例如二极管和晶体管，在电子控制方式上与无源器件有很大差别。它们可用于控制电流方向。此外，有源元件可放大小的信号，并产生更复杂的电路，比如电流和电压整流器、振荡电路以及逻辑门。当将这些器件与电源相连时有源元件需要确定电极（+或-）。有源元件工作时利用了电子和空穴的流动。

3.4.1 pn结二极管

pn结二极管总是由n型半导体和邻近的p型半导体相连形成的。pn结可以有意地设计为一块集成电路的某一功能部件，也可以在其他集成电路中作为非功能二极管存在。pn结在集成电路中具有重要作用，因为它是双极晶体管和场效应晶体管工作原理的基础[3]。

pn结二极管由单晶半导体材料构成，比如硅。如图3.5所示，衬底上的一块区域是施主杂质的重掺杂，例如砷、磷或锑，以形成n型硅区。相反，受主掺杂（如硼）用于形成p型硅区。实际的制造过程将在第9章描述。用于连接二极管和芯片电路的金属接触材料是铝、钨、钛或铜。

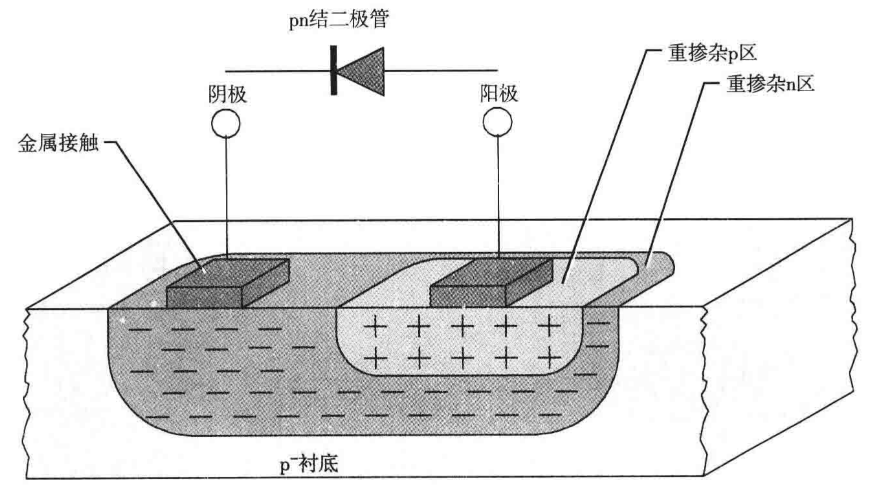


图3.5 pn结二级管的基本符号和结构

二极管的开路状态如图 3.6 所示。p 型硅中空穴(+)为多数载流子，而 n 型硅中电子(－)为多数载流子。最初，二极管的两边均为电中性，但是一些 p 区的空穴会扩散到 n 区，同时 n 区的电子也会扩散到 p 区。这些电子和空穴会在二极管连接处复合，这种复合使 n 区和 p 区的多数载流子都减少了。p 区的空穴比复合前减少，同时 n 区的电子也比复合前减少了。因此，“载流子耗尽区”这一术语可用于描述复合区。p 区空穴的消耗使这个区域带负电；同时，电子的减少使 n 区带正电。各个区域带电的结果是产生相应的电场，以阻止硅晶体中载流子从另一个区扩散到这个区来。

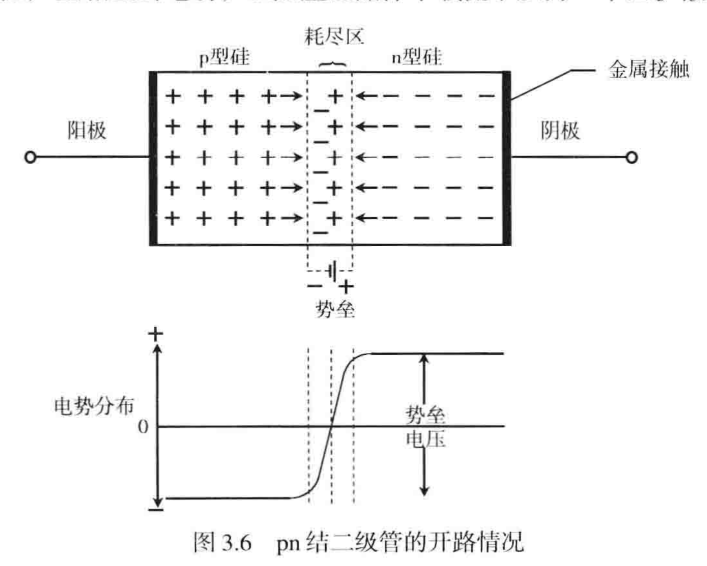


图 3.6　pn 结二级管的开路情况

耗尽区两边电荷差异的净效果产生结的电势差。这使得二极管在开启前必须克服势垒电压。

■ 反偏 pn 结二极管　假如一电压或偏压（见图 3.7 的电源符号）与 pn 结的连接如图 3.7 所示。这种称为反偏的偏转形式致使通过二极管的电流很小，甚至没有电导。放在电路中的指示灯作为电流的指示器。通过器件的任何少许电流归因于二极管中的少量电荷流动。

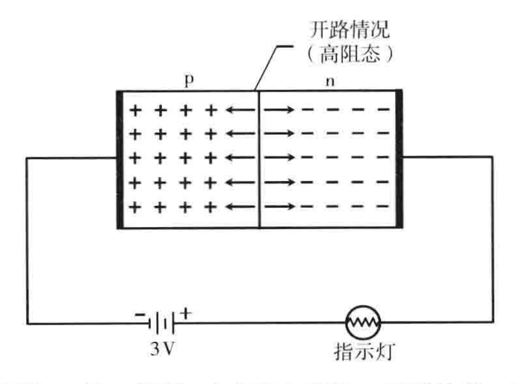


图 3.7　加反向偏压的 pn 结二极管。空穴和电子从 pn 结处抽出，基本产生开路情况

■ 正偏 pn 结二极管　图 3.8 说明了将一正偏施加于 pn 结二极管的结果。电路中 n 区电子从偏压电源负极被排斥。多余的电子从负极注入到充满空穴的左端，使 n 区中留下电子的空缺。同时，p 区的空穴从偏压电源正极被排斥。由偏压电源正极提供的空穴中和了由偏压电源负极提供的电子。空穴和电子在结区复合以及克服势垒电压很大地减小了阻止电流的行为。只要偏压对二极管能维持一个固定的空穴和电子注入，电流就将持续地通过电路。

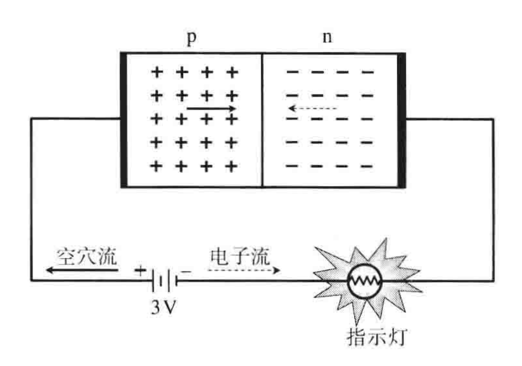


图 3.8 加正向偏压的 pn 结二级管

为克服势垒，电子和空穴向结方向吸引，因而允许电流流过电路。如图 3.8 的实线表示空穴的运动方向，虚线表示电子的运动方向。实线也表示常规的电流方向。

二极管的电特性由电流电压曲线描述（见图 3.9）。图 3.9 的曲线图描述了一个典型硅二极管的正偏和反偏特性。注意在正偏曲线的拐角处为击穿电压。击穿电压是硅二极管所特有的，且通常在 0.6 到 0.8 V 的范围内。反偏曲线表示了当结电压过高时二极管将反向传导的特点。

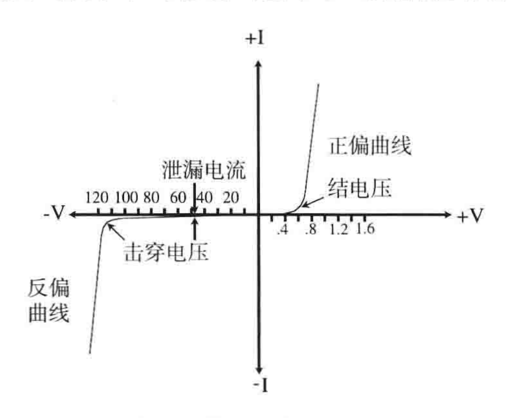


图 3.9 硅二极管的正偏与反偏电学特性

3.4.2 双极晶体管

双极晶体管（BJT）有三电极和两个 pn 结。整个晶体管从一个单一的半导体衬底开始构成。有两种不同的双极晶体管，npn 和 pnp。这些晶体管的简化结构和示意符如图 3.10 所示。电极被标为发射极、基极和集电极。发射极的箭头表示了通过各自晶体管的空穴流方向。

■ 偏置 npn 晶体管的导电模式 npn 晶体管正常工作的偏压设计如图 3.11 所示。注意两个偏压电源的极性。发射极 – 基极结由较小的偏压提供正向偏置，例如一块单个的 1.5 V 电池。集电极偏压电源（一块 3 V 电池）与相对于 n 型集电极的负极相连。发射极为所有电压的参考点（接地）。在这个电路构造中，基极作为晶体管的输入端，而集电极作为输出端。指示灯用做输出负载并且作为通过集电极的电流指示。

没有完整的电路路径通过集电极 – 基极（E-B）结就没有电导通过晶体管的集电极。这种无导电模式如图 3.11 所示。只要开关 S_1 保持断开，发射极和集电极的 pn 结就会保持无导电模式（开路电路）。这种情况不允许电流从发射极流向集电极。关闭 S_1 时 E-B 结正向偏置（相当于二极管）。通过 E-B 结的电导立即减小了其势垒，并允许电子从 3 V 电池电源的负极通过 E-B 区进入集电极。同

时，从集电极电源正极注入的空穴通过指示灯后进入集电极顶部与电子复合。指示灯现在表明电流通过了晶体管的输出端。这种状态将会持续到 S_1 的改变或电路元件断开。

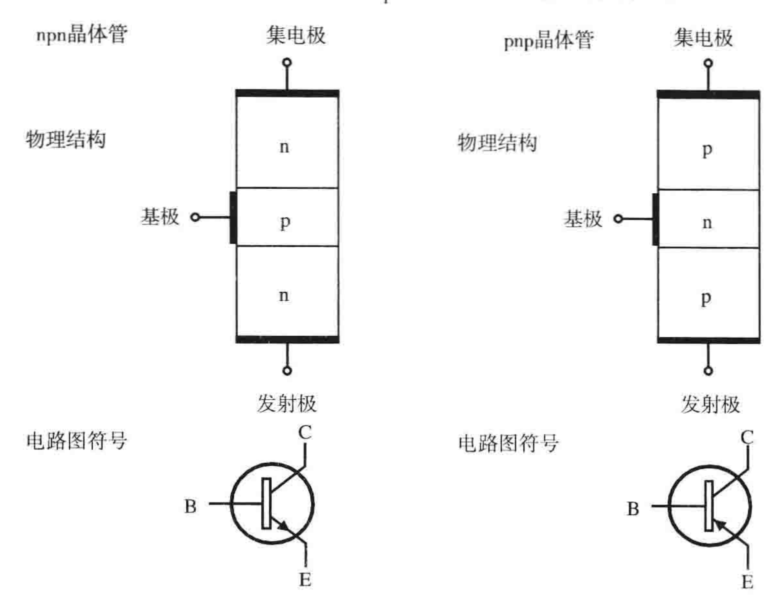


图 3.10 两种双极晶体管

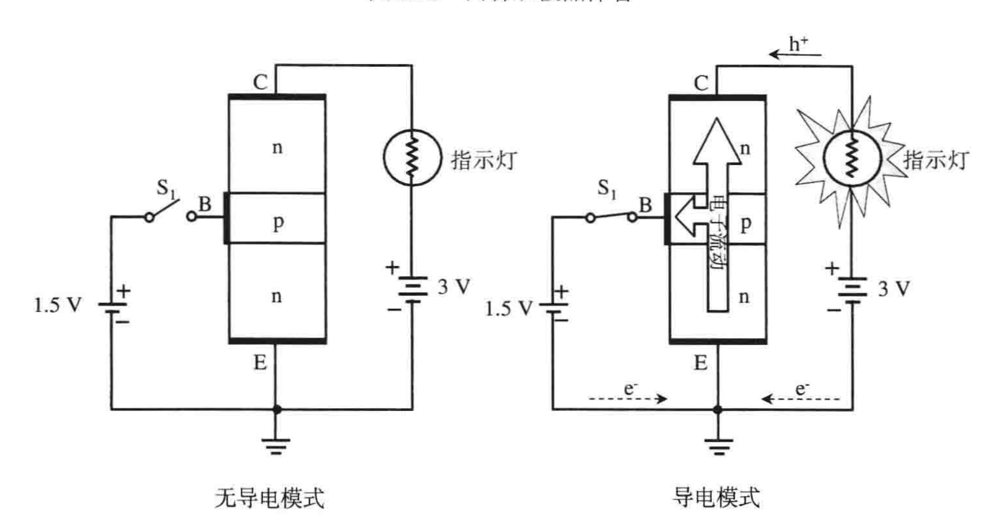


图 3.11 npn 晶体管偏置电路

图3.11中的实线表示空穴运动方向，虚线表示电子的运动方向。实线同时表示通常的电流方向。

■ **偏置pnp晶体管的导电模式** pnp晶体管的工作原理与npn的相似，只是偏压电源连接是反向的。pnp晶体管的电导要求条件与npn相同：首先，E-B结必须为正向偏压（见图3.12），其次集电极电源电压Vcc必须反向连到集电极上。在电导通过E-B结后，空穴从1.5 V电源的正极注入通过E-B结然后进入集电极。3 V电池的电子离开电池负极，通过指示灯进入集电极顶部与空穴复合。

■ **双极晶体管结构** 图3.13表明了npn双极晶体管剖面的结构特征。注意每个电极中掺杂数量的不同。发射极（E）和集电极（C）都是n型的重掺杂，比如砷或磷。基极（B）是p型杂质硼的轻掺杂。基极载流子越少，基极吸引的电流将明显地比集电极吸引的电流小。这种差别说明了晶

体管从输入到输出电流的增益（放大）。这种特征是晶体管和二极管的主要区别。晶体管能线性地将小的输入信号放大几百倍来驱动输出器件，例如扬声器、电动机、灯、继电器以及其他机电器件。BJT 是驱动电流的电流放大器件。因此，双极晶体管通常应用于无线电接收装置、磁带录音机、汽车用电子设备、航行器控制系统、生物医学设备、机器人以及任何需要高功率控制的地方。

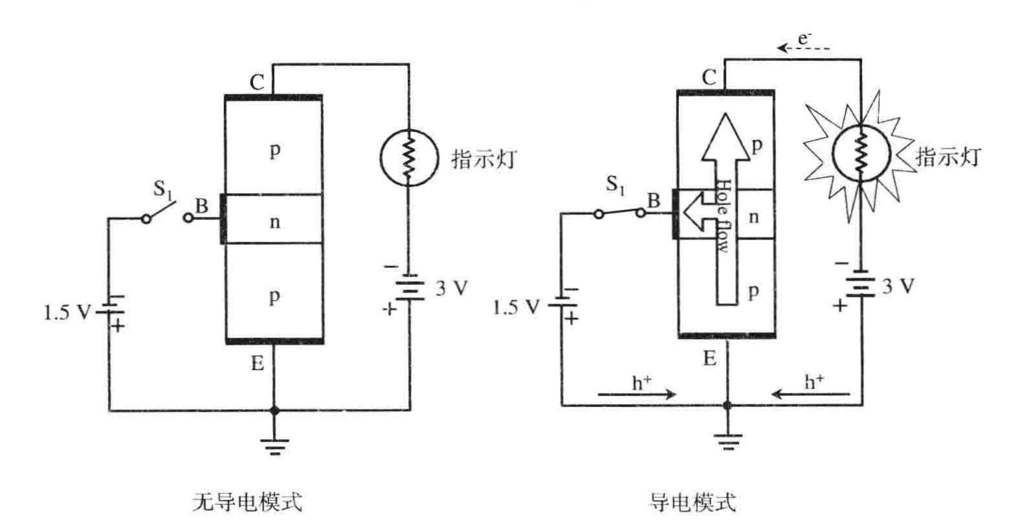


图 3.12　pnp 晶体管偏置电路

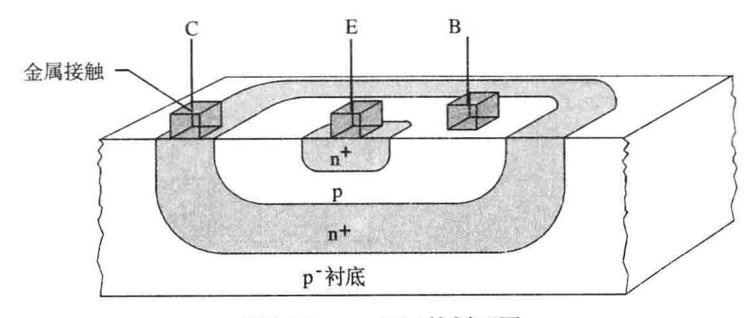


图 3.13　npn BJT 的剖面图

3.4.3　肖特基二极管

肖特基二极管是由金属与轻掺杂的n型半导体材料接触形成的。这种形式器件的工作原理与普通的pn结二极管相似——正偏时低电阻，反偏时高电阻。硅肖特基二极管的正向结压降（0.3~0.5 V）几乎是硅pn结二极管（0.6~0.8 V）的一半。肖特基二极管的最大优势是其电导完全取决于电子，这使其从开到关的时间更快[4]。图 3.14 指出了示意符和肖特基二极管的剖面结构。

肖特基二极管的发明使双极集成电路技术得以在 21 世纪继续应用。肖特基二极管的概念已应用于高速和更高功效的双极集成电路的发展中。

3.4.4　双极集成电路技术

二极管和双极晶体管——连同支撑元件电阻、电容、绝缘体和导体——用于一种称为双极技术的集成电路开发。双极技术在众多集成电路技术中首先用于数字和模拟集成电路产品。很多年来，双极器件以其高速、耐久性以及功率控制能力一直备受关注。然而，它的最大缺陷是功耗高。当然，

这意味着这些器件在电子实用化和用于便携设备的电池工作时需要更高的成本。一些双极技术时代的种类因此消失。其他双极厂商成功维持了他们的业务，这些业务基于在高功率电器的应用方面存在应对双极器件的不断需求。表3.1列出了双极逻辑的种类。更多关于双极技术的知识可以从本章末尾的参考文献中获得。

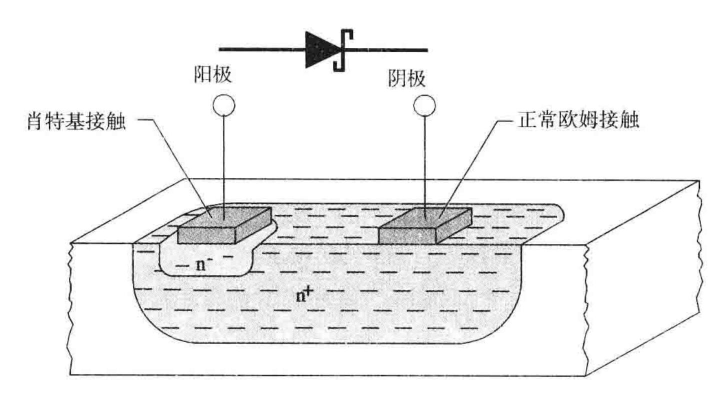


图3.14 肖特基二极管的电路符号和结构剖面图

表3.1 双极逻辑的种类

双极逻辑的种类	缩写
直接耦合晶体管逻辑	DCTL**
电阻 – 晶体管逻辑	RTL**
电阻 – 电容 – 晶体管逻辑	RCTL**
二极管 – 晶体管逻辑	DTL**
晶体管 – 晶体管逻辑 *	TTL**
肖特基TTL逻辑 *	STTL†
发射极耦合逻辑 *	ECL†

* 直到2000年仍然在使用的一些形式

**引自G.Deboo and C.Burrous, *Integrated Circuits and Semiconductor Devices:Theory and Application*, 2nd ed.(New York: McGraw-Hill,1997), p.192

† 引自 A.Sedra amd K.Smith, *Microelectric Circuits*(Oxford:Oxford University Press,1998),p.1187,1196

3.4.5 CMOS集成电路技术

当20世纪70年代后期能源消耗被国际关注时，半导体工业以场效应晶体管（FET）做出回应，FET是既利于提高集成度又节省电能的电子器件。尽管场效应晶体管的早期实验应回到20世纪30年代，但第一批大量生产的场效应晶体管在60年代成为现实。从此一些改进的场效应晶体管一直被使用。现在最流行的集成电路技术是CMOS（互补型金属氧化物半导体）技术，它是围绕着场效应晶体管设计和制造的发展而发展的。本书主要内容将集中于CMOS器件的发展和工艺过程。

■ **场效应晶体管** 场效应晶体管的发展本质上创造了半导体工艺发展史上的新时代。与双极晶体管的电流放大不同，场效应晶体管是一种电压放大器件。双极晶体管和场效应晶体管之间的惟一相似之处是用于制作晶体管的材料类型以及电极数量。它们都有三个电极并且都是在单晶衬底上制作的。场效应晶体管的最大优势是它的低电压和低功耗。与双极晶体管需要基极端的输入电流开启晶体管不同，场效应晶体管的开启是输入电压加到栅上产生的电场的结果——因此称为场效应晶体管。

场效应晶体管在线性/模拟电路中作为放大器以及在数字电路中作为开关元件使用。它的高输入阻抗和适中的放大特性使其成为一种卓越的器件用于仪表和通信设备。它的低功耗和可压缩性使其极适用于一直在缩小尺寸的超大规模集成电路和甚大规模集成电路工艺。

场效应晶体管有两种基本类型：结型（JFET）和金属–氧化物型（MOSFET）半导体。这两种类型的主要区别是，MOSFET作为场效应晶体管输入端的栅极由一层薄介质（二氧化硅，称为栅氧化物）与晶体管的其他两极绝缘。JFET的栅极实际上同晶体管其他电极形成物理的pn结。JFET广泛应用于GaAs集成电路。当金属栅用于GaAs JFET时称为MESFET。由于MOSFET在硅超大规模集成电路中的广泛应用，下面对场效应晶体管的讨论将集中在MOSFET。要对JFET有更多了解可查阅本章末尾的参考文献。

MOSFET　MOSFET在20世纪70年代得到了广泛的接受，从那时起到现在一直是集成电路的主流晶体管。MOSFET有两类：nMOS（n沟道）和pMOS（p沟道）。每种类型可由各自器件的多数载流子来区别。图3.15表示了两种MOSFET通常的示意图和物理剖面。

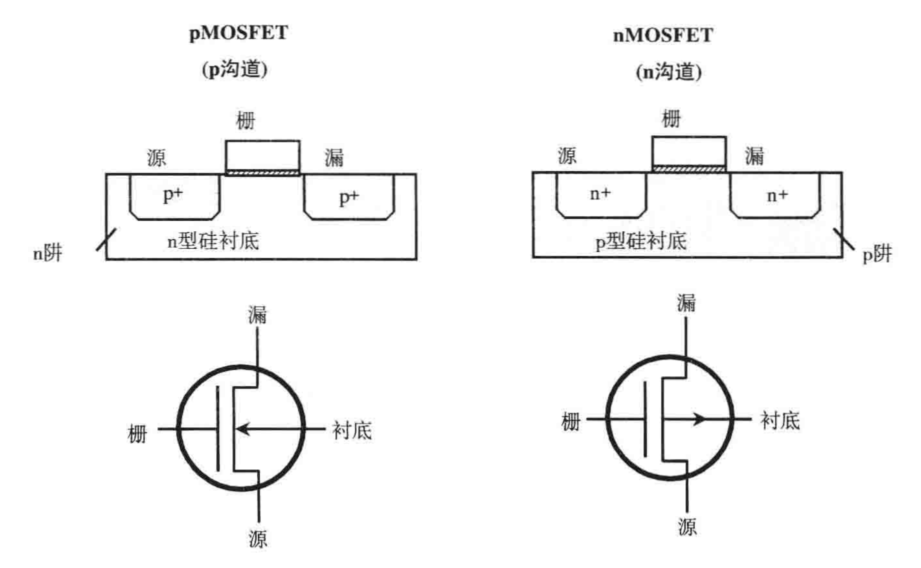


图3.15　两种MOS晶体管

每种MOSFET都有一个输入电极称为栅极。术语“金属氧化物”是指栅极的构成材料。然而，源于早期的MOS技术对MOS器件中“金属”的描述也不再准确。现在用于MOSFET最常用的材料是多晶硅，它是一种在集成电路制造中淀积在衬底的多晶的硅材料（参见第11章）。然而多晶硅必须掺入一种p型或n型杂质使材料具有导电性能。

源极和漏极各自为n型或p型的重掺杂，这取决于要制造的晶体管的类型。多数载流子的提供来源于这两个电极。nMOSFET用电子作为多数载流子，因而沟道为n型；沟道为p型的pMOSFET用空穴作为多数载流子。在没有导电的状态下，沟道是由称为阱的相反掺杂类型区域构成的开路。n沟道MOSFET在p阱内形成，而p沟道MOSFET是在n阱中形成的。在导电状态下，阱上部的相反电荷从栅氧化物界面离开，一条多数载流子从源极的流动形成了电流（与关闭开关很相似）。

nMOSFET的偏压导电模式　图3.16描述了n沟道MOSFET工作的偏压设计。电路中的指示灯作为晶体管输出电流和正常工作的指示器。在图3.16的时刻n沟道MOSFET中没有电流，因为没有输入电压施加到栅极。沟道的状况为开路。直接在栅氧化层下面和源漏电极之间区域的多数载流子是空穴。此时源极和p阱为等电位。就像没有加正偏的pn结，pn结保持非导电模式。

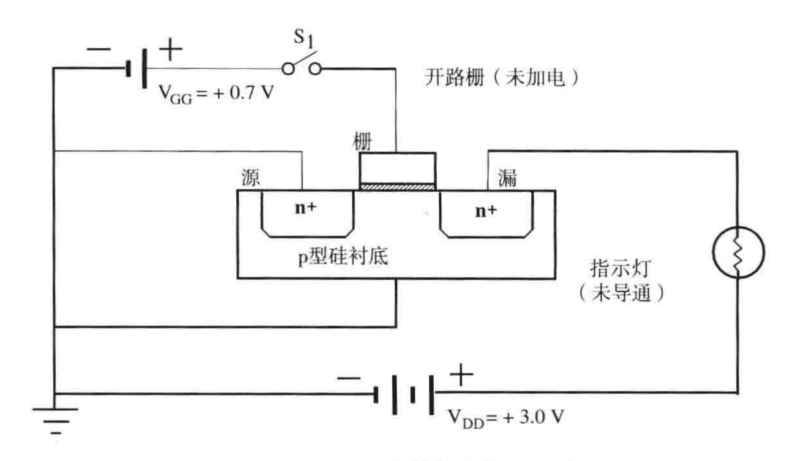


图 3.16 nMOS 晶体管的偏置电路

当开关S_1如图3.17所示关闭时，某些情况开始发生。0.7伏的偏压对电荷的影响相当于偏压直接接到栅和源极。产生了由栅极带正电的空穴和从源极流向栅氧化层界面的电子构成的静电电荷。同时，栅极的正电荷引起了电场。这个场排斥p阱顶部的空穴带电区。这些排斥电场迫使p阱顶部的空穴离开栅氧化层界面。这样，从源结流向漏极的电子填充了空穴留下的间隙。电场从栅极的正电荷不断地吸引并俘获沟道中的电子，因此源漏间的间隙仅由电子填充。现在，电子形成了持续的n型硅的晶体结构。电子从3伏电池自由地由负极经过源极、n沟道进入漏极，然后经过指示灯回到电池的正极。这种状态将同样持续到输入或输出电路的任一部分发生变化。

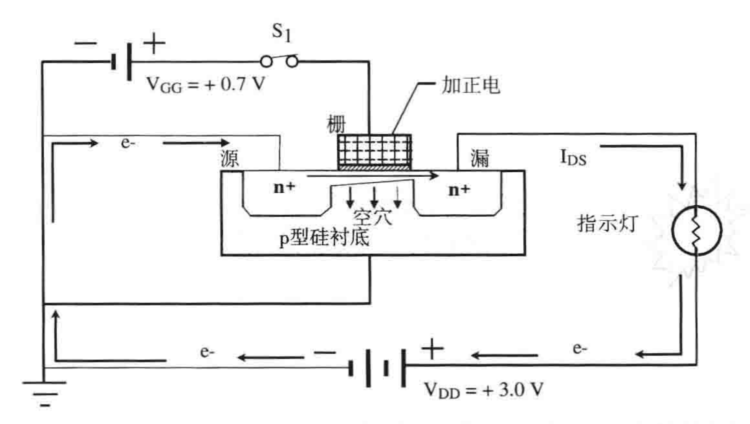


图 3.17 导通模式 nMOS 中的晶体管。闭合 S_1 允许 V_{GG} 在晶体管的栅上加正电，这样形成 n 沟道；进而允许电子从源端流到漏端

正如上面所述，提高栅极电压可以提高电的活性。提高电场强度增加了栅极的静电电荷，使得p阱中的空穴更加远离栅氧化层界面。这导致n沟道尺寸的增加以及流过沟道电子数量的增加。这种净效应使更多漏电流流过，因而提高了路径的功率传递（增加了指示灯的亮度）。

图3.18提供了一个n沟道MOSFET电性能曲线图的例子。曲线描述了漏电流I_{DS}受V_{DS}和V_{GS}的作用。每条标注V_{GS}的曲线表示了栅源电压的设定值。用该曲线可以通过所给V_{GS}和V_{DS}的值确定I_{DS}的值。例如：假如V_{GS} = 4 V和V_{DS} = 2 V，那么漏电流的值I_{DS} = 0.28 mA。阈值电压是开启场效应晶体管的最低可达到的V_{GS}值。该值通常小于1.0 V，并且与一些因素有关，包括结构尺寸以及电极和p阱的掺杂特性。

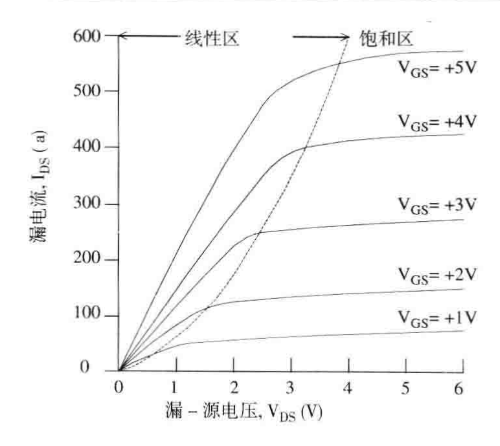


图 3.18 n 沟道 MOSFET 的特征曲线

pMOSFET 的偏压导电模式 图 3.19 表示了 p 沟道 MOSFET 的偏压电路。p 沟道晶体管的工作原理与n沟道晶体管的工作原理相似。仅有的区别是p沟道MOSFET的多数载流子是空穴以及偏压电源反向。两种晶体管其他较大的区别是它们的性能。p 沟道晶体管的速度比相应的 n 沟道晶体管慢，这主要是因为空穴运动比电子的慢。

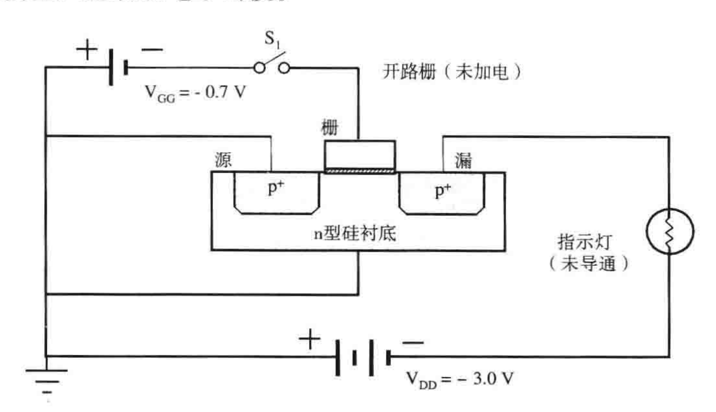


图 3.19 p 沟道 MOS 晶体管的偏置电路

关闭S_1，允许V_{GG}在晶体管栅极出现负电荷，使p沟道产生，因而允许空穴从源极流向漏极（如图 3.20 所示）。

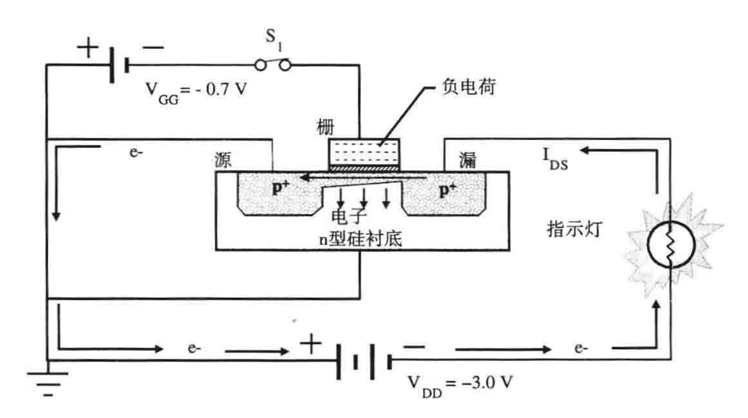


图 3.20 导通模式的 pMOS 晶体管

■ CMOS技术 以MOSFET为基础的集成电路制造多年来都集中在单一的n沟道MOSFET技术为基础的产品制造和开发上。尽管一些半导体工厂既生产nMOS晶体管又生产pMOS晶体管，即使有也很少生产主要由pMOS晶体管组成的集成电路。分立的pMOS晶体管在特定电子应用方面适合很多适用的功能，但是通常nMOS集成电路器件代替了pMOS技术。因此，nMOS成为绝大多数集成电路制造商的选择。

CMOS是在同一集成电路上nMOS和pMOS晶体管的混合。功耗、设计等比缩放技术和制造工艺的改进相结合使CMOS技术早在20世纪80年代起就成了一种最普遍的器件技术。术语“等比缩放”普遍用于描述综合尺寸和现有的IC工作电压的缩小过程，以获得工作性能以及集成度的提高。所有尺寸和电压都必须在通过设计模型应用时统一缩小（这也是取等比缩小的原因），这些模型是集成电路设计者们在电路设计和版图设计阶段使用的。

图3.21展示了一个简单的CMOS反相器电路的示意图。图中两个晶体管的栅极是连接在一起的。这些栅作为反相器的惟一输入端。反相器的输出端由连在一起的两个漏极引出。n沟道晶体管的源极接地，而p沟道晶体管的源极与偏压电源V_{DD}相连。进入CMOS输入端的信号在输出端反向，如图3.21所示。正常工作状态下，输入信号为正时n沟道晶体管工作，而输入信号为负时p沟道晶体管工作。CMOS反相器电路的功效产生于输入信号为零的转换期。当输入信号为零时晶体管没有功耗。nMOS、TTL和ECL电路与CMOS的不同在于即使是没有输入信号，这些逻辑器件也会消耗功率。这也是现在愿意在诸如计算器、时钟、移动电话和笔记本电脑等便携式电子产品的制造中使用CMOS集成电路技术的主要原因。

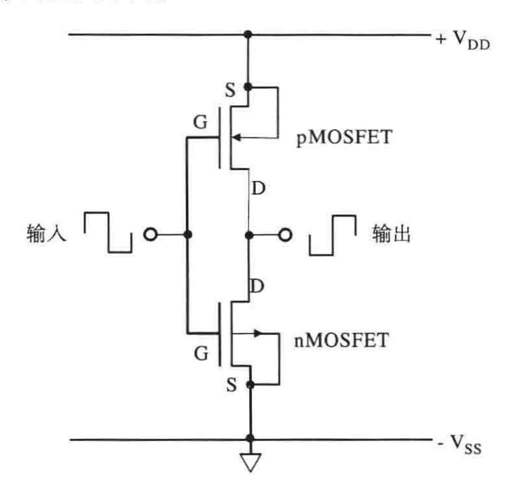


图3.21 CMOS反相器的电路图

简单CMOS反相器的物理结构如3.22的顶视图和3.23的截面图所示。n型衬底作为p沟道晶体管的n阱。n沟道晶体管必须制作独立的p阱。这种阱由称为离子注入的选择性掺杂过程完成。隔离区用来隔离彼此间的晶体管和其他晶体管（未标出）。隔离区称为场氧化区，由二氧化硅（也叫玻璃）制成。场氧化层隔离相互间的晶体管以阻止晶体管间不需要的漏电流。实际上两个晶体管之间的连接是由隔离晶体管上面的金属淀积实现的。后来，一种图形制备工艺用于确定制作金属连线的准确位置，然后通过刻蚀过程去除多余金属。更详细的CMOS制作过程超出了本章的范围。第9章将集中于CMOS集成电路制作的详细物理和化学条件以及工艺流程。

■ BiCMOS技术 BiCMOS技术就是将CMOS和双极技术的优良性能集中在同一块集成电路器件中。BiCMOS综合了CMOS结构的低功耗、高集成度和TTL或ECL器件结构的高电流驱动能

力。BiCMOS产品的应用能在所有需要复杂高功耗负载的数字控制中。在这种情况下，数/模（D/A）转换器芯片可以用来提供用做电子机械设备的控制模拟驱动信号。在测试仪器端口，模/数（A/D）芯片可以用于测量模拟驱动信号的输出。图3.24表示了一个BiCMOS芯片用于使用仪器和控制应用的基本例子。BiCMOS芯片的其他应用包括汽车电子设备、航空航天、机器人技术和工业设备。

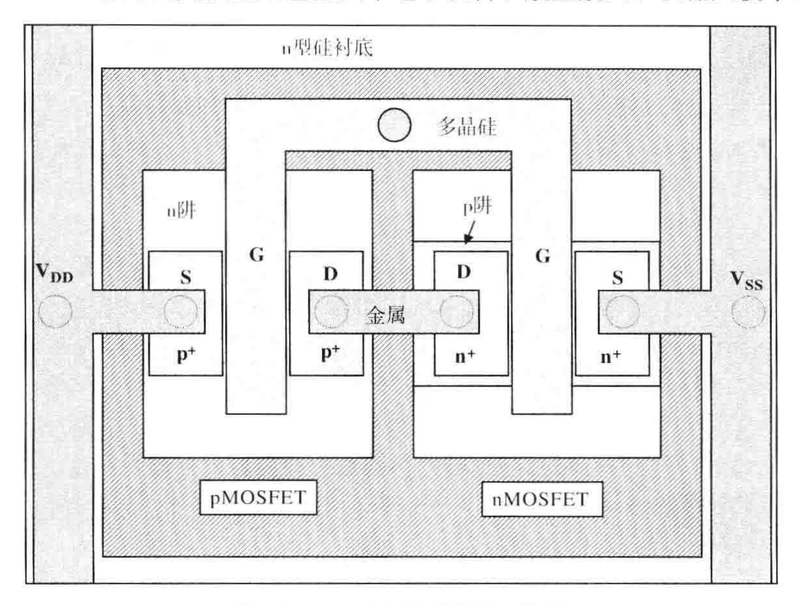


图 3.22 CMOS 反相器的顶视图

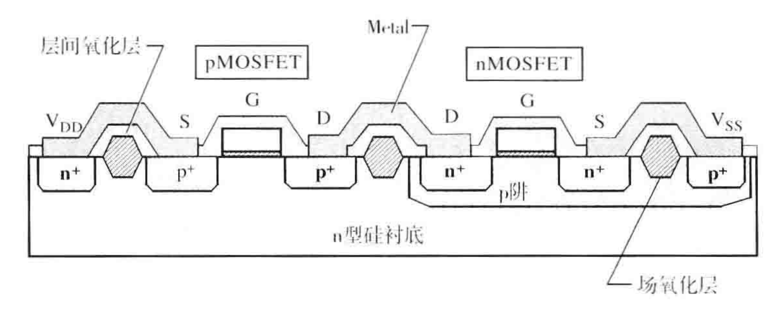


图 3.23 CMOS 反相器的剖面图

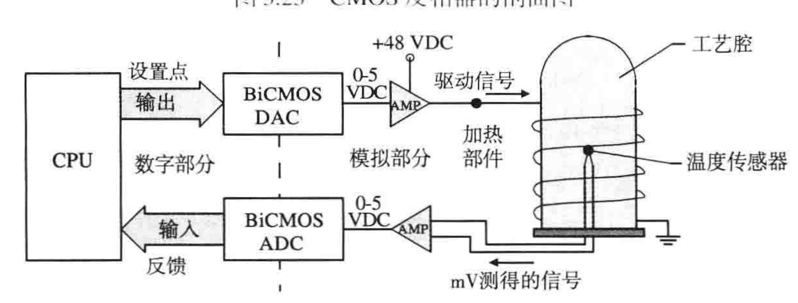


图 3.24 用在简单加热系统控制中的 BiCMOS 芯片

图3.25显示了向图3.21中提到的CMOS反相器附加双极晶体管。双极晶体管（Q3，Q4）提供了比CMOS反相器（Q1，Q2）更高的电流驱动能力。

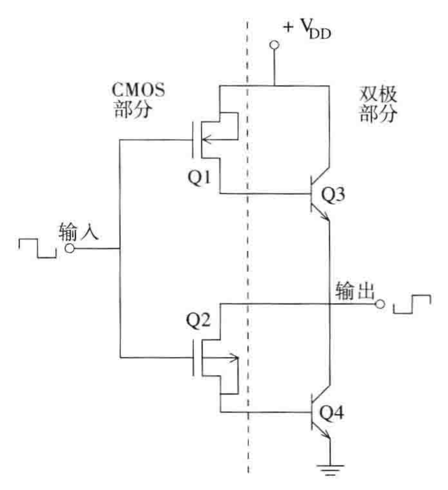


图 3.25 简单的 BiCMOS 反相器

（引自 H. Lin, J. Ho, R. lyer, and K. Kwong,“Complementary MOS-Bipolar Transistor Structure,” *IEEE Transactions Electron Devices*, ED-16, 11 Nov. 1969, p.945-951）

3.4.6 增强型和耗尽型 MOSFET

场效应晶体管的另一种分类方式可分为增强型和耗尽型。到目前为止，本章讨论的所有n沟道和p沟道晶体管都是增强型晶体管。增强型晶体管是工业中最常用的晶体管。增强型晶体管和耗尽型晶体管之间的区别如图 3.26 所示。

MOSFET 类型	模式	常态	V_{GG} 开关要求	物理结构
nMOS	增强型	关	+	栅 源 漏 n^+ n^+ p型si衬底
nMOS	耗尽型	开	–	栅 源 漏 n^+ n^+ p型si衬底
pMOS	增强型	关	–	栅 源 漏 p^+ p^+ n型si衬底
pMOS	耗尽型	开	+	栅 源 漏 p^+ p^+ n型si衬底

图 3.26 增强型与耗尽型 MOSFET 的比较

通常增强型晶体管和耗尽型晶体管的主要区别在于沟道的掺杂方式。增强型晶体管的沟道掺杂与源极和漏极的类型相反，而耗尽型晶体管的沟道掺杂与源极和漏极的类型相同。这种设置产生了增强型晶体管和耗尽型晶体管各自的开启和关闭电路条件。结果增强型晶体管被看做常闭型而耗尽型晶体管被看做常开型。

增强型晶体管很好地工作于数字逻辑应用中，只需要单极的输入信号（V_{GS}）控制场效应晶体管。但是，耗尽型晶体管被已经存在的闭合沟道部分开启。输入电压可以在一个方向变化以提高流

过沟道的电流，或者在相反方向降低流过沟道的电流。如果栅极的输入电压在反向更大地提高，耗尽型晶体管将会完全断开。两种类型的晶体管都可以以分立元件或集成电路的形式应用于模拟和数字电路中。

3.5 CMOS 器件的闩锁效应

与不想要的寄生电阻和电容存在于半导体器件中一样，有时CMOS器件中的pn结能产生寄生晶体管，它能在CMOS集成电路中产生闩锁效应以致引起晶体管无意识地开启。图3.27说明了CMOS反相器中的寄生晶体管。互补晶体管是在CMOS结构中MOSFET正常制作的结果。给定某一工作条件可能开启寄生结晶体管，并且产生一个低电阻电流路径流过CMOS结构[5]。晶体管被锁定，因而阻止了CMOS器件中对MOSFET的控制。

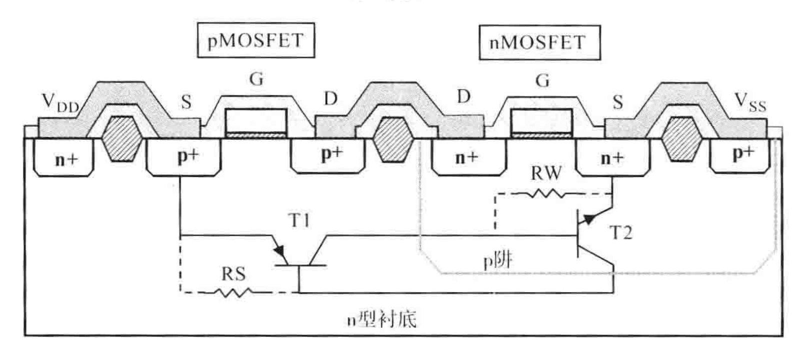


图 3.27 在 CMOS 结构中寄生的结晶体管

事实上，闩锁现象是一个非常复杂的概念。更深入的讨论已超出了本章的范围。可以说知道它的存在，将帮助你理解为阻止这种现象所采用的设计和制作步骤。后面章节讲述了用于阻止闩锁效应的几种制作技术，也就是在晶体管之间制作隔离缓冲层，如第11章描述的在衬底和CMOS结构之间设置外延层，以及第17章介绍的用离子注入产生倒掺杂阱。

3.6 集成电路产品

在遍布世界的许多电气和电子的装置中都能找到半导体产品。集成电路最著名的应用是在个人电脑（PC）中。例如一台电脑会配置微处理器（MPU）、只读存储器（ROM）、随机存储器（RAM）、通信接口芯片、视频控制芯片、磁盘驱动控制芯片等。这些芯片大部分是由CMOS工艺制作的，其次是BiCMOS和双极技术。

集成电路类型的变化取决于消费者的需要、环保、成本、能耗和其他规格。正如先前提到的，很多集成电路可以分为两大类：模拟和数字。下面几节列出了出现在消费者和工业应用中最普通的集成电路类型。

3.6.1 线性集成电路产品类型

线性集成电路类由设计成主要工作于模拟电路应用的器件构成。线性集成电路代表性的应用有音频系统、无线电通信、工业控制和使用仪器、航空航天以及汽车电子。下面是一些线性集成电路的例子。

■ **运算放大器** 运算放大器是一种高增益和高输入的阻抗放大器，适用于多种电子控制应用中。它能用做放大器、振荡器、稳压器、限压器、采样和保持放大器、电压整流器、积分器和微分器。

■ 稳压器　稳压器是一个包含二极管、晶体管、电阻和电容器的单芯片，惟一目的是调节电压传输到负载。稳压器能用于任何在某一特定负载电阻范围内需要保持持续电压的电子部件或系统。一些应用包括电脑、外围设备和各种类型的使用仪器。

■ 步进电机驱动　步进电机驱动器（SMD）是一个用于控制步进电机的双极集成电路。SMD能用于步进电机必须被精确控制的地方，例如在激光打印机、影印机、扫描仪和机器人技术以及航空宇宙、汽车电子和工业应用。

3.6.2　数字集成电路产品类型

数字集成电路类包括以二进制（1和0）数据信号工作的器件，例如用于计算器、电脑、寻呼机、便携式电话和其他类似的应用。

■ 非永久性存储器　非永久性存储器是一种允许数据根据需要储存并改变的半导体器件。当电源关闭时非永久性存储器的数据丢失。非永久性存储器器件用于电脑、计算器以及自动化、航空宇宙、医学、军事和工业设备装置——应用中的任何逻辑指令必须根据使用者的需要存储和改变的装置。所有存储器件包含无数单个存储单元。其故障率随器件密度提高而提高；因此，冗余的存储单元建立于存储芯片上。半导体熔丝制作到存储器单元中，在开始产品测试时有意熔化掉以去掉故障单元。

RAM　随机存取存储器是一种能读取存储数据或者擦除数据并用新数据重写的器件。要想改变存储在内存单元的数据不必将RAM芯片从印刷电路板上拔下。它的内容可以很容易在正常逻辑系统运行时改变。

DRAM　动态RAM是最普通和成本最低的RAM。术语“动态”是指存储电容器必须有规律地使用更新电压以保留数据。DRAM需要更高的电能运行电容器。

SRAM　静态RAM使用触发器作为存储寄存器。SRAM不需要更新，因此它比DRAM需要的电能低。数据在电源移开时同时消失。

MPU或CPU　微处理单元（也称中央处理单元）是对单独或内部的ROM发出指令程序的复杂逻辑集成电路。MPU能判定并执行数学功能。微处理器用于计算机、计算器和用具，也能用于自动化、航空宇宙、医疗、军事及工业设备——在任何需要控制功能或者计算功能的应用中。

■ 固定存储器　固定存储器是一种设计成以电子电荷的形式存储数字数据的半导体器件。电荷甚至在电源关闭时也保留在存储器中。固定存储器用于计算机、计算器和用具，也用于自动化、航空宇宙、医疗、军事和工业设备——在任何逻辑指令必须存储以备以后读取的应用中。

ROM　只读存储器集成电路是一种固定存储器，在集成电路制造过程中数据就直接编写在里面了。这里也提及掩模可编程ROM。这种在制作过程中使用的掩模装置包含了特定ROM的数据模式。ROM的生产成本非常昂贵。ROM是固定存储器的最早形式。用户可以读取已写入ROM的数据，但是不能改变它的内容。

PROM　可编程只读存储器是一种能现场编程而且比掩模可编程ROM便宜的集成电路。使用工具应用大电压脉冲以使内存单元按需要改变。在计算机正常工作时编入内存的数据不能改变。有两种现场可编程PROM类型——EPROM和EEPROM[6]。

EPROM　可擦除PROM可以将数据擦除和重写。芯片必须从电路板上取下并用紫外线照射进行擦除。然后EPROM可重新写入。EPROM比其前两代产品有所进步，然而任何存储数据的改变都需要完成PROM擦除后接着重写。

EEPROM　电信号可擦除PROM集成电路可用电信号擦除并且不需要从电路板上取下就能进行重写。EEPROM是最方便的ROM。这种器件的工作原理更像随机存储器，因为它不用任何特殊装置就能擦除和重写。EEPROM在计算机和外围设备工业上有许多有用的应用。

快闪存储器　快闪存储器是一种能擦除和重写的固定存储器——与电信号可擦除可编程只读存储器（EEPROM）类似，只是更新速度快。快闪存储器常常用于存储运行数据，例如个人电脑的基本输入/输出系统（BIOS）。快闪存储器用于计算机、数字便携式电话、数码相机、嵌入控制器和其他产品。

ASIC　专用集成电路是完全的用户定制设计和制造以满足单个用户的需要。ASIC可以包括现有的逻辑电路以及用户要求的新的设计特征。ASIC芯片也是固有存储器。所有集成电路的逻辑功能由特定的掩模决定，掩模设计在给定ASIC规则下获得惟一的结构特征。尽管ASIC器件可根据用户的需要提供合适的产品，但它们的生产成本较高。

PLD　可编程逻辑器件是利用多种逻辑元件组成的逻辑电路。实际的逻辑功能实现由用户决定，用户使用一些设计软件格式来确定编程点的状态[7]。在设计过程中，比正常电压更高的电压施加到特定的半导体熔丝。熔丝受热蒸发，留下用户编程需要的逻辑电路结构。

PAL　可编程阵列逻辑集成电路包括一个用于建立定制逻辑电路可编程逻辑门的网络。PAL有一个输入AND（与）门阵列驱动的输出OR（或）门。与门根据需要可现场编程，但输出的或门是固定的[8]。

PLA　可编程逻辑阵列与PAL的区别在于它的输入与门和输出或门都是可编程的。PLA在掩模可编程和现场可编程上都是有用的。

MPGA　掩模可编程门阵列芯片可被定制以满足单个用户的功能需要。在制造过程的初始阶段，由特殊制造方法生产的所有门阵列产品包含了相同数量和结构的晶体管电路。在制造互连层的过程中，使用明确的掩模步骤确定单个芯片内成千上万个晶体管的功能。掩模的设置是根据用户要求设计的，以确定特定门阵列应用的正确互连[9]。

FPGA　现场可编程门阵列是一种最终的逻辑产品不需要使用集成电路制造设备就能现场确定的集成电路器件[10]。FPGA内的可编程逻辑开关能被激活从而在需要的逻辑电路之间产生连接。现场定制的方便和低制造成本使FPGA有可能替代MPGA。但由于在集成电路制造过程中所有连线都是硬金属，因此MPGA器件运行速度比FPGA快。

3.7　小结

电子元件装配到模拟或者数字电路中。无源元件（例如电阻和电容）传导电流没有特定的极性要求，而且它是在硅衬底上制作的。这些元件有寄生消耗，这对集成电路性能有害。有源元件（例如晶体管和二极管）能控制电流方向。pn结二极管可以形成开路（反向偏置）或闭路（正向偏置）。双极晶体管（BJT）能偏置传导电流，也能放大输入信号。BJT的结构是基于n型或p型掺杂区的，形成每个晶体管两个pn结，作为npn或者pnp。肖特基二极管有更快的开关时间，这有助于双极集成电路技术的应用延续到21世纪。

CMOS集成电路技术比双极技术更节省功耗，是一种包含普通nMOS或pMOS的最流行的器件技术。MOSFET有三个电极，栅极、源极和漏极，连到偏压电路中形成导电模式。开启MOSFET的最小电压称为开启电压。CMOS技术的一个应用例子是反相器电路。BiCMOS技术既包括CMOS技术又有双极技术。MOSFET能在增强型（常开型）或者耗尽型（常闭型）模式下既作为模拟应用又作为数字应用。寄生晶体管效应能在pn结中产生闩锁效应，引起晶体管在没有控制时开启。CMOS有广泛的集成电路产品，包括数字和模拟产品。

关键术语

结构
模拟电路
线性电路
数字电路
逻辑器件
器件技术
无源元件
寄生电阻
平面电容器
寄生电容
有源元件
pn结二极管
载流子耗尽区
势垒电压
正向偏压
反向偏压
双极晶体管（BJT）
npn
pnp
发射极
基极
集电极
电流驱动电流放大器
阱
n沟道MOSFET
p阱
p沟道MOSFET
n阱
等比例缩小
缩小
场氧化层
玻璃
BiCMOS技术
数/模（D/A）
模/数（A/D）
增强型
耗尽型
常开型
闩锁
运算放大器
稳压器（VR）
步进电机驱动（SMD）
非永久性存储器
随机存储器（RAM）
增益
肖特基二极管
双极技术
场效应晶体管（FET）
CMOS（互补型金属氧化物半导体）
电压放大器
栅
结型场效应晶体管（JFET）
MOSFET栅氧化层
MESFET
nMOS（n沟道）
pMOS（p沟道）
多晶硅
源电极
漏电极
nMOSFET
pMOSFET
动态RAM（DRAM）
静态RAM（SRAM）
微处理器单元（MPU）
中央处理单元（CPU）
固定存储器
只读存储器（ROM）
可编程只读存储器（PROM）
现场可编程PROM
可擦除PROM
电信号可擦除PROM
快闪RAM
专用集成电路
可编程逻辑器件（PLD）
可编程阵列逻辑（PAL）
可编程逻辑阵列（PLA）

常闭型　　　　　　　　　　　　　　掩模可编程门阵列（MPGA）
寄生晶体管　　　　　　　　　　　　现场可编程门阵列（FPGA）

复习题

1. 什么是逻辑电路？举出两个应用的例子。
2. 什么是数字电路？举出两个应用的例子。
3. 什么是无源元件？举出两个无源元件的例子。
4. 列举出在一个单晶硅衬底上制作电阻器的三种方法。
5. 什么是寄生电阻？为什么它在集成电路中不受欢迎？
6. 什么是平面电容器？描述在硅衬底上制作这种元件的 4 种技术。
7. 什么是寄生电容器？它在集成电路中会产生什么问题？
8. 什么是有源元件？举出两个有源元件的例子。
9. pn 结二极管在什么时候形成？为什么它对集成电路很重要？
10. 什么是 pn 结的势垒电压？它是怎样形成的？
11. 解释 pn 结反偏时发生的情况。
12. 解释 pn 结正偏时发生的情况。
13. 双极晶体管有多少个电极、结和类型？电极的名称分别是什么？类型名称分别是什么？
14. 参见图 3.11，当 S_1 断开时发生什么情况？当 S_1 闭合时 E-B 结发生什么变化？什么时候发生导通，为什么？
15. 描述 npn 双极晶体管发射极、基极、集电极的掺杂情况。
16. BJT 是什么类型的放大器器件？它是怎样根据能量要求影响它的应用的？
17. 肖特基二极管是怎样形成的？它的最大优势是什么？
18. 双极技术有什么显著特征？双极技术的最大缺陷是什么？
19. 场效应晶体管（FET）有什么优点？
20. 什么是当前最流行的集成电路技术？
21. FET 是电压放大还是电流放大器件？
22. FET 的最大优势是什么？
23. FET 怎样开启？开启 FET 需要多大的电压，电压应加在什么电极？
24. 为什么 FET 适合 VLSI 和 ULSI 技术？
25. FET 的两种基本类型是什么？它们之间的主要区别是什么？
26. MOSFET 有哪两种类型？它们怎样区分？
27. 用于形成 MOSFET 栅极最常用的导体材料是什么？这种材料怎样制作导体？
28. MOSFET 中源极和漏极的作用是什么？
29. nMOSFET 中的多数载流子是什么？它的沟道类型是什么？
30. pMOSFET 中的多数载流子是什么？它的沟道类型是什么？
31. MOSFET 的阱是什么？解释导电模式下阱区发生的情况。
32. 如果 nMOSFET 是在开路模式，解释三个电极区发生的情况（例如，源极、漏极和栅下的沟道变化）。
33. 当图 3.17 中的 nMOSFET 晶体管的开关 S_1 关闭时，解释电极区空穴和电子发生的情况。

34. 什么是FET的开启电压？
35. pMOSFET和nMOSFET之间的性能有什么主要区别？
36. 什么是集成电路设计中的等比例缩小？
37. 什么是CMOS反相器关于能量消耗的功耗？
38. 如果CMOS反相器使用p衬底，n阱怎样产生？
39. 场氧化层的用途是什么？硅氧化物的另一个名称是什么？
40. BiCMOS使用了哪两种集成电路技术？
41. 数/模（D/A）转换器芯片能用做什么？模/数（A/D）转换器芯片能用做什么？
42. 解释增强型晶体管和耗尽型晶体管使用情况的区别。
43. 哪种类型MOSFET，耗尽型还是增强型，最普遍用于半导体产业中？
44. 什么是CMOS器件的闩锁效应？它能引起什么样的不希望的情况？
45. 描述三种阻止闩锁效应的制造技术。什么是线性集成电路？什么时候使用它？
46. 什么是运算放大器？
47. 什么是稳压器？
48. 什么是步进电机驱动？
49. 什么是非永久性存储器？
50. 描述RAM、DRAM和SRAM存储器。
51. 什么是MPU？
52. 什么是固定存储器？
53. 描述ROM、PROM、EPROM和EEPROM存储器之间的区别。什么是快闪RAM，以及它的一些用途？
54. 什么是ASIC？
55. 什么是PLD？
56. 什么是PAL和PLA？
57. 什么是MPGA和FPGA？

IC制造商网站

Actel	http://www.actel.com/
Advanced Micro Devices	http://www.amd.com/
Altera	http://www.altera.com/
Analog Devices	http://www.analog.com/
AT&T Tech. History	http://www.akpublic.research.att.com/
Burr Brown	http://www.bbrown.com/
Cirrus Logic	http://www.cirrus.com/
Cypress Semiconductor	http://www.cypress.com/
Dallas Semiconductor	http://www.dalsemi.com/
Fairchild Semiconductor	http://www.fairchildsemi.com/
Fujita Laboratory	http://www.fujita3.iis.u-tokyo.ac.jp/
Fujitsu	http://www.fujitsu.com/

General Semiconductor	http://www.gensemi.com/
Hitachi Semiconductor	http://semiconductor.hitachi.com/
IBM Microelectronics	http://www.chips.ibm.com/
Intel	http://www.intel.com/
International SEMATECH	http://www.sematech.org/public/index.htm
Intersil Corporation	http://www.intersil.com/
Lattice Semiconductor	http://www.latticesemi.com/
LSI Logic	http://www.lsilogic.com/
Micron Semiconductor	http://www.micron.com/mti/
Mitsubishi Silicon Amer	http://www.mmc-sil.com/
Motorola Semiconductor	http://mot-sps.com/
National Semiconductor	http://www.national.com/
NEC Semiconductor	http://www.nec.com/semiconductors/
Philips Semiconductor	http://www-us2.semiconductors.philips.com/
QuickLogic	http://www.quicklogic.com/
Rockwell International	http://www.rockwell.com/
Samsung Semiconductor	http://www.usa.samsungsemi.com/
SEMATECH	http://www.sematech.org/public/index.htm
ST Microelectronics	http://www.st.com/stonline/index.shtml
Texas Instruments	http://www.ti.com/
Vishay Siliconix	http://www.vishay.com/brands/siliconix/
Xicor	http://www.xicor.com/
Xilinx	http://www.xilinx.com/
Zilog	http://zilog.com/

注意：网址经常改变。

参考文献

1. S. Wolf, *Silicon Processing for the VLSI Era*, vol. 2 of *Process Integration*, IC Resistor Fabrication, (Sunset Beach, CA: Lattice Press, 1990), Appendix A.
2. R. Jacob Baker, H. Li, and D. Boyce, chap. 7 in *CMOS Circuit Design, Layout and Simulation*, (IEEE Press, 1998).
3. A. Sedra and K. Smith, *Microelectronic Circuits*, (New York: Oxford University Press, 1998), p. 138.
4. Ibid., p. 197.
5. R. Jacob Baker, H. Li, and D. Boyce, *Circuit Design*, p. 212-15.
6. S. Brown et al., *Field-Programmable Gate Arrays*, (Norwall, MA: Kluwer Academic Publishers, 1992), p. 2.
7. R. Seals and G. Whapshott, *Programmable Logic PLDs and FPGAs*, (New York: MacMillan Press Ltd., 1997), p. 1.

8. J. Carter, *Digital Designing With Programmable Logic Devices*, (Upper Saddle River, NJ: Prentice-Hall, 1997), p. 17.
9. M. Smith, *Application-Specific Integrated Circuits*, (Reading, MA: Addison-Wesley Longman, 1997), p. 4-5.
10. S. Brown et al., *Field Programmable Gate Arrays*, (Norwell, MA: Kluwer Academic Publishers, 1992), p. 1.

第4章　硅和硅片制备

硅是用来制造芯片的主要半导体材料，也是半导体产业中最重要的材料。对于可用于制造半导体器件的硅而言，使用一种特殊纯度级以满足严格的材料和物理要求。

美国典型的半导体公司都不自己制造硅片。硅材料和硅片制备是在致力于生产硅片的高度专业化工厂中完成的。生产出来的硅片提供给半导体制造商以制造各种各样的芯片。

在硅片上制作的芯片的最终质量与开始制作时所采用的硅片的质量有直接关系。如果原始硅片上有缺陷，那么最终芯片上也肯定会存在缺陷。对硅片以及其制备过程的了解有助于你理解硅片在整个微芯片制作过程中的重要性。

目标

通过本章的学习，你将能够：

1. 描述硅原材料怎样精炼成半导体级硅。
2. 解释晶体结构和单晶硅的生长方法。
3. 讨论硅晶体的主要缺陷种类。
4. 阐述并描述硅片制备的基本步骤，也就是从硅锭到硅片完成的过程。
5. 陈述并讨论对硅片供应商的7种质量标准。
6. 解释什么是外延及其对硅片的重要性。

4.1　引言

为了开发硅作为半导体的优越特性，天然硅石必须要提炼成非常纯净的硅材料。纯硅要求将硅原子级的微缺陷减到最小，这些缺陷对半导体的性能是非常有害的。一旦得到了纯硅，就要把它制作成带有想要的晶向、适量的掺杂浓度和半导体硅片制备所需物理尺寸的硅片。

4.2　半导体级硅

用来做芯片的高纯硅被称为半导体级硅（semiconductor-grade silicon），或者SGS，有时也被称做电子级硅。从天然硅中获得达到生产半导体器件所需纯度的SGS要分几步（见表4.1）[1]。有一些方法能得到SGS，但下面的方法是最主要的。

表4.1　制备半导体级硅（SGS）的过程

步骤	过程描述	反应方程式
1	用碳加热硅石来制备冶金级硅	$SiC(s)+SiO_2(s) \rightarrow Si(l)+SiO(g)+CO(g)$
2	通过化学反应将冶金级硅提纯以生成三氯硅烷	$Si(s)+3HCl(g) \rightarrow SiHCl_3(g)+H_2(g)+$ 加热
3	利用西门子方法，通过三氯硅烷和氢气反应来生产SGS	$2SiHCl_3(g)+2H_2(g) \rightarrow 2Si(s)+6HCl(g)$

得到SGS的第一步是在还原气体环境中，通过加热含碳的硅石（SiO_2），一种纯沙，来生产冶金级硅。

SiC(固体)+SiO_2(固体)→ Si(液体)+SiO(气体)+CO(气体)

在反应式右边所得到的冶金级硅的纯度有 98%。由于冶金级硅的沾污程度相当高，所以它对半导体制造没有任何用处。然后将冶金级硅压碎并通过化学反应生成含硅的三氯硅烷气体。

Si(固体)+3HCl(气体)→ $SiHCl_3$(气体)+H2(气体)+ 加热

含硅的三氯硅烷气体经过再一次化学过程并用氢气还原制备出纯度为99.9999999%的半导体级硅[2]。这个方程式为：

$2SiHCl_3$(气体)+$2H_2$(气体)→ 2Si(固体)+6HCl(气体)

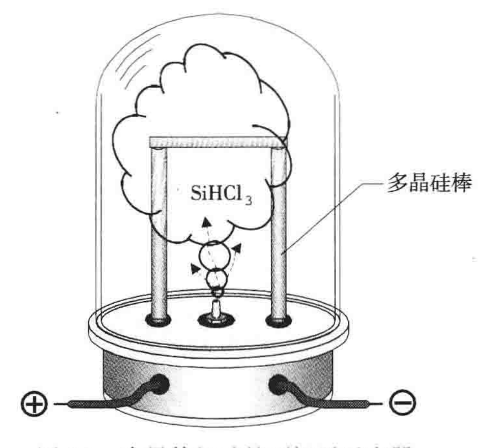
这种生产纯SGS的工艺称为西门子工艺[3]。三氯硅烷和氢气被注入到西门子反应器中（见图4.1），然后在加热的超纯硅棒上进行化学反应（硅棒的温度在 1100°C 左右）。几天后，工艺过程结束，将淀积的 SGS 棒切成用于硅晶生长的小片。

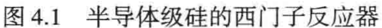
半导体级硅具有半导体制造要求的超高纯度，它包含少于百万分之（ppm）二的碳元素和少于十亿分之（ppb）一的 III、V 族元素（主要的掺杂元素）[4]。然而用西门子工艺生产的硅没有按照希望的晶体顺序排列原子。现在我们将讨论晶体结构以了解半导体级硅正确的原子排列。

4.3　晶体结构

不仅半导体级硅的超高纯度对制造半导体器件非常关键，而且它也要有近乎完美的晶体结构。只有这样才能避免对器件特性非常有害的电学和机械缺陷。

单晶就是一种固体材料，在许多的原子长程范围内原子都在三维空间中保持有序且重复的结构。图 4.2 表示了在单晶结构中原子是怎样连接在一起的，这被称做晶格。晶格代表晶体原子水平的内部重复状态（原子排序），即使晶体表面有划伤或者很粗糙。一个例子就是普通的砂滩，尽管表面很不平整，但它的内部有原子级的水晶结构。我们的目标是得到特殊晶格的硅，它是为用于制备硅片的半导体级硅而专门要求的。




图 4.1　半导体级硅的西门子反应器

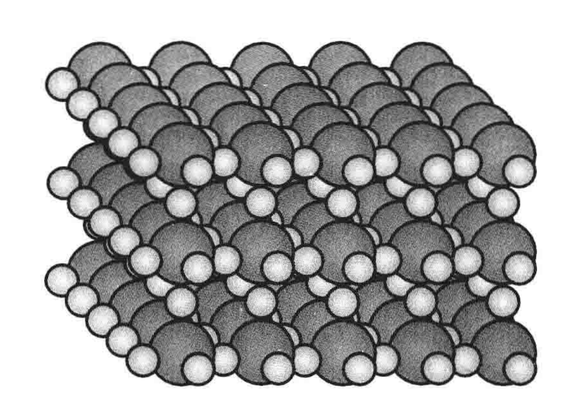


图 4.2　晶体结构的原子排列

4.3.1　非晶材料

非晶材料是指非晶固体材料，它们没有重复的结构，并且在原子级结构上体现的是杂乱的结构（见图 4.3）。非晶材料是与晶体材料相对的，塑料就是一种非晶材料。非晶硅对生产半导体器件所

需的硅片来讲是没有任何用处的，这是因为器件的许多电学和机械性质都与它的原子级结构有关。这就要求重复性的结构使得芯片与芯片之间的性能有重复性。

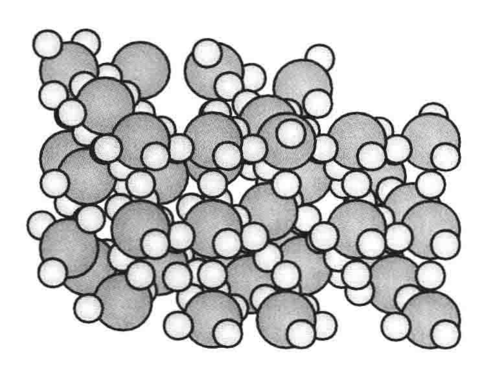


图 4.3 非晶原子结构

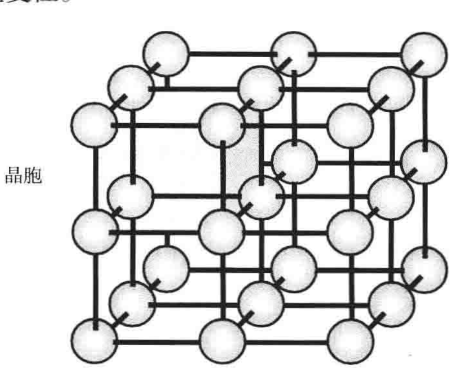


图 4.4 三维结构的晶胞

4.3.2 晶胞

在晶体材料中，对于长程有序的原子模式最基本的实体就是晶胞。晶胞在三维结构中是最简单的由原子组成的重复单元，它给出了晶体结构。为了了解硅在单晶结构中是怎样重复排列的，我们需要先学习晶胞。如果用跳棋盘或地板上的图案来描述二维结构，三维结构就可以用小孩搭的积木来形容。图 4.4 表示了由晶胞组成的三维结构。

因为晶体结构在三维方向上是等同的，晶胞有一个框架结构，像一个立方体。在自然界有7种可能存在的晶体结构[5]。与硅技术相关的晶体结构是立方结构。这里只考虑面心立方结构，这种结构是基本晶体结构的一种，因为它可应用在硅上。面心立方晶胞如图 4.5 所示。

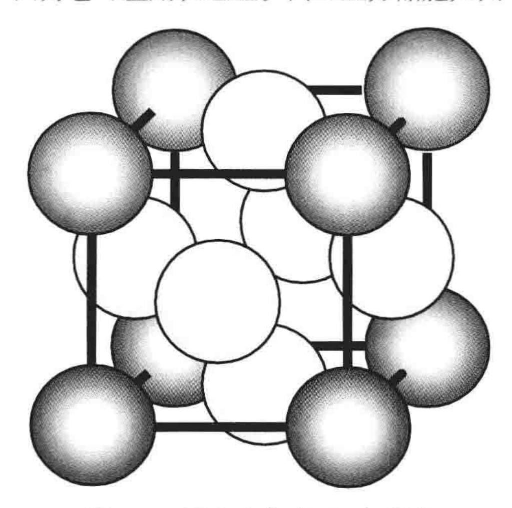


图 4.5 面心立方（FCC）晶胞

在一个晶体结构中，晶胞紧密地排列，因此存在共有原子。共有原子非常重要，因为晶胞是通过它们来组成一个紧密连接在一起的晶格结构的。在面心立方晶胞中每个角上的原子被8个晶胞所共有，每个面上的原子被 2 个晶胞所共有。因此每个面心立方晶胞包含 4 个共有原子。

对于硅晶体来说，晶胞和金刚石晶体结构的面心立方结构晶胞不同（见图4.6），除了面心立方所具有的那些共有原子之外，还包括完全位于立方结构中的4个原子。对于硅晶胞来说，总共有 8 个完整原子，其中 4 个共有原子和 4 个非共有原子。

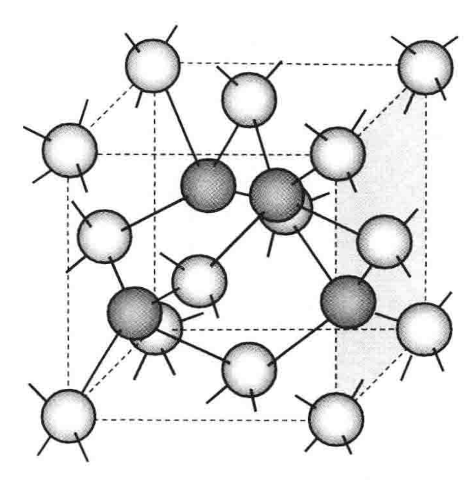


图 4.6　硅晶胞：面心立方金刚石结构

4.3.3　多晶和单晶结构

既然晶胞是用来描述晶体结构的，我们就可以看看晶胞是怎样排列的。如果晶胞不是有规律地排列，那么这种材料就叫多晶材料。如果从提纯工艺中得到的半导体级硅是多晶结构，就叫做多晶硅。多晶结构就像一堆砖一样，每块砖代表一个晶胞，但从整体来看却是多晶结构，因为这些晶胞并没有按照一定的顺序重复排列（见图 4.7）。

如果晶胞在三维方向上整齐地重复排列，那这样的结构就叫单晶（monocrystal），英文的另一种表达方式是 single crystal。还用砖打个比方，如果现在将砖一块挨一块整齐地重复排列，那么这堆砖就可以比做单晶，如图 4.7 所示。

半导体芯片加工需要纯净的单晶硅结构，这是因为晶胞重复的单晶结构能够提供制作工艺和器件特性所要求的电学和机械性质。糟糕的晶体结构和缺陷导致微缺陷的形成，并将影响硅片制备（参见下面关于晶体缺陷的章节）。

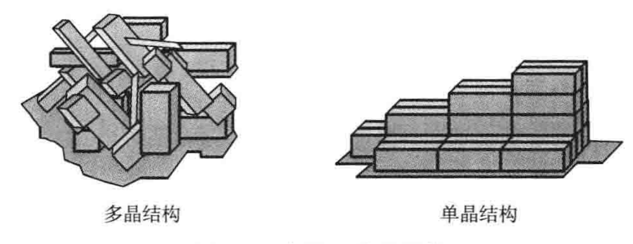


图 4.7　多晶和单晶结构

4.4　晶向

在学习单晶硅的制备过程之前，让我们先了解一下晶胞在晶体中的方向。晶向非常重要，因为它决定了在硅片中晶体结构的物理排列是怎样的。不同晶向的硅片的化学、电学和机械性质都不一样，这会影响工艺条件和最终的器件性能。

为了表述晶向，我们需要一个坐标系。在晶体中，坐标系有三个轴：x，y 和 z，如图 4.8 所示。这里把坐标的交点设为 0，将沿每个坐标轴任意等距离的单位设为 1，这些被称为单位值。如果晶体是单晶结构，那么所有的晶胞就都会沿着这个坐标轴重复地排列。

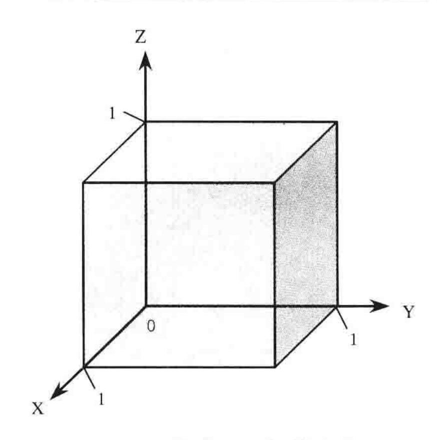


图 4.8 晶胞的坐标轴方向

硅晶体平面上的方向由一套称做密勒指数的参数所描述[6]。完整地描述用来表示晶体平面及其方向的密勒符号系统超出了本书的范围。在密勒系统的符号里，小括号（ ）用来表示特殊的平面，而尖括号< >表示对应的方向[7]。

从我们的观点来看，识别包含在括号里的每一组用来表示晶体结构中平面的密勒指数非常重要。对半导体制造来讲，硅片中用的最广的晶体平面的密勒符号是（100）、（110）和（111）。这三种晶体平面如图 4.9 所示。它们在硅晶体中通过在晶体生长过程中保持对晶向的精确控制而获得（下一节介绍）。每个密勒符号是根据平面与坐标轴的交点确定的。

（100）晶面平行于 y-z 轴并与 x 轴在单位值为 1 的点处相交。（110）面仅与 x 和 y 轴相交，（111）面则与 x 轴、y 轴和 z 轴都相交。用来制造 MOS 器件最常用的是（100）面的硅片。这是因为（100）面的表面状态更有利于控制 MOS 器件开态和关态所要求的阈值电压[8]。（111）面的原子密度更大，所以更容易生长。它们的生长成本最低，经常用于双极器件[9]。砷化镓（GaAs）技术也用到（100）晶面的硅片。

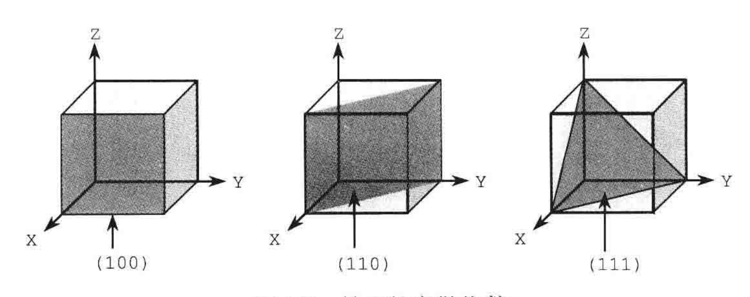


图 4.9 晶面的密勒指数

4.5 单晶硅生长

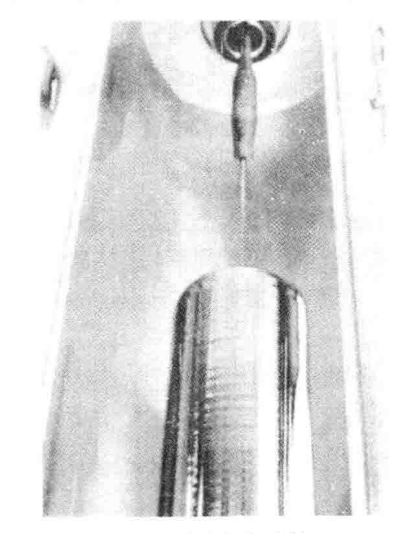
晶体生长是把半导体级硅的多晶硅块转换成一块大的单晶硅。生长后的单晶硅被称为硅锭。现在生产用于硅片制备的单晶硅锭最普遍的技术是 Czochralski（CZ）法，这是按照在 20 世纪 90 年代初期它的发明者的名字来命名的。

4.5.1 CZ 法

Czochralski（CZ）法生长单晶硅把熔化了的半导体级硅液体变为有正确晶向并且被掺杂成 n 型或 p 型的固体硅锭。85%以上的单晶硅是采用 CZ 法生长出来的[10]。

一块具有所需要晶向的单晶硅作为籽晶来生长硅锭，生长的单晶硅锭就像籽晶的复制品。为了用CZ法得到单晶硅，在熔化了的硅和单晶硅籽晶的接触面的条件要精确控制。这些条件保证薄层硅能够精确复制籽晶结构，并最后生长成一个大的硅锭。这些是通过CZ拉单晶炉的设备得到的。

■ CZ拉单晶炉　为了生长硅锭，许多块半导体级硅被放在装有熔凝的硅石（非晶石英）坩锅中，还有少量的掺杂物质使其生成n型或p型硅。坩锅很大，要制备300 mm的硅片，它的直径要达到32英寸或者更大。这些坩锅必须能装下150到300 kg的硅[11]。制备大直径硅片的另一种可选方法是在坩锅里使用粒状的多晶硅，它能在硅熔化的过程中逐步引入硅使在大坩锅中的应力减到最小[12]。坩锅被放在拉单晶炉中，硅锭就是在那里生长的（见图4.10）。



用CZ法生长的硅锭

（承蒙Kayex公司允许使用照片）

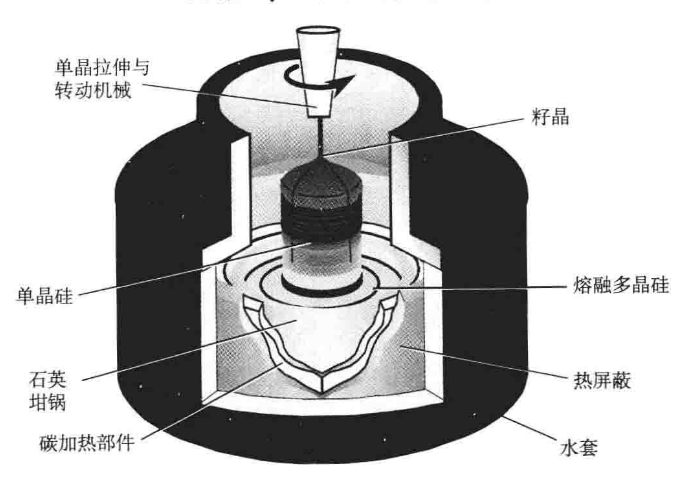
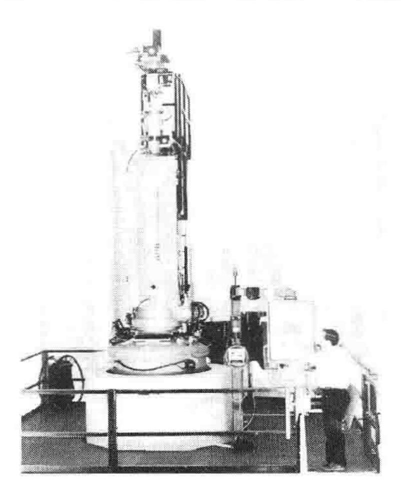


图4.10　CZ拉单晶炉

坩锅里的硅被拉单晶炉加热，使用电阻加热或射频（RF）加热线圈。电阻加热用于制备大直径的硅锭。当硅被加热时，它变成液体，叫做熔体。一个完美的籽晶硅接触到直拉装置并开始生长新的晶体结构。籽晶放在熔体表面并在旋转过程中缓慢地拉起，它的旋转方向与坩锅的旋转方向相反。



CZ拉单晶炉

（承蒙Kayex公司允许使用照片）

随着籽晶在直拉过程中离开熔体，熔体上的液体会因为表面张力而提高。籽晶上的界面散发热量并向下朝着熔体的方向凝固。随着籽晶旋转着从熔体里拉出，与籽晶有同样晶向的单晶就生长出来了。当籽晶旋转的时候，坩锅也在旋转。不同的硅锭生长结果依赖于籽晶和坩锅各自的旋转方向及速度。

直拉法的目的是实现均匀掺杂浓度的同时精确地复制籽晶结构，得到合适的硅锭直径并且限制杂质引入到硅中。影响直拉法的两个主要参数是拉伸速率和晶体旋转速率[13]。开始拉伸速率非常快，然后就越来越慢。这样在硅锭上会形成一个瓶颈，这是由于晶体的生长直径是与拉伸速率有直接关系的。

晶体生长工艺的一个目标是制备均匀的大直径晶体。这样得到的晶体特性参数（比如电阻率）会更有预测性。为用CZ工艺达到这个目标而开发的一种技术是在硅熔体周围利用磁场来稳定生长中的晶体[14]。这种方法叫做磁场CZ（MCZ）。

■ 掺杂　为了在最后得到所需电阻率的晶体，掺杂材料被加到拉单晶炉的熔体中。纯硅的电阻率大约在 $2.5 \times 10^5\ \Omega\text{-cm}$。晶体生长中最常用的掺杂杂质是产生p型硅的三价硼或者产生n型硅的五价磷。硅中的掺杂杂质浓度范围可以用字母和上标来表示，就像表4.2一样。通常掺杂杂质不直接加入到熔体中，只是由于掺杂杂质数量非常少。典型的过程是以把高掺杂杂质加入到被粉碎的硅粉中的形式进行掺杂[15]。

表 4.2　硅掺杂浓度术语

杂质	材料类型	浓度（原子数/立方厘米）			
		$<10^{14}$（极轻掺杂）	10^{14} 到 10^{16}（轻掺杂）	10^{16} 到 10^{19}（中掺杂）	$>10^{19}$（重掺杂）
五价	n	n^{--}	n^{-}	n	n^{+}
三价	p	p^{--}	p^{-}	p	p^{+}

■ 杂质控制　在晶体生长中的杂质控制非常重要，因为不受欢迎的杂质会影响器件的性能。一种有益但又必须加以控制的杂质是氧。在CZ法中氧主要来源于晶体生长中由坩锅分解出来的氧[16]。

硅锭里少量的氧是有益的，原因是氧作为吸附中心束缚在硅片制备过程中引入的金属沾污。“俘获”一词可用于描述固定或束缚杂质的任何过程。在晶体生长中产生的大多数氧在硅片表面，由

于硅片制备过程中有许多加热工艺，所以这些氧会脱离表面，使氧密度高的地方更深入硅片。这些氧作为俘获中心吸引能引起沾污的杂质离开器件所在的表面。随着器件制作工艺改善减少了沾污源，对作为俘获中心的氧的数量要求也越来越少[17]。

4.5.2　区熔法

另一种晶体生长的方法是区熔法，它所生产的单晶硅锭的含氧量非常少[18]。区熔法是 20 世纪 50 年代发展起来的，并且能生产到目前为止最纯的硅单晶。区熔法的示意图如图 4.11 所示。

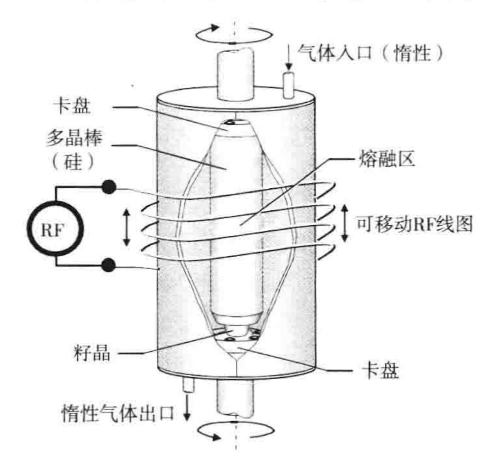


图 4.11　区熔法晶体生长

区熔法生长单晶硅锭是把掺杂好的多晶硅棒铸在一个模型里。一个籽晶固定到一端然后放进生长炉中。用射频线圈加热籽晶与硅棒的接触区域。加热多晶硅棒是区熔法最主要的部分，因为在熔融的晶棒的单晶界面再次凝固之前只有30分钟的时间[19]。晶体生长中的加热过程沿着晶棒的轴向移动。

典型的区熔法硅片直径要比直拉法小，在进入 21 世纪以前主要生产的是 125 mm 的硅片。由于不用坩锅，区熔法生长的硅纯度高且含氧量低。

4.5.3　追求更大直径硅锭的原因

硅锭直径从 20 世纪 50 年代初期的不到 25 mm 增加到现在的 300 mm，硅片直径的历史发展趋势如图 4.12 所示。

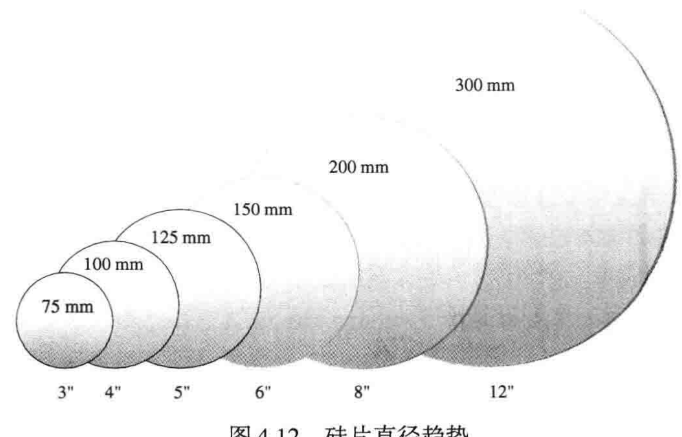


图 4.12　硅片直径趋势

生产直径为75 mm，100 mm，125 mm和150 mm的硅片的设备仍在使用。由于把设备升级成能生产更大直径的硅片需要花费上亿美元,所以最常见的做法是在建新工厂时才引入新的硅片直径。在2000年左右，半导体产业开始转向300 mm直径的硅片。还有对把硅片直径提高到400 mm的可能性的前期评估。表4.3显示了各种硅片尺寸的不同参数。

表 4.3 硅片尺寸和参数

直径 (mm)	厚度 (μm)	面积 (cm^2)	重量 (克/磅)	重量/25 硅片(磅)
150	675 ± 20	176.71	28/0.06	1.5
200	725 ± 20	314.16	53.08/0.12	3
300	775 ± 20	706.86	127.64/0.28	7
400	825 ± 20	1256.64	241.56/0.53	13

摘自 H. Huff，R. Goodall，R. Nilson 和 S. Griffiths，"Thermal Processing Issues for 300mm Silicon Wafers：Challenges and Opportunities，" *ULSI Science and Technology*（New Jersey：The Electrochemical Society，1997），p. 139

更大直径的硅锭对硅锭生长中正确的晶体生长和保持良好的工艺控制提出了挑战。300 mm的硅锭大约有1米长，并且需要在坩锅中熔化150 kg到300 kg的半导体级硅。随着制备硅锭复杂度的增加,为什么还要继续增加硅片的直径呢? 答案是由于增加硅片直径给硅片制备带来的成本利润。

更大直径硅片有着更大的表面积来做芯片。对300 mm的硅片来说，它要比200 mm硅片的面积多2.25倍（见图4.13）。这样就会在一个硅片上生产更多的芯片。

打个比方，驾驶一辆汽车从城市A到200公里外的城市B，如果是司机自己一个人，那么就有一定的花费（燃料和汽车损耗等）。然而，如果一位乘客和司机一起去，那么平均来算，成本就要低一些；如果有三位乘客和司机一起去，每个人平均下来更节省。这种效率算法叫做规模经济学。

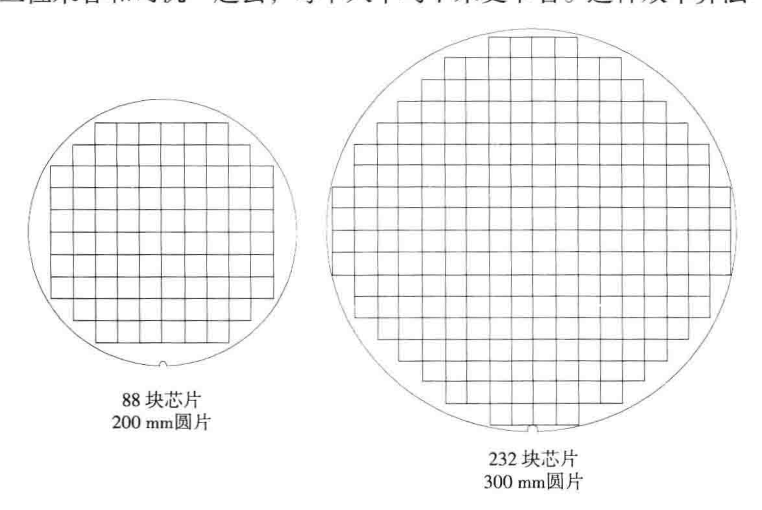


图 4.13 更大直径硅片上芯片数的增长

更大直径硅片意味着每个硅片上有更多的芯片,根据规模经济学,每块芯片的加工和处理时间都减少了，导致设备生产效率提高。据估计，通过设备利用率的提高，转换到300 mm的硅片直径可以把每块芯片的生产成本减少30%。[20]更大直径的另一个好处就是在硅片边缘的芯片少了，转化为更高的生产成品率。还有一个好处是由于在同一工艺过程中有更多的芯片,所以在一块芯片一块芯片的处理过程中，设备的重复利用率提高了。

整个半导体产业由200 mm硅片直径转变到300 mm硅片直径的花费估计是130亿到150亿美元。没有一家公司或国家具有单独进行这种转变的资源。全球300 mm硅片直径的标准已经建立起

来，23家全球范围的半导体公司已经加入到两家协会中以协调向300 mm硅片的转换。这两家协会是International 300 mm Initiative（I300I），它包括美国、欧洲、韩国，另一个是Semiconductor Leading Edge Technology，它代表了日本的10家IC公司[21]。总之，节省成本是驱使半导体产业转向更大直径硅片的主要原因。300 mm硅片具体尺寸的概要如表4.4所示。

表 4.4　300 mm 硅片尺寸和晶向要求的发展说明

参数	单位	数值	容许误差
直径	mm	300.00	±0.20
厚度（中心点）	μm	775	±25
翘曲（最大）	μm	100	
九点厚度差异（最大）	μm	10	
定位槽深度	mm	1.00	+0.25，−0.00
定位槽角度	度	90	+5，−1
背面修整		明亮腐蚀 / 抛光	
边缘轮廓表面完成		抛光	
固定质量区域FQA（硅片表面半径允许范围）	mm	147	

摘自H. Huff，R. Goodall，R. Nilson和S. Griffiths的“Thermal Processing Issues for 300 mm Silicon Wafers：Challenges and Opportunities，” *ULSI Science and Technology*（New Jersey：The Electrochemical Society，1997），p. 139

4.6　硅中的晶体缺陷

为了很好地实现先进的IC功能，半导体要求有近乎完美的晶体结构。晶体缺陷（crystal defect）就是在重复排列的晶胞结构中出现的任何中断。另一个用来描述晶体缺陷的词是微缺陷（microdefect）。在硅的生长或加工过程中不产生一个缺陷是不可能的。然而，现代工艺已经可以生产缺陷密度非常低，甚至没有缺陷的硅。

缺陷密度是晶体生长和硅片制备中经常用到的词。它是在工艺过程中，由于各种原因在每平方厘米硅片上产生的缺陷数目。减少缺陷密度是提高硅片成品率的重要方面（见图4.14）。成品率是指在一硅片的所有芯片中好芯片所占的百分比。

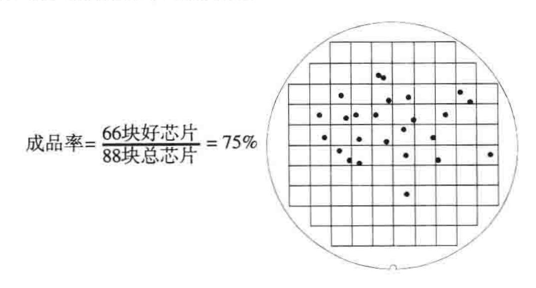


图 4.14　硅片上的成品率

研究硅晶体缺陷是非常重要的，因为它对半导体的电学特性有破坏作用。这些问题包括二氧化硅介质击穿和漏电流等。随着器件尺寸的缩小以及有源栅区面积的增加，更多的晶体管集成在一块芯片上，缺陷出现在芯片敏感区域的可能性就会增加。这样的缺陷会对先进的IC器件的成品率有负面影响。

晶体缺陷会产生于晶体生长和后面硅锭和硅片的各项工艺中。一些缺陷是因为表面损伤而造成的，例如由于机械操作造成的裂痕和表面缺陷。在硅中主要存在三种普遍的缺陷形式：

1. 点缺陷：原子层面的局部缺陷
2. 位错：错位的晶胞
3. 层错：晶体结构的缺陷

4.6.1 点缺陷

点缺陷存在于晶格的特定位置。图4.15显示了三种点缺陷。最基本的一种缺陷是空位。这种缺陷当一个原子从其格点位置移动到晶体表面时出现。另一种点缺陷是间隙原子，它存在于晶体结构的空隙中。当一个原子离开其格点位置并且产生了一个空位时，就会产生间隙原子－空位对，或叫Frenkel缺陷。

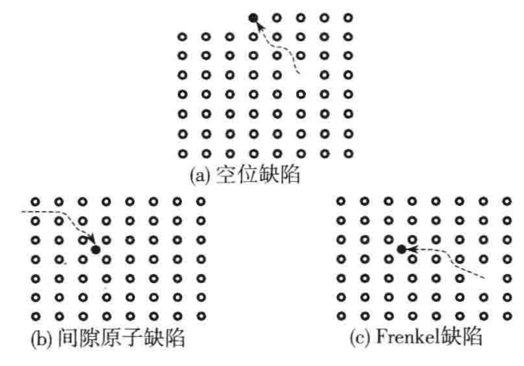


图4.15 点缺陷

（S. Ghandi 重绘，*VLSI Fabrication Principles：Silicon and Gallium Arsenide*，第2版。（New York：Wiley，1994）p. 23）

随着器件技术变得越来越复杂，半导体硅中的点缺陷也越来越重要。在晶体生长中影响点缺陷产生的因素是生长速率（晶体以多快的速率拉制）和晶体熔体界面间的温度梯度（熔体和固体晶体之间的温度差）[22]。如果晶体冷却速率得到控制，就会有效减少缺陷的产生。半导体制造中的热处理也能导致点缺陷的产生。

另一种点缺陷是由于化学元素杂质引入到格点里所产生的。在制备过程中杂质的引入可能是有目的的，也可能是无意的。它们能占用原有原子的位置，成为替位杂质，或者在间隙中成为间隙杂质。

被无意引入硅中的杂质最主要的是氧和碳，在VLSI和ULSI器件制造中控制这些杂质很重要。就像本章前面介绍的，氧是在直拉法工艺中从坩锅脱离下来进入到硅熔体中的，大多数的氧被移走了，但还有不到5%的氧留在生长的晶体中。硅中氧的存在会产生像层错这样的缺陷（见下一节）。硅晶格上氧的施主电子的存在也会影响pn结的电学参数。在硅的缺陷形成中，碳能起到晶核形成点的作用。

4.6.2 位错

在单晶中，晶胞形成重复性结构。如果晶胞错位，这种情况就叫做位错（见图4.16）。打个比方，就像整齐排列的一堆砖有一层沿一个方向发生了错位。一种位错是层积缺陷，这是由于层的排列问题所造成的。位错可以在晶体生长和硅片制备过程中的任意阶段产生。然而，发生在晶体生长之后的位错通常由作用在硅片上的机械应力所造成，例如不均匀的受冷或受热以及超过硅片承受范围的应力。

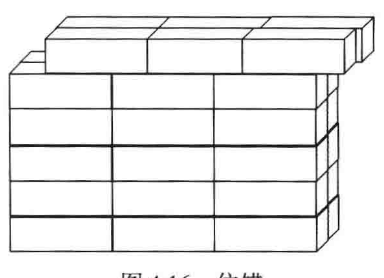


图 4.16　位错

一些情况下，位错是由器件制作过程中硅片表面的热氧化所引入的（参见第 10 章）[23]。这被称为氧化导致层积位错（OISF）。OISF 缺陷在晶格中出现在浅的、碟状的低压位置。这种缺陷能够通过 X 射线分析或表面腐蚀检测到。特殊的热处理（比如退火）或者利用俘获中心能使硅晶体结构中层积缺陷和位错的发生减到最少。

对大直径硅片来讲，晶体生长中的位错已经通过利用硅锭生长过程中的颈状收缩方法来减少 [24]。这种方法包括在刚开始拉的时候对籽晶的横截面采用颈状收缩，使位错长到表面上，然后以足够快的速度生长几厘米，使高空位密度消除边缘位错。然而，如上所述，位错还会因硅片制备过程中的其他原因而产生，比如硅片边缘脆裂或高温工艺。

4.6.3　层错

层错与晶体结构有关，经常发生在晶体生长过程中。滑移就是一种层错，它沿着一个或更多的平面发生滑移（见图 4.17）。

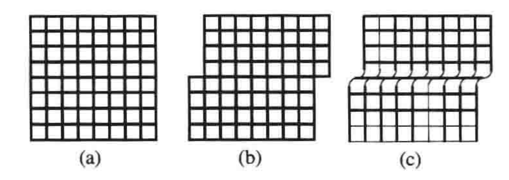


图 4.17　晶体滑移

（S. Ghandi 重绘，*VLSI Fabrication Principles：Silicon and Gallium Arsenide*，第 2 版。（New York：Wiley，1994）p. 49）

另一种层错是孪生平面，就是在一个平面上，晶体沿着两个不同的方向生长（见图 4.18）。这种孪生平面是因为在生长过程中的热影响或机械震动而产生的。在每一边生长的晶体都可能很完美。无论是滑移还是孪生平面都是半导体制造中不能接受的。

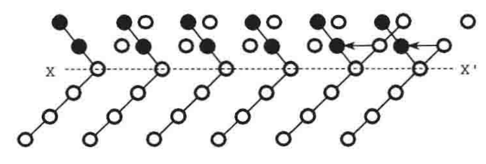


图 4.18　晶体孪生平面

（S. Ghandi 重绘，*VLSI Fabrication Principles：Silicon and Gallium Arsenide*，第 2 版。（New York：Wiley，1994）p. 55）

4.7　硅片制备

硅是硬而脆的材料，晶体生长后的硅锭对半导体制造来说用处很小。圆柱形的单晶硅锭（又叫单晶锭）要经过一系列的处理过程，最后形成硅片，才能达到半导体制造的严格要求。这些硅片制备步骤包括机械加工、化学处理、表面抛光和质量测量。硅片制备的基本流程如图 4.19 所示。

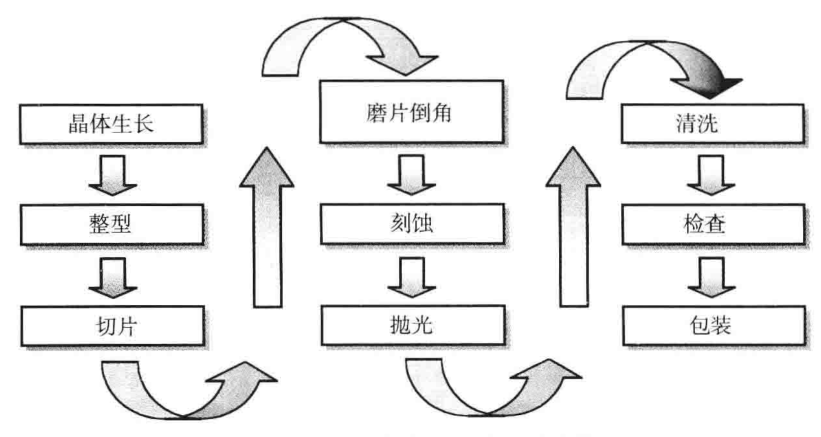


图 4.19 硅片制备的基本工艺步骤

由于芯片设计和制造要求的不断提高，硅片的制备工艺必须能提供符合更严格规范要求的硅片。这些要求包括硅片的几何尺寸（直径、平整度和翘曲度）、表面完美性（粗糙度和光的散射性）和洁净度（颗粒的源）。这些规范会带来诸如自动材料传送中的尺寸控制或者达到IC生产中关键工艺步骤所要求的表面状况等问题。

4.7.1 整型处理

硅锭在拉单晶炉中生长完成后，整型处理是接下来的第一步工艺。整型处理包括在切片之前对单晶硅锭做的所有准备步骤。

■ **去掉两端** 第一步是把硅锭的两端去掉。两端通常叫做籽晶端（籽晶所在的位置）和非籽晶端（与籽晶端相对的另一端）。当两端被去掉（切掉）后，可用四探针来检查电阻以确定整个硅锭达到合适的杂质均匀度（参见第 7 章的电阻测量方法）。

■ **径向研磨** 下一步是径向研磨来产生精确的材料直径。由于在晶体生长中直径和圆度的控制不可能很精确，所以硅锭都要长得稍大一点以进行径向研磨。对半导体制造中流水线的硅片自动传送来讲，精确的直径控制是非常关键的。图 4.20 显示了径向研磨过程。



图 4.20 硅锭径向研磨

■ **硅片定位边或定位槽** 半导体业界传统上在硅锭上做一个定位边来标明晶体结构和硅片的晶向。主定位边标明了晶体结构的晶向，如图 4.21 所示。还有一个次定位边标明硅片的晶向和导电类型。

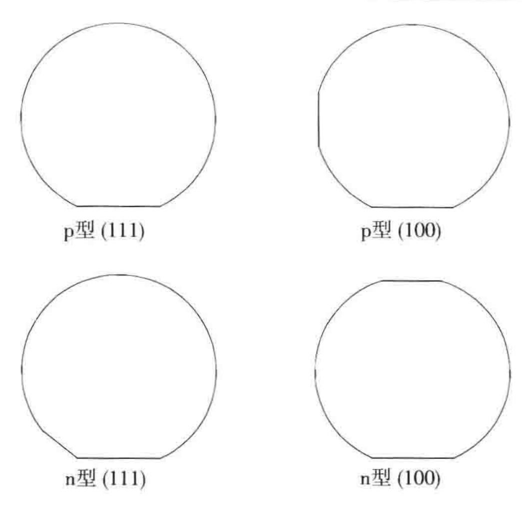


图 4.21　硅片标识定位边

在美国，硅片定位边在200 mm及以上的硅片已被定位槽所取代。具有定位槽的硅片在硅片上的一小片区域有激光刻上的关于硅片的信息。激光刻印所在的位置和深度会使人有在小激光标志周围产生沾污的担心。对300 mm硅片来讲，已经对激光刻印达成了一个标准，激光刻印于硅片背面靠近边缘的没有利用到的区域[25]。定位槽和激光刻印如图 4.22 所示。

对于 300 mm 硅片，没有利用到的区域是在固定质量区域面积之外，固定质量区域（FQA）是指硅片上容纳芯片的面积。现在没有利用的区域一般是 3 mm，但在将来某些时候有可能减少到 2 mm。

4.7.2　切片

一旦整型处理完成后，硅锭就准备进行切片。这是硅锭生长后的第一个主要步骤。对200 mm及以上硅片来讲，切片是用带有金刚石切割边缘的内圆切割机来完成的，如图4.23所示。使用内圆切割机是因为边缘切割时能更稳定，使之产生平整的切面。

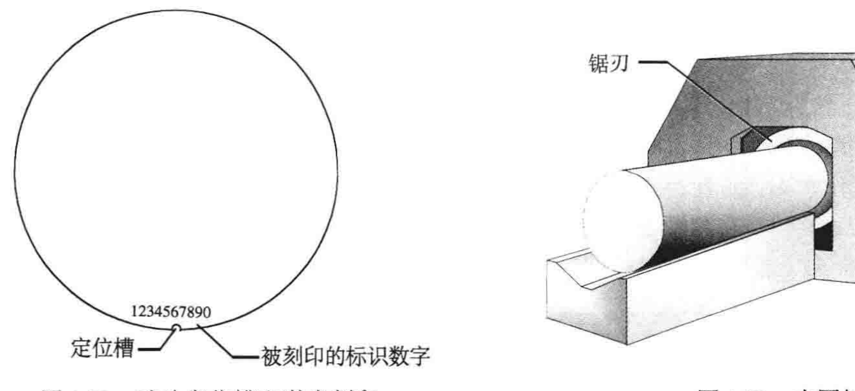


图 4.22　硅片定位槽和激光刻印　　　图 4.23　内圆切割机

对300 mm的硅片来讲，由于大直径的原因，内圆切割机不再符合要求。300 mm的硅锭目前都是用线锯来切片的[26]。对每一英寸硅晶体来说，线锯能比传统的内圆切割机产生更多的硅切片，这是因为用浆料覆盖的线来代替金刚石覆盖的锯刃[27]，有更薄的切口（锯刃的厚度）损失。线锯在切

片过程中减少了对硅片表面的机械损伤,但在切片的时候对硅片表面平整度控制方面还存在问题[28]。设备的进步正在解决300 mm及其以上硅片的切片问题，以达到精确控制硅片尺寸的目的。

硅片的厚度在切片过程中得到了精确的控制。目前300 mm硅片在厚度上的规范是775 ± 25微米。更厚的硅片能够承受在半导体制造高温工艺中的热能以及机械震动。

4.7.3 磨片和倒角

切片完成后,传统上要进行双面的机械磨片以去除切片时留下的损伤,达到硅片两面高度的平行及平坦。磨片是用垫片和带有磨料的浆料利用旋转的压力来完成的,典型的浆料包括氧化铝或硅的碳化物和甘油。在硅片制备过程的许多步骤中，平整度是关键的参数。

硅片边缘抛光修整（又叫倒角）可使硅片边缘获得平滑的半径周线（见图4.24）。抛光硅片边缘（或边缘抛光）实际发生在腐蚀工艺之后。边缘研磨，又称为边缘整形，是在腐蚀之前进行的。在硅片边缘的裂痕和小裂缝会在硅片上产生机械应力并会产生位错,尤其是在硅片制备的高温过程中。小裂缝会在生产过程中成为有害沾污物的聚集地并产生颗粒脱落。平滑的边缘半径对于将这些影响降到最小来说是重要的[29]。进一步，破裂的硅片边缘在硅片制备的热处理中会引起边缘位错生长。

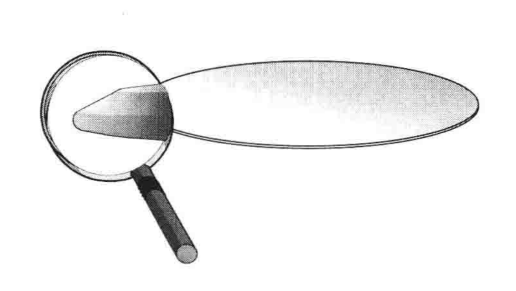


图4.24 抛光的硅片边缘

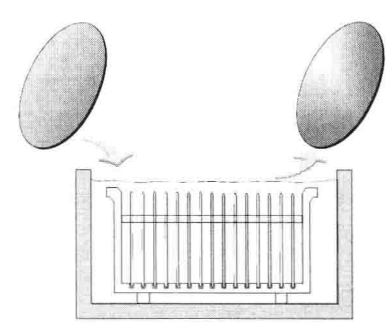


图4.25 用于去除硅片表面损伤的化学刻蚀
（M. S. Bawa, E. F. Petro, H. m. Grimes重绘，"Fracture Strength of Large Diameter Silicon Wafers," *Semiconductor International*（November 1995），p. 115）

4.7.4 刻蚀

硅片整型使硅片表面和边缘损伤及沾污。硅片损伤的深度依赖于生产厂家的特定工艺,但一般有几微米深。为了消除硅片表面的损伤，硅片供应商采用了一种叫硅片刻蚀或化学刻蚀的技术。硅片刻蚀是一个利用化学刻蚀选择性去除表面物质的过程（见图4.25）。硅片经过湿法化学刻蚀工艺消除硅片表面损伤和沾污。在刻蚀工艺中，通常要腐蚀掉硅片表面约20微米的硅以保证所有的损伤都被去掉[30]。刻蚀可以用酸性或碱性化学物质进行，这取决于在什么地方进行刻蚀。第16章将详细介绍刻蚀工艺。

4.7.5 抛光

制备硅片的最后一步是化学机械平坦化（CMP），它的目标是高平整度的光滑表面。CMP又叫抛光（第18章将讨论CMP）。对200 mm及以前的硅片来说，CMP传统上仅对上表面进行抛光，背面仍保留化学刻蚀后的表面。这就会在背面留下相对粗糙的表面，大约要比经过CMP后的表面粗糙三倍左右[31]。它的目的是提供一个粗糙表面来方便器件传送。然而，还涉及到刻蚀后表面的平整度应满足深亚微米光刻的要求的能力，加之将颗粒沾污引入硅片制备工艺的可能性。

对 300 mm 硅片来说，用 CMP 进行双面抛光（DSP）是最后一步主要的制备步骤。硅片在抛光盘之间行星式的运动轨迹在改善表面粗糙度的同时也使硅片表面平坦且两面平行(见图4.26)。由于这是硅片制备的最后一步，沿着硅片大直径的平整度能够容易得以保证。背面抛光也使在把硅片提交给硅片制造厂之前能让厂商了解其洁净度。最后硅片的两面都会像镜子一样。

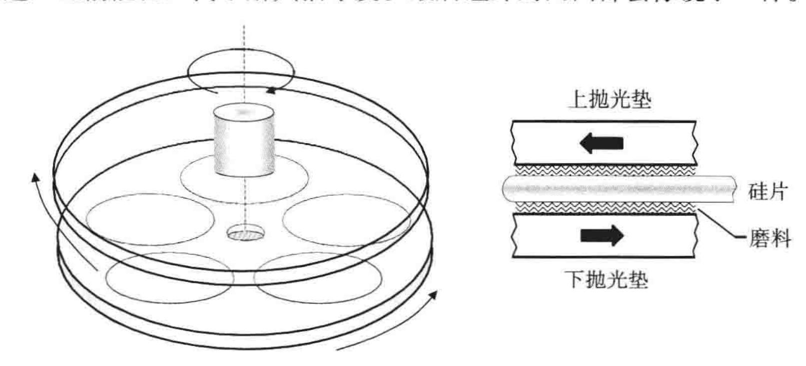


图 4.26　双面硅片抛光

4.7.6 清洗

半导体硅片必须被清洗使得在发送给芯片制造厂之前达到超净的洁净状态。清洗规范在过去几年中经历了相当大的发展，使硅片达到几乎没有颗粒和沾污的程度。不同类型的硅片沾污，恰当的清洗步骤和清洗工艺程序将在第 6 章讨论。

4.7.7 硅片评估

在包装硅片之前，会按照客户要求的规范来检查是否达到质量标准。标准的质量测量会在本章稍后部分加以讨论。最关键的标准关系到表面缺陷，例如颗粒污染和沾污。

4.7.8 包装

硅片供应商必须仔细地包装要发货给芯片制造厂的硅片。如果硅片在运输中或者被包装的材料损坏，相当大的努力就会白费。硅片叠放在有窄槽的塑料片架或“船”里以支撑硅片。碳氟化合物树脂材料（如特氟纶）常被用于盒子材料使颗粒产生减到最少。另外，特氟纶被作成导体使其不会产生静电释放。所有的设备和操作工具都必须接地以放走可能吸引颗粒的电荷积累。

一旦装满了硅片，片架就会放在充满氮气的密封小盒里以免在运输过程中氧化和其他沾污。当硅片到达硅片制造厂时，它们被转移到其他标准化片架里使其在被这些制造设备的加工过程中传送和处理。传送容器应设计为对硅片传送过程中尽量减少对其的需要。一种正在开发中的传送容器是能容纳25个硅片的容器，叫做前开口传送盒（FOSB），它与硅片制造厂里的自动传送系统有连接[32]。

4.8 质量测量

硅片供应商对硅片的要求越来越严格，这表明对硅片质量的控制得到了提高。具体的硅片参数规范及其关键尺寸相关的改善速率见表 4.5。

对硅片测量来说，硅片的均匀性是关键的。重要的硅片质量要求如下所示：

- 物理尺寸
- 平整度

- 微粗糙度
- 氧含量
- 晶体缺陷
- 颗粒
- 体电阻率

供应商必须通过检查硅锭和硅片质量来控制硅片质量，以达到质量参数要求。在不知情的情况下把有缺陷的硅片交给半导体芯片制造厂会有灾难性的结果。

表 4.5 改进的硅片要求

	年（标准尺寸）			
	1995（0.35 μm）	1998（0.25 μm）	2000（0.18 μm）	2004（0.13 μm）
硅片直径（mm）	200	200	300	300
位置平整度[A]（μm）	0.23	0.17	0.12	0.08
位置尺寸（mm × mm）	（22 × 22）	（26 × 32）	26 × 32	26 × 36
上表面粗糙度[B]（RMS）[C]（nm）	0.2	0.15	0.1	0.1
氧含量（ppm）[D]	≤ 24 ± 2	≤ 23 ± 2	≤ 23 ± 1.5	≤ 22 ± 1.5
体微缺陷[E]（缺陷数/平方厘米）	≤ 5000	≤ 1000	≤ 500	≤ 100
单元面积颗粒数（#/cm2）	0.17	0.13	0.075	0.055
外延层[F]厚度（±%均匀性）（μm）	3.0（± 5%）	2.0（± 3%）	1.4（± 2%）	1.0（± 2%）

摘自 K.-M. Kim, “Bigger and Better CZ Silicon Crystals,” *Solid State Technology*（November 1996）, p.71

注释：

A：硅片平整度是指在通过硅片或硅片上某一位置的直线上的厚度变化（见下面）

B：见下面对微粗糙度的解释

C：RMS是一种用来对一组测量做出最佳评估的方法。在这种情况下，表面完成了测量（见下面）。它用均方根来计算（所有测量数值平方的平均数的平方根）。表面修整测量是通过表面的最高点和相关最低点得到的

D：ppm是百万分之的意思

E：体微缺陷代表一平方厘米内的所有缺陷

F：见下面对外延层的描述

4.8.1 物理尺寸

为了达到芯片生产中器件制造的要求以及适合硅片制造厂自动传送设备的要求，硅片必须规定物理尺寸。在硅片的制备中，尺寸控制和检查包括许多测量，例如直径、厚度、晶向位置和尺寸、定位边（或定位槽）和硅片形变。造成硅片形变最可能的原因是切片工艺。

4.8.2 平整度

平整度是硅片最主要的参数之一，主要因为光刻工艺（参见第13章到第15章）对局部位置的平整度是非常敏感的。硅片平整度是指在通过硅片的直线上的厚度变化。它是通过硅片的上表面和一个规定参考面的距离得到的。对一个硅片来说，如果它被完全平坦地放置，参考面在理论上就是绝对平坦的背面，比如利用真空压力把它拉到一个清洁平坦的面上（见图4.27）。注意硅片的上表面是用来做器件表面的。

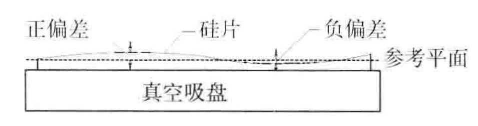


图 4.27 硅片的表面平整度

平整度可以规定为硅片上一个特定点周围的局部平整度，也可以规定为整体平整度，它是在硅片表面的固定质量面积（FQA）上整个硅片的平整度。固定质量面积不包括硅片表面周边的无用区域。测量大面积的平整度要比小面积难控制得多。点的平整度参数如表 4.5 所示。

4.8.3 微粗糙度

微粗糙度是实际表面同规定平面的小数值范围的偏差，它有许多小的距离很近的峰和谷[33]。它是硅片表面纹理的标志。表面微粗糙度测量了硅片表面最高点和最低点的高度差别，它的单位是纳米（10^{-9} 米）。粗糙度的标准是用均方根来表示的，它是规定平面所有测量数值的平方的平均值的平方根。这是一个用来确定最可能的测量数据的普通统计方法。硅片表面微粗糙度的测量是用几种光学表面形貌分析仪的一种进行的。

对芯片制造来讲，表面微粗糙度的控制非常重要，这是因为在器件制造中，它对硅片上非常薄的介质层的击穿有着负面影响[34]。硅片在磨片后要刻蚀以去除表面微粗糙度。微粗糙度的典型规范值如表 4.5 所示。

4.8.4 氧含量

控制硅锭中的氧含量水平和均匀性是非常重要的，而且随着更大的直径尺寸，难度也越来越大。少量的氧能起到俘获中心的作用，如本章前面所述，它能束缚硅中的沾污物。然而，硅锭中过量的氧会影响硅的机械和电学特性。例如，氧会导致pn结漏电流的增加，也会增大MOS器件的漏电流[35]。

硅中的氧含量是通过横断面来检测的，它能对硅晶体结构进行成分分析。一片有代表性的硅被放在环氧材料的罐里，然后研磨并抛平使其露出固体硅单晶结构。用一种化学腐蚀剂来使要识别的特定元素发亮或发暗。样品准备好后，特殊的显微镜，如透射电镜（TEM）将用来描述晶体的结构。透射电镜将会在第 7 章中讨论。目前硅片中的氧含量被控制在 24 到 33 ppm。[36] 典型规范值见表 4.5。

4.8.5 晶体缺陷

为了使本章前面讨论的各种晶体缺陷减到最少，必须对硅加以控制。像表 4.5 所表示的，目前要求每平方厘米的晶体缺陷少于 1000 个。横断面技术是一种控制晶体体内微缺陷的方法。

4.8.6 颗粒

硅片表面颗粒的数量应该加以控制，使在芯片制造中的成品率损失降到最低。减少颗粒的主要方法是在硅工艺中尽量减少颗粒的产生，并且采用有效的清洗步骤去除颗粒。典型的硅片洁净度规范是在 200 mm 的硅片表面每平方厘米少于 0.13 个颗粒（1300 个颗粒每平方米）。测量到的颗粒尺寸要大于或等于 0.08 微米。

4.8.7 体电阻率

硅锭的体电阻率依赖于在晶体生长前掺杂到硅熔体中的杂质浓度。回顾一下，最普通的杂质是产生p型硅的硼和产生n型硅的磷。将这些三族或五族杂质加入到硅中的结果是通过提高载流子迁移率来减小电阻率。

在整个体硅中得到均匀电阻率是很重要的。但在实际的晶体生长过程中，沿半径方向存在温度梯度，使硅锭中心位置达到最大值并由内到外逐渐减小。径向的温度梯度使硅锭沿半径方向的掺杂浓度不同[37]。

在硅锭两端去除掉以后，检查硅锭电阻率和均匀性。电阻率是用四探针方法来测量的。测量工具将在第7章介绍。

4.9 外延层

在某些情况下，需要硅片有非常纯的与衬底有相同晶体结构（单晶）的硅表面，还要保持对杂质类型和浓度的控制。这要通过在硅表面淀积一个外延层来达到。外延（epitaxial）是由两个希腊词组成的，epi 意思是“在上面”，taxis 意思是“排列”。

在硅外延中，硅基片作为籽晶在硅片上面生长一薄层硅。新的外延层会复制硅片的晶体结构。由于衬底硅片是单晶，外延层也是单晶。而且，外延层可以是n型也可以是p型，这并不依赖于原始硅片的掺杂类型。例如，在p型硅片上外延一层电学活性杂质浓度比衬底还要低的p型硅是可以的（见图4.28）。

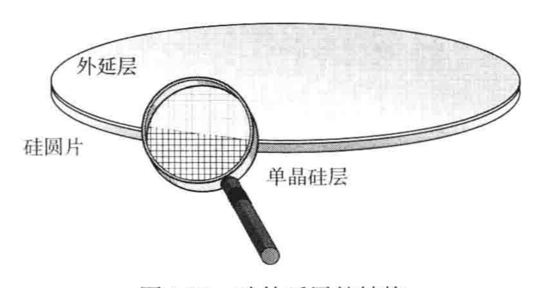


图4.28 硅外延层的结构

硅外延发展的起因是为了提高双极器件和集成电路的性能。外延可以在重掺杂的衬底上生长一层轻掺杂的外延层。这在优化pn结的击穿电压的同时降低了集电极电阻，在适中的电流强度下提高了器件速度。外延在CMOS集成电路中变得重要起来，因为随着器件尺寸不断缩小它将闩锁效应降到最低。外延层通常是没有沾污的（比如没有氧颗粒，它不是真正的CZ法生长的硅）。

外延层的厚度可以不同，用于高速数字电路的典型厚度是0.5到5微米，用于硅功率器件的典型厚度是50到100微米[38]。在硅上淀积外延层的方法将在第11章淀积的主题下讨论。

4.10 小结

自然硅用来生产超纯的半导体级多晶硅。硅是一种在原子层面上有着重复FCC金刚石晶胞结构的晶体。晶向由密勒指数确定，（100）方向是MOS器件最常用的。为了生产芯片的需要，通过使用CZ法及被称做拉单晶炉的设备来将多晶硅转变成硅片制造所需的单晶硅锭。可在CZ工艺中将掺杂材料加入到液态硅中以达到合适的掺杂水平。为了生长纯硅要严格控制有害杂质。一种替代工艺，区熔法生产的硅有非常低的氧含量。

硅锭直径这些年一直在增长,以便在一个硅片上能做更多的器件并且通过规模经济降低成本。在生长中主要需要控制的晶体缺陷是点缺陷、位错和层错。硅锭要经历许多工艺步骤才能制成合乎要求的硅片，这包括径向研磨、刻印定位槽、切片、磨片、倒角、刻蚀、抛光、清洗、检测和包装。

硅片供应商为了控制硅片质量有具体的质量测量，例如物理尺寸、平整度、微粗糙度、氧含量、晶体缺陷、颗粒和体电阻率。有时会在硅表面生长外延层来得到相同晶体结构的高纯硅层，并且能通过控制掺杂的量来精确控制电阻率。

关键术语

半导体级硅
晶体
晶格
非晶材料
晶胞
面心立方(FCC)
面心立方金刚石结构
多晶
多晶硅
单晶
密勒指数
晶体生长
硅锭
切克劳斯基 (CZ) 法
CZ拉单晶炉
熔体
磁场 CZ （MCZ）
俘获杂质
区熔法
规模经济
晶体缺陷
微缺陷
产生缺陷密度
点缺陷
空位
直接法
弗伦克尔（Frenkel）缺陷
替位杂质
位错
层积缺陷
氧化诱生层积缺陷
层错
滑移
孪生平面
单晶锭
籽晶端
非籽晶端
径向研磨
定位边
定位槽
固定质量面积(FQA)
切片
磨片
倒角
硅片刻蚀
化学机械平坦化(CMP)
双面抛光(DSP)
硅片平整度
微粗糙度
外延层
间隙

复习题

1. 列举得到半导体级硅的三个步骤。半导体级硅有多纯?
2. 为生产半导体级硅的工艺命名。
3. 什么是晶体？什么是晶格?
4. 描述非晶材料。为什么这种硅不能用于硅片?
5. 定义晶胞。硅的晶胞是哪些类型?

6. 硅晶胞中有几个完整的原子？有多少是共有的，多少是独有的？
7. 描述多晶。
8. 描述单晶。
9. 为什么要用单晶进行硅片制造？
10. 什么是密勒指数，它表示什么？
11. 画出（100）、（110）和（111）三个平面的图。
12. MOS 器件中用得最多的是哪种方向晶面？双极器件用的最多的是哪种？
13. 定义晶体生长。
14. 什么是 CZ 单晶生长法？
15. 描述 CZ 法中的硅籽晶，是怎么用它们的？
16. CZ 法中最主要的设备名称是什么？
17. 描述拉单晶炉。具体描述坩锅、籽晶、熔体、直拉工艺和硅锭生长。
18. 直拉工艺的目的是什么？影响 CZ 法直拉工艺的两个主要参数是什么？
19. 磁场 CZ 法的目的是什么？
20. 为什么掺杂材料要在 CZ 法中加入到熔体中？
21. 为什么硅锭中少量的氧是有益的？
22. 为什么要用区熔法生长硅晶体？
23. 描述区熔法。
24. 继续增大硅片直径的主要原因是什么？
25. 给出更大直径硅片的三个好处。
26. 什么是晶体缺陷？
27. 定义缺陷密度。缺陷密度与硅片成品率有着怎样的关系？
28. 硅中的三种常见晶体缺陷是什么？
29. 列举并描述三种点缺陷。
30. 哪个晶体生长参数能影响点缺陷的产生？
31. 什么是位错？解释层积缺陷。
32. 什么是氧化诱生层积缺陷？
33. 解释在大直径硅片中晶体生长位错是怎样减少的？
34. 什么是层错？解释晶体滑移和孪生平面的区别。
35. 硅锭径向研磨的目的是什么？
36. 描述或画出 4 种硅片定位边的图。在 200 mm 及以上硅片中用什么代替了定位边？
37. 在直径在 200 mm 及以上硅片中切片是怎样进行的？
38. 磨片的目的是什么？
39. 为什么要倒角？给出它有益于硅片质量的三个原因。
40. 为什么要刻蚀硅片？
41. 为什么要对硅片表面进行化学机械平坦化？
42. 怎样包装要发送给硅片制造厂的硅片？
43. 列举硅片的 7 种质量要求。
44. 什么是硅片平整度？它是怎样测量的？

45. 什么是表面微粗糙度？为什么控制它如此重要？
46. 什么是外延层？为什么在硅片上使用它？

产业网站

GT Equipment Technologies, Inc.	http://www.gtequipment.com/
International SEMATECH	http://www.sematech.org/public/index.htm
Kayex CZ Crystal Growers	http://www.kayex.com/
Mitsubishi	http://www.munc-sil.com/
NIST, National Institute of Standards and Technology	http://www.nist.gov/
Selete, Semiconductor Leading Edge Technologies, Inc.	http://www.selete.co.jp
SEMI, Semiconductor Equipment and Materials International	http://www.semi.org/
Semiconductor International Magazine	http://semiconductor.net/
Semiconductor Search Engine	http://www.semiseek.com/
SIA, Semiconduictor Industry Association	http://www.semichips.org/
SISA, Semiconductor Industry Suppliers Association	http://www.sisa.org/
Solid State Technology Magazine	http://sst.pennwellnet.com/home/home.cfm
Wafer World, Inc.	http://www.waferworld.com/

参考文献

1. C. Pearce, *Crystal Growth and Wafer Preparation*, VLSI Technology, 2nd ed., ed. S. Sze (Boston: McGraw-Hill, 1988), p. 11.
2. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), p. 102.
3. K. Bachmann, *The Materials Science of Micro-electronics* (New York: VCH Publishers, 1995), p. 102.
4. Society of Chemical Engineers of Japan, eds., *Introduction to VLSI Process Engineering* (New York: Chapman and Hall, 1993), p. 148.
5. L. Van Vlack, *Elements of Materials Science and Engineering*, 4th ed., (Reading: Addison-Wesley, 1980), p. 73.
6. S. Ghandhi, *VLSI Fabrication Principles*, p. 16.
7. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1 of *Process Technology* (Sunset Beach: Lattice Press, 1986), p. 2.
8. S. Ghandhi, *VLSI Fabrication Principles*, p. 21.
9. Ibid.
10. S. Takasu and W. Zulehner, "Silicon Crystal Growth," *Semiconductor Silicon Proceedings* 94-10 (Pennington: The Electrochemical Society, 1994): p. 55.
11. K.-M. Kim, "Bigger and Better CZ Silicon Crystals," *Solid State Techonology* (November 1996), p. 73.
12. K. Bachmann, *Materials Science of Microelectronics*, p. 248.
13. S. Sze, *VLSI Technology*, 2nd ed. (New York: McGraw-Hill, 1988), p. 26.

14. K. Bachmann, *Materials Science of Microelectronics*, p. 270.
15. S. Ghandhi, *VLSI Fabrication Principles*, p. 120.
16. K. Bachmann, *Materials Science of Microelectronics*, p. 248.
17. K.-M. Kim,"Bigger and Better CZ Silicon Crystals," p. 74.
18. Ibid., p. 74.
19. H. Wolfgang, "High Purity Silicon IV," *International Symposium*, (Pennington, NJ: The Electrochemical Society, 1996): p. 5.
20. H. Huff et al., "Thermal Processing Issues for 300 mm Silicon Wafers: Challenges and Opportunities," *ULSI Science and Technology: Proceedings of the Electro-chemical Society*, 97-3: p. 136.
21. Ibid., p. 136.
22. K.-M. Kim, "Bigger and Better CZ Silicon Crystals," p. 74.
23. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, (Boston: Kluwer Academic Publishers, 1995), p. 68.
24. A. Takao, "Innovative Silicon Crystal Growth and Wafering Techonologies," *ULSI Science and Technology: Proceedings of the Electrochemical Society*, 97-3: p. 123.
25. S. Brunkhorst and D. Sloat, "The Impact of the 300-mm Transition on Silicon Wafer Suppliers," *Solid State Technology* (January 1998): p. 90.
26. Ibid.
27. G. Fisher, "Challenge for 300mm Polished Wafer Manufacturers," *Semiconductor International* (September 1998): p. 98.
28. A. Takao, *Innovative Silicon Crystal Growth*, p. 124.
29. H. Huff, et al., "Thermal Processing Issues," p. 140.
30. S. Sze, *VLSI Technology*, p. 40.
31. S. Brunkhorst and D. Sloat, "Impact of the 300-mm Transition," p. 88.
32. G. Fisher, "Challenges," p. 102.
33. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., (New York: McGraw-Hill, 1997), p. 214.
34. W. Bullis, "Microroughness of Silicon Wafers," *Proceedings of Semiconductor Silicon* 94-10 (Pennington, NJ: The Electrochemical Society, 1994): p. 1156.
35. J. Vanhellemont et al., "On the Electrical Activity of Oxygen-Related Extended Defects in Silicon," *Semiconductor Silicon Proceedings* 94-10 (Pennington, NJ) The Electrochemical Society, 1994): p. 670.
36. K.-M. Kim, "Bigger and Better CZ Silicon Crystals," p. 73.
37. S. Ghandhi, *VLSI Fabrication*, p. 258.
38. S. Ghandhi, *VLSI Fabrication*, p. 258.

第 5 章　半导体制造中的化学品

半导体制造在很大程度上是一种与化学有关的工艺过程。化学品生产商从自然界中获得未加工的化学原料，然后对这些原料中的化学成分进行提纯以获得超高纯度的化学品，最后把它们送到半导体制造厂，在那里这些化学品将被用在硅圆片的表面。化学反应使硅转变成半导体器件，然后生成许多互连层。这些化学反应是半导体器件制造和微芯片性能的基础。

半导体工业在引入基础的新材料和新工艺到硅圆片制造中正经历着快速的变革。目的就是为了获得改善的微芯片性能和生产率。举例来说，新技术包括具有很低介电常数的绝缘体（参见第 11 章）和铜金属化互连技术（参见第 12 章）。芯片设计和工艺的进步导致了对更新更好化学品需求的持续增长。

目标

通过本章的学习，你将能够：

1. 鉴别并讨论物质的 4 种形态。
2. 描述半导体制造有关的重要化学性质。
3. 叙述在硅圆片厂不同的工艺化学品是怎样分类和使用的。
4. 解释如何在芯片制造中使用酸、碱和溶剂。
5. 描述一种气体是通用气体还是特种气体并解释每种气体在硅圆片制造中是怎样运送和使用的。

5.1　引言

半导体制造业使用大量的化学品来制造硅圆片。另外化学品也被用于清洗硅圆片和处理在制造工艺中使用的工具。在硅圆片制造中使用的化学材料被称为工艺用化学品，它们有不同种类的化学形态并且要严格控制纯度。为了理解工艺化学品，我们先来复习一下基础化学里面的一些概念。

5.2　物质形态

宇宙中的所有物质都存在三种基本形态：固态、液态或气态。另外还有第四种形态，等离子体，它不像前面三种形态一样被人普遍了解。我们通过把物质装在容器中来演示每一种物质形态（见图 5.1）。

固体有其自己固定的形状，不会随着容器的形状而改变。液体随着容器的形状而改变自己的形状。液体会填充容器的相当于液体体积大小的区域，并会形成表面。气体也随着容器的形状而改变自己的形状，但是气体会充满整个容器，但不会形成表面。气体微粒较小且能够自由移动。一些气体，像氢气和氧气，是活性气体，很容易与其他气体或元素反应形成稳定的化合物。而另外一些气体，像氮气和氩气，是惰性气体。惰性气体（也叫不活泼气体）很难形成化合物。由于惰性气体不与其他化学材料反应，所以被广泛用于半导体制造业中。

第四种物质形态是等离子体。当有高能电离的分子或原子的聚集体存在时就会出现等离子体。这种形态与前三种物质形态有相当大的不同。举例来说，恒星、荧光灯和霓虹灯都是等离子体。将一定的气体曝露在高能电场中，就能诱发等离子态。我们在随后的章节中将会看到等离子体被广泛用于半导体制造业中。

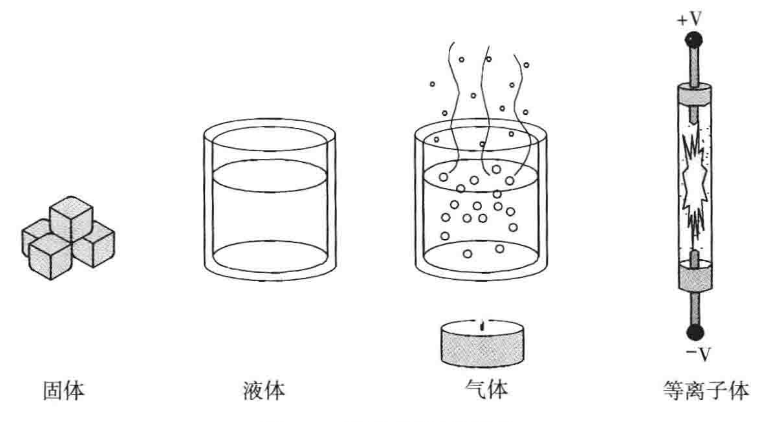


图 5.1 物质的物理形态

许多物质都能够以三种基本物理形态中的任意一种存在。举例来说，水随着周围温度和压力的改变而改变它的物质形态。随着温度上升，固态水（冰）融化成液态水，然后蒸发成气体状态（水蒸气）。许多物质都是以这种方式发生物质形态变化的。

5.3 材料的属性

我们能够通过研究材料的属性了解如何在半导体制造业中使用它们。属性是材料描述其惟一身份的特性。举例来说，固体材料在室温下（25°C，77°F）有不同的属性：刚性固体（铁）、软性固体（蜡）和弹性固体（铅）。鉴定用于半导体制造业中的材料属性对于如何适当在硅圆片上制造芯片非常重要。

材料属性有两类：化学属性和物理属性。材料的物理属性是指那些通过物质本身而不需要与其他物质相互作用反映出来的性质。物理属性有：熔点、沸点、电阻率和密度等。材料的化学属性是指那些通过与其他物质相互作用或相互转变而反映出来的性质。化学属性有：可燃性、反应性和腐蚀性。当一种物质转变成其他有不同成分和属性的另外一种物质时，就会发生化学反应。开始反应的物质被称为反应物，反应生成的物质则叫生成物。

典型的化学反应的例子是氢气在氧气中燃烧。这两种化学材料在自然状态下都是气体。当氢气的温度超过600°C时，氢气将会与氧气发生化学反应。结果是在爆炸性的热反应后有副产物水蒸气生成。化学反应式如下：

$$2H_2\text{（气体）}+O_2\text{（气体）}\xrightarrow{\text{（加热）}}2H_2O\text{（液体）}+\text{能量}$$

5.3.1 半导体制造中的化学属性

制造硅集成电路芯片时要使用许多不同种类的化学品和化学材料。先进的IC制造商使用新型材料来改善芯片的性能和减小器件特征尺寸。化学品的一些属性对于理解新的半导体工艺材料的存在有很重要的意义，这些属性有：

- 温度
- 密度
- 压强和真空
- 表面张力
- 冷凝
- 热膨胀
- 蒸气压
- 应力
- 升华和凝华

■ **温度**　温度是比较一个物质相对于另外一个物质是热还是冷的量度标准，因此它也是物质的分子或原子平均动能或热能的量度标准。不同温度的物体之间传递的能量叫热。硅圆片制造中大量需要处理在高温下的情况，比如需要加热来影响化学反应（如改变化学反应速率）或者对硅单晶结构退火使原子重新排列。

存在着三种温标：华氏温标（°F）、摄氏温标（°C）和绝对温标或开氏温标（K）。图 5.2 显示这三种温标之间的关系。

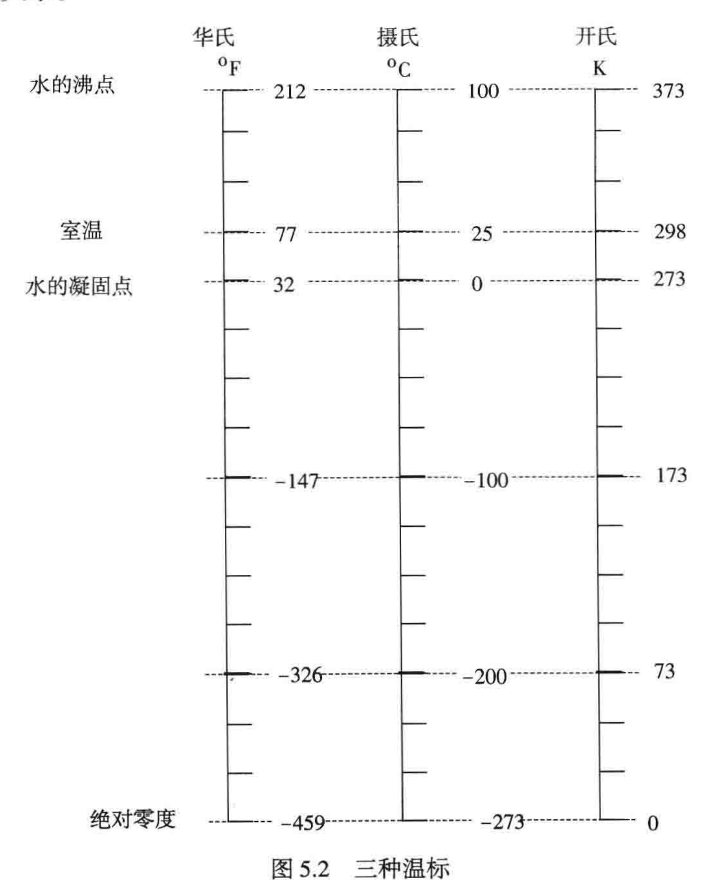


图 5.2　三种温标

在科学研究中最常用的温标是摄氏温标。这种温标是基于水的物理状态的改变：把在海平面处标准大气压下，水结冰时的温度设为 0°C，而水沸腾时的温度设为 100°C。华氏温度和摄氏温度之间的转换公式为：

$°F = 9/5°C+32$

$°C=5/9[°F-32]$

绝对温标或开氏温标是国际单位制中温度的基本单位。0 K（绝对零度）相当于 –273°C（更精确的是 –273.15°C），是能够获得的最低温度。理论上在绝对零度下，所有原子将停止运动。开氏温度和摄氏温度之间的转换公式为：

$K =°C+273$

$°C =K-273$

■ **气体的压强和真空** 气体充满容器的整个体积并且施加相同的压强于容器的器壁上。压强（P）为施加在表面单位面积上的压力：

压强 = 压力 / 面积（磅 / 平方英寸，或 psi）

任何气体的压强依赖于气体分子的数量、温度和容器的体积。如果单位时间内有更多的气体分子撞击容器的器壁，那么压强将会增加（见图 5.3），气球爆炸就是这个原因。

在美国压强的通用单位是磅 / 平方英寸（其中 1 磅 =453.6 克，1 平方英寸 = 6.45 平方厘米），具体分为 psia（绝对压强，包括 14.7 psi 的大气压）或者 psig（标准压强）。图 5.4 显示了这两个单位之间的差别，表 5.1 中列出了在标准大气压和温度（海平面和 23°C）下不同的压强单位。

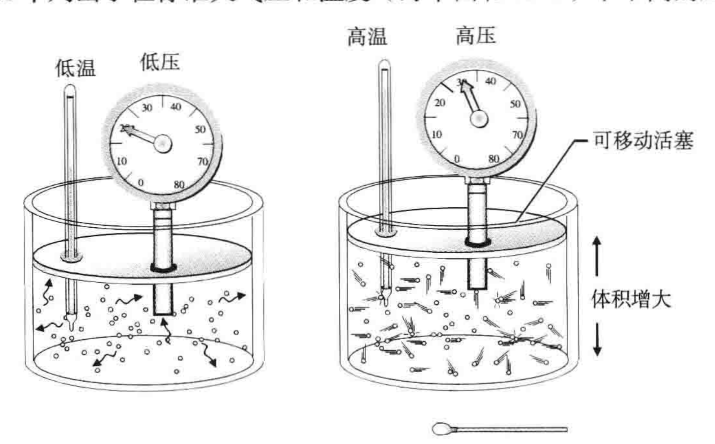


图 5.3 容器器壁承受的压强

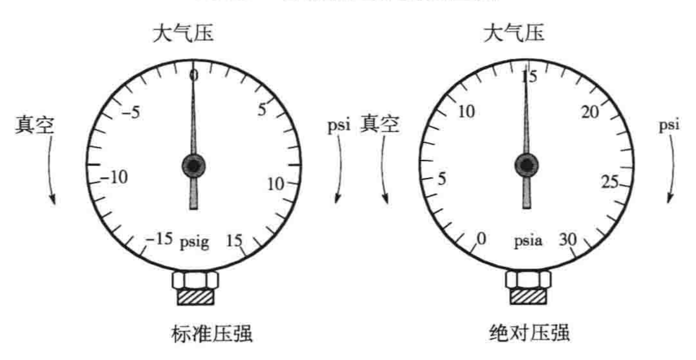


图 5.4 标准压强和绝对压强

表 5.1　在海平面和 23℃ 下不同的压强单位

压强单位	海平面和 23℃
标准压强（psig）	0 psi
绝对压强（psia）	14.7 psi
大气压	14.7 psi
水银柱（英寸）	29.92 英寸
水银柱（毫米）	760 毫米
托（torr）	760 托
毫托（mtorr）	760 000 毫托
巴（bar）	1.013 巴
毫巴（mbar）	1013 毫巴
帕斯卡（pascal）	101 325 帕斯卡

压强是在半导体制造中被广泛使用的属性。化学品和气体都是从高压向低压区域流动的。一些制造工艺在大气压下进行，一些需要很高的压强而另外一些需要在低于大气压的环境（真空）。

真空　如果容器内的气体压强小于 14.7 psi，则存在真空。真空通过抽出密闭容器中的气体分子（例如：空气、水汽和气体杂质）来获得低于大气压的压强。许多半导体制造的操作过程都需要真空环境。真空最通用的计量单位是托。1 托等于气压计中 1 毫米汞柱（见图 5.5）。

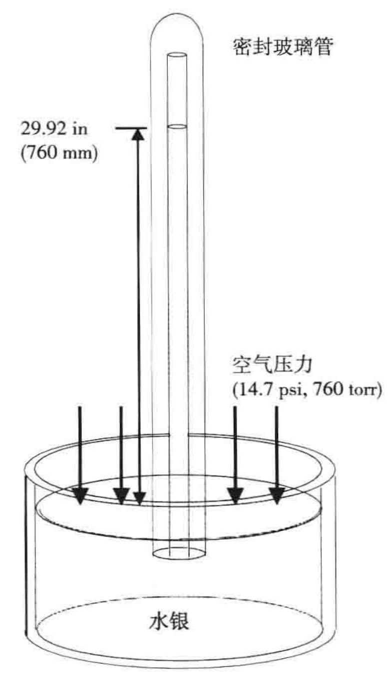


图 5.5　水银柱气压计

在一个大气压的情况下，空气重量将迫使碗里的水银流进真空管中，使真空管中水银柱升高到 760 mm（760 torr 或 29.92 英寸）。水银柱的高度与施加在碗里水银上的压强成正比。压力越小，水银柱高度越低。为了适应许多半导体工艺中测量和控制真空度的灵敏度的要求，经常要采用毫托作为压强的单位。

■ 冷凝和汽化　气体变成液体的过程被称做冷凝，当水蒸气温度降低时，出现了由微粒组成的薄雾，形成微小的液滴，然后聚集成有单独表面的颗粒。从液体变成气体的相反过程叫汽化。

液体和气体与材料相互作用的途径多种多样。吸收是气体或液体进入其他材料的主要方式，像气体会溶解在液体中。吸附是气体或液体被束缚在固体表面，被吸附的分子通过化学束缚或者物理吸引这样的弱束缚粘在物体表面。

■ 蒸气压　蒸气压是在密闭容器中气体分子施加的压力，这时汽化和冷凝的速率处于动态平衡。图 5.6 为蒸气压的图解。

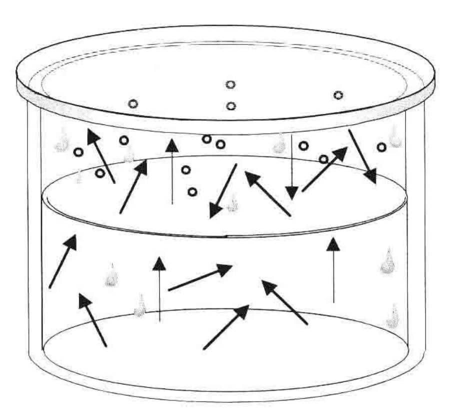


图 5.6　蒸气压

高蒸气压材料是易挥发的（容易变成气体）。当高蒸气压材料被曝露在真空条件下的时候很容易挥发成气体，比如：溶剂、香水和洗液。这些材料发出特有的很容易被人的鼻子闻到的气味。

■ 升华和凝华　固体通过升华过程能够直接变成气体。你有没有曾经把一块冰放在冷冻室里呢？六个月之后，你会发现冰块变小了，这是冰块升华变成气体的缘故。其他升华的例子还有干冰（见图 5.7）和樟脑丸。

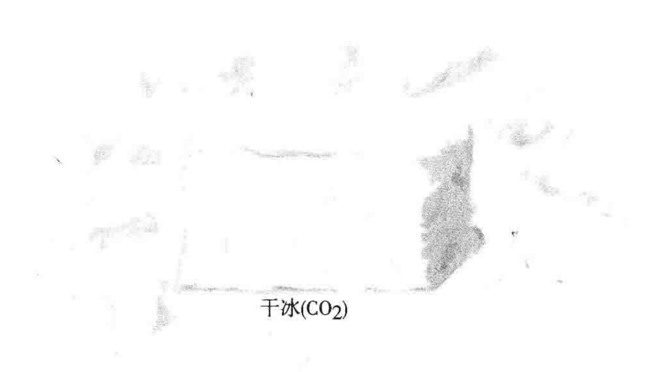


图 5.7　升华

与升华相反的过程叫凝华，就是气体直接变成固体的过程（见图5.8）。在寒冷的玻璃上形成冰的过程就是水蒸气凝华的过程。在随后的一章中我们将看到在半导体制造中凝华是一个非常有用的过程。

■ 密度　物质的密度被定义为它的质量（或重量）除以它的体积：

$$密度 = 质量 / 体积（g/cm^3）$$

一般认为物体越紧密就越重。如果两个物体有相同的体积，越重的那个物体密度越大（见图5.9）。我们都知道相同体积的海绵密度要比钢小，这是因为海绵比钢轻。

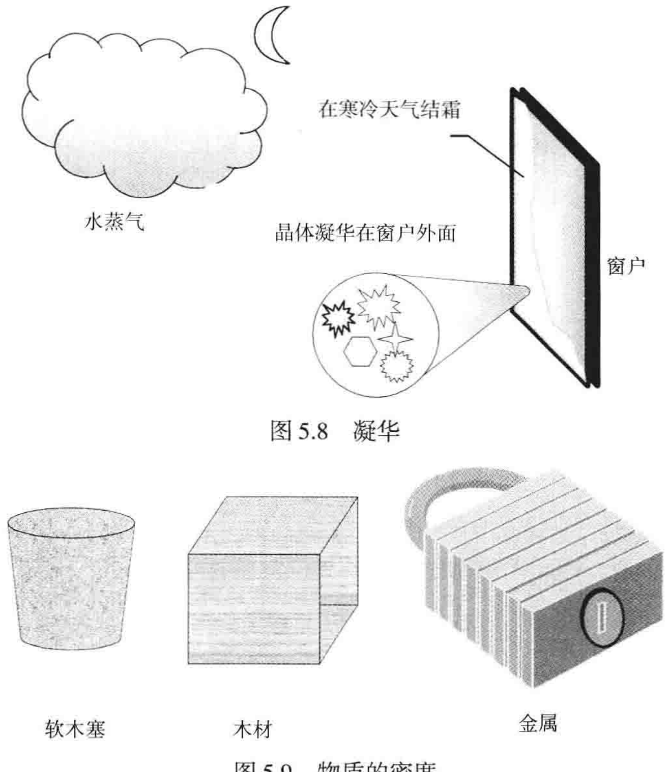


图 5.8　凝华

软木塞　木材　金属

图 5.9　物质的密度

表 5.2 列出了在标准温度和大气压下不同材料的密度[1]。水的密度是 1 g/cm³，因此被用来做参照，其他材料的密度常用它的密度与水密度的比值来表示。举例来说，硅的密度是2.3，也就是1立方厘米的硅重 2.3 克。

表 5.2　在标准温度和大气压下一些常用材料的密度

物质	物理状态	密度（g/cm³）
氢气	气态	0.000 089
氧气	气态	0.001 4
水	液态	1.0
精制食盐	固态	2.16
硅	固态	2.33
铝	固态	2.70
金	固态	19.3

比重是与密度相关联的概念。比重（SG）是指在 4°C 时的液体和气体的密度，它是物质的密度与水的密度相比的比值。

■ **表面张力**　当一滴液体在一个平面上，液滴存在着一个接触表面积（见图 5.10）。液滴的表面张力是增加接触表面积所需的能量。随着表面积的增加，液体分子必须打破分子间的引力，从液体内部运动到液体的表面，因此需要能量。表面张力的概念用在半导体制造中来衡量液体均匀涂在硅圆片表面的粘附能力。

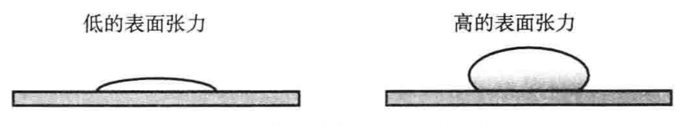


图 5.10　液体在硅片上的表面张力

■ 热膨胀 当一个物体被加热时，由于原子的振动加剧，它的体积就会发生膨胀。随着物体的热膨胀，它的尺寸也相应变大（见图 5.11）。相反当物体被冷却时，它的尺寸会变小。

比起一般的材料，有些材料随着温度升高膨胀要更厉害。衡量材料热膨胀大小的参数是热膨胀系数（或 CTE）。非晶材料的热膨胀是各向同性的，而所有晶体材料，比如单晶硅，热膨胀是各向异性的。

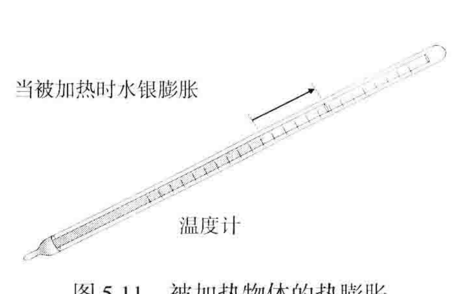


图 5.11 被加热物体的热膨胀

■ 应力 当一个物体受到外力的作用时，就会产生应力。应力的大小取决于两个因素：外力的大小和外力作用的面积。国际单位制中应力的单位是磅每平方英寸（psi 或 Pa），应力的公式为：

$$应力 = 外力 / 面积（psi）$$

在硅圆片中有多种原因可以导致应力的产生。硅片表面的物理损伤；位错、多余的空隙和杂质产生的内力；外界材料生长都可以产生应力[2]。如果两个热膨胀系数（CTE）相差很大的物体结合在一起，然后加热，由于两种材料以不同的速率膨胀导致它们彼此推拉，因而产生应力。由于 CTE 不匹配产生的应力会使硅片弯曲。在半导体制造工艺中由于微芯片采用多层不同的 CTE 材料的平面工艺，所以非常关心这种应力。淀积膜通常会产生两种应力：拉伸应力和压缩应力，应力的性质取决于工艺条件（见图 5.12）。确保材料有最小的应力可以改善芯片的可靠性。

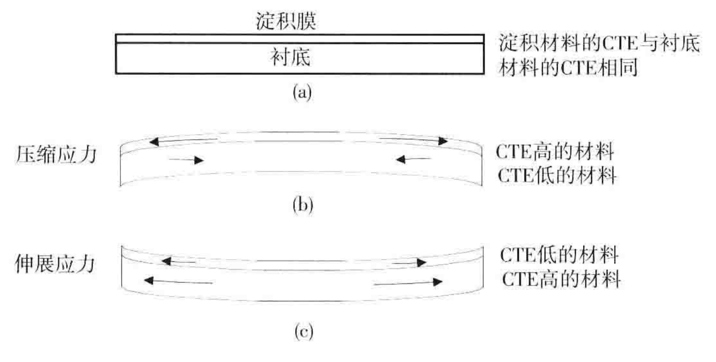


图 5.12 两种材料的 CTE 失配现象

5.4 工艺用化学品

半导体制造业是与化学密切相关的工艺过程，其中使用了多种超高纯度的工艺用化学品。工艺用化学品通常有三种状态：液态、固态和气态。化学品在半导体制造业中的主要用途有：

- 用湿法化学溶液和超纯净的水清洗或准备硅片表面。
- 用高能离子对硅片进行掺杂得到 p 型和 n 型硅材料。
- 淀积不同的金属导体层以及导体层之间必要的介质层。
- 生长薄的二氧化硅层作为 MOS 器件主要的栅极介质材料。

● 用等离子体增强刻蚀或湿法试剂有选择地去除材料并在薄膜上形成所需要的图形。

虽然在硅片加工厂里使用了大量的化学品，然而一些主要的化学品在不同的工艺步骤中会被重复使用。例如清洗是半导体制造过程中使用最多的工艺步骤之一。据估计，在半导体制造的全部工艺步骤中有 30%是为了清洗硅片或做硅片表面准备[3]。

5.4.1 液体

液体可以是纯物质如纯水，也可以是混合物。汽油就是由碳氢化合物和有助于燃烧的添加剂混合而成的。

如果混合物各个成分的分子或原子分布是均匀一致的，我们称它为溶液，汽油就是一种溶液。家用急救消毒的过氧化氢是由绝大部分的水和5%的过氧化氢混合而成的，也是一种溶液。在溶液中占绝大部分的成分（例如过氧化氢溶液中的水）叫溶剂，溶解在溶剂中的物质叫溶质。溶解在水中形成的溶液称为水溶液，意味着水是溶剂。

在半导体制造的湿法工艺步骤里使用了许多种液体。硅片加工厂使用的所有液体都要求有极高的纯度，没有任何微粒、金属离子或不想要的化学物质的沾污。化学沾污是一个相对的概念。频繁用于描述杂质微小浓度的单位是体积或重量的百万分之几（ppm），例如空气中杂质含量的浓度大约是ppm这一量级。为了计算杂质体积的ppm，可以先假设在一定体积空气中杂质的含量，然后用它除以空气的质量，再乘上100万。在硅片加工厂一些特定的化学品其杂质含量有着更为苛刻的要求，通常要求低于十亿分之一（ppb）或万亿分之一（ppt）[4]。然而在硅片加工厂工艺用化学品中杂质的数量通常被测量仪器的精度所限制。

在硅片加工厂减少使用液体化学品将是长期的努力。许多在半导体制造过程中使用的液体化学品都非常危险，需要特殊的处理和销毁手段。另外，化学品的残余不仅会沾污硅片，还会产生蒸气通过空气扩散然后沉淀在硅片表面。虽然并不可能在硅片加工厂中彻底消除使用液态化学品，但是可以通过减少清洗工艺步骤的数量来大幅度减少使用液态化学品[5]。

在硅片加工厂液态工艺用化学品主要有以下几大类：

● 酸
● 碱
● 溶剂

■ **酸**　在常规的定义中，酸是一种包含氢并且氢在水中裂解（意思是化学键断裂）形成水合氢离子H_3O^+的溶液。既然酸中包含氢，那么在它的化学式里就包含H元素，例如磷酸（H_3PO_4）或盐酸（HCl）。

下面用盐酸的化学反应方程式来说明酸是如何在水中发生分解的：

$$HCl（气体）+H_2O（液体）\rightarrow Cl^-（水溶液）+ H_3O^+（水溶液）$$

我们看到当HCl溶解在水中后，它和水发生反应生成水合氢离子H_3O^+，因此按照定义HCl是一种酸。

在半导体制造过程中使用了多种酸。表5.3列出了一些常用的酸及其在硅片加工中的特定用途。

表 5.3　半导体制造过程中常用的酸

酸	符号	用途
氢氟酸	HF	刻蚀二氧化硅（SiO_2）以及清洗石英器皿
盐酸	HCl	湿法清洗化学品，2号标准清洗液的一部分，用来去除硅中的重金属元素

（续表）

酸	符号	用途
硫酸	H_2SO_4	“piranha”溶液（7份H_2SO_4和3份30%的双氧水）用来清洗硅片
缓冲氧化层刻蚀（BOE）：氢氟酸和氟化铵溶液	HF和NH_4F	刻蚀二氧化硅薄膜（SiO_2）
磷酸	H_3PO_4	刻蚀氮化硅（Si_3N_4）
硝酸	HNO_3	用HF和HNO_3的混合溶液来刻蚀磷硅酸盐玻璃（PSG）

* 第6章将介绍硅片清洗，第16章解释刻蚀

酸可以进一步分成两大类：有机酸和无机酸。有机酸如羧酸，包含烃基；无机酸如氢氟酸（HF）则没有。

■ 碱 碱是一类含有OH根的化合物（例如，NaOH氢氧化钠和KOH氢氧化钾）在溶液中发生水解生成氢氧根离子OH^-。在英文里base和alkali都表示碱。碱会使水溶液中的氢氧根离子增加。举例来说，氢氧化钠是由金属离子和氢氧根离子组成的离子化合物。由于氢氧化钠溶解在水中会发生水解反应生成Na^+和OH^-离子，所以它是一种碱：

$$NaOH \rightarrow Na^+ + OH^-$$

表5.4列出了在半导体制造过程中通常会使用的碱性物质。

表5.4 半导体制造过程中常用的碱

碱	符号	用途
氢氧化钠	NaOH	湿法刻蚀
氢氧化铵	NH_4OH	清洗剂
氢氧化钾	KOH	正性光刻胶显影剂
氢氧化四甲基铵	TMAH	正性光刻胶显影剂

■ pH值 酸或碱强度不同并按强弱分类。pH值可用来估计溶液的强弱以确定它是酸还是碱。pH值的范围是从0到14，7为中性值。pH值小于7的是酸，而pH值大于7的是碱。纯水是pH值的参照物质，它是中性的，pH值为7。强酸如硫酸（H_2SO_4）的pH值在0到3之间，而强碱如氢氧化钠（NaOH）的pH值远大于7接近14。图5.13列出了一些常用的化学物质和它们的pH值。

pH	常用的化学品	
1	车用蓄电池中使用的酸（硫酸）	腐蚀性
2		
3	柠檬汁、醋	
4	苏打、葡萄酒	
5	番茄汁、啤酒	
6	尿	
7	自来水、牛奶、唾液	
8	血液、唾液	
9	镁乳	
10	清洁剂	
11	家用氨水	
12		
13	家用污垢清洁剂	腐蚀性
14	镍镉电池（NaOH）	

图5.13 不同化学物质的pH值

■ **溶剂** 溶剂是一种能够溶解其他物质形成溶液的物质。一种好的溶剂能够溶解很大范围内的物质。大多数溶剂，比如酒精和丙酮是易挥发并可燃的。表 5.5 列出了硅片厂常用的溶剂。

表 5.5 半导体制造过程中常用的溶剂

溶剂	名称	用途
去离子水	DI Water	广泛用于漂洗硅片和稀释清洗剂
异丙醇	IPA	通用的清洗剂
三氯乙烯	TCE	用于硅片和一般用途的清洗溶剂
丙酮	Acetone	通用的清洗剂（比 IPA 更强）
二甲苯	Xylene	强的清洗剂，也可以用来去除硅片边缘光刻胶

去离子水（DI Water）是在半导体制造过程中广泛使用的溶剂，在它里面没有任何导电的离子。DI Water 的 pH 值为 7，既不是酸也不是碱，是中性的。它能够溶解其他物质，包括许多离子化合物和共价化合物。当水分子（H_2O）溶解离子化合物时，它们通过克服离子间离子键使离子分离，然后包围离子，最后扩散到液体中。

■ **化学品的输送** 在半导体工业中广泛使用的化学品有很多是有毒性并且危险的。附录 A 讨论了有关重要化学品安全性的课题。化学品安全、高纯度和不间断地从存储罐中输送到工艺工具是至关重要的。对于液态化学品来说，这种输送过程是通过批量化学材料配送（BCD）系统完成的。

BCD 系统是由化学品源（如一个存储罐）、化学品输送模块和管道系统所组成的（见图 5.14）[6]。BCD 系统的存储罐常常建造在主要生产线的地下，输送模块用来过滤、混合和输送化学品，然后通过管道系统将化学药输送到独立的工艺线。现代的 BCD 系统是一个集成了计算机和网络化的系统，它能够对化学品的输送进行实时监控。

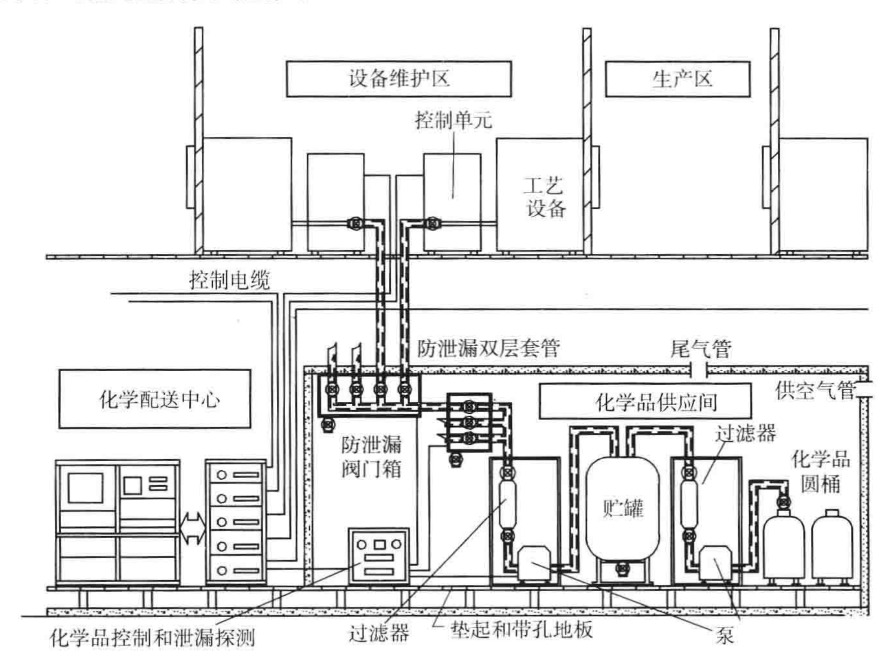
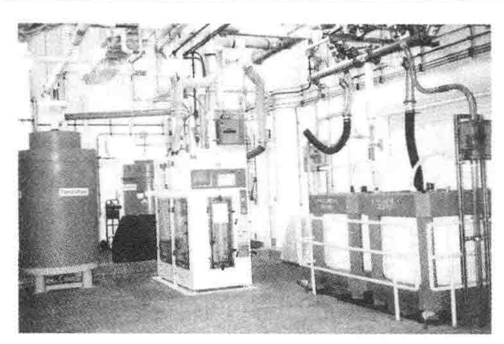


图 5.14 批量化学品配送

关于怎样来存储和输送工艺用化学品决策取决于这些因素：化学品的兼容性、减少化学品的沾污和安全性。在半导体制造过程中对化学品纯度的要求是超高纯净（UHP），对杂质的控制是要低于十亿分之一（ppb）到万亿分之一（ppt）的范围之内。



批量化学品配送
（承蒙 Advanced Micro Devices 允许使用照片）

一些化学品并不适合由BCD系统来输送，它们或者是使用的数量很少或者是在使用前存放的时间长度有限（使用前它们能存放多久）。在这种情况下，为了使这些化学品能够在工艺站点存储和使用，将用特别的包装系统便于它们定点（POU）输送。在光刻过程中使用的光刻胶就是这样一种化学品（参见第13章）。

5.4.2 气体

半导体制造过程中，在全部大约450道工艺步骤中大概使用了50种不同种类的气体[7]。由于不断有新的材料包括铜金属化互连技术和新的扩散势垒阻挡层（参见第12章）被引入到半导体制造过程中，所以气体的种类和数量是不断发生变化的。气体通常被分成两类：通用气体和特种气体。通用气体有氧气（O_2）、氮气（N_2）、氢气（H_2）、氦气（He）和氩气（Ar）。特种气体也是指一些工艺气体以及其他在半导体集成电路制造中比较重要的气体。

所有气体都要求有极高的纯度：通用气体要控制在7个9以上的纯度（99.99999%），特种气体则要控制在4个9以上的纯度（99.99%）。气体中的杂质微粒要控制在0.1 μm之内，其他需要控制的沾污是氧、水分和痕量杂质，例如金属[8]。许多工艺气体都具有毒性、腐蚀性、活性和自燃（曝露在空气中燃烧）。因此，在硅片厂气体是通过气体配送系统以安全、清洁和精确的方式输送到不同工艺站点的。

■ 通用气体 对于气体供应商来说通用气体是相对简单的气体，它被存储在硅片制造厂外面的大型存储罐里或者1000磅的大型管式拖车内。这些气体通过批量气体配送（BGD）系统输送到工作间里面。BGD系统集中控制气体的优点在于：一是可靠且稳定气体供应，二是减少杂质微粒的沾污源，最后是减少日常气体供应中的人为因素。通用气体通常只需要用最小成本来获得较高的纯度。而且，在大型硅片加工厂常采用现场生产通用气体的手段来减少费用。通用气体常分成惰性、还原性和氧化性三种气体（见表5.6）。

表5.6 通用气体

气体种类	气体	符号	用途
惰性	氮气	N_2	排出残留在气体配送系统和工艺腔中的湿气和残余气体。N_2有时也作为某些淀积工艺的工艺气体
	氩气	Ar	在硅片工艺过程中用在工艺腔体中
	氦气	He	工艺腔气体，也用于真空室的漏气检查
还原性	氢气	H_2	外延层工艺的运载气体，也用在热氧化工艺中与O_2反应生成水蒸气。总之在许多硅片制造工艺中会用到氢气
氧化性	氧气	O_2	工艺腔气体

近些年来，出于安全方面的考虑促使发展起来的现场生产气体的方法被用于其他种类的气体，特别是砷化氢和磷化氢[9]。这些安排使得在靠近工艺工具的地方生产剧毒性气体成为可能。

■ **特种气体** 特种气体是指那些供应量相对较少的气体。这些气体通常比通用气体更危险，它们是许多制造芯片所必需材料的原料来源。处理特种气体时最麻烦的是它们中的大多数都是有害的，要么具有腐蚀性（例如 HCl 和 Cl_2），要么会发生自燃（例如硅烷），要么有毒（例如砷化氢和磷化氢），要么具有极高的活性（例如 WF_6）。这些特种气体在工艺线上最典型的用途是用于工艺腔体中。

特种气体通常用 100 磅金属容器（钢瓶）运送到硅片厂。钢瓶一般放在气体钢瓶的储藏室里，有一个稳压器的控制面板、一个流量控制器、开关阀门和一个清洗控制面板用来控制钢瓶换气时的清洗顺序。这个储藏室还有过滤器，用于监视气体纯度的仪器，还有安全设备，像起火警报器和泄漏警报器。

工艺线里面的局部气体配送系统用来把特种气体从钢瓶里输送到工艺反应室（见图 5.15）。这些管道有许多接头和弯曲的拐角使得管道长达数百英尺，它们从工艺工具的下面连接到工具上。



通用气体配送系统

（承蒙 Air Products and Chemicals, Inc.允许使用照片）

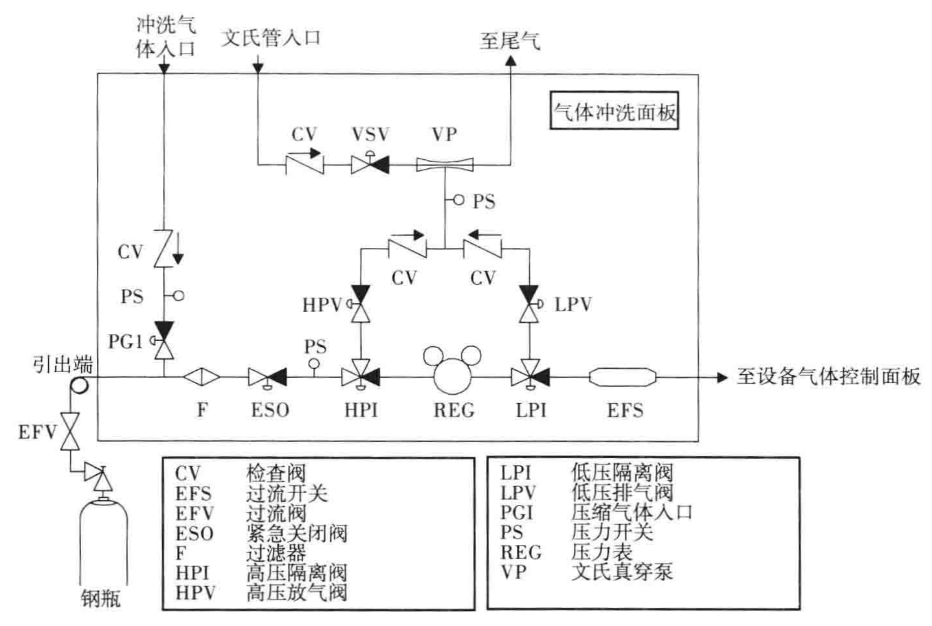


图 5.15 典型的特种气体配送系统设计（承蒙 International SEMATECH 允许使用）

气体冲洗系统　气体冲洗系统用来排除工艺腔体和气体输送系统中那些没用的残余气体、空气或水蒸气。气体冲洗系统可以清除那些滞留在气体系统中的残留物和污染物。气体冲洗系统通过排进惰性气体（像氮气）将残余气体排出，或者通过真空系统将残余气体吸出气体输运系统。气体冲洗系统是一个自动控制系统，它通过软件自动地在钢瓶换气和打开工艺腔体2前或2后控制气体流水线的阀门进行排气。

气体输送管道　气体输送管道是用316L电解抛光的不锈钢管子来输送气体的（316L是不锈钢的一种）。除了一些气体过滤器的隔膜之外，在气体输送管道系统中没有塑料部件。对于一些危险气体经常要用双层管子（见图5.16）。双层管子的内层管壁经过电解抛光来尽可能地减少沾污。电解抛光是一项化学工艺用以去除内壁表面大约30 μm厚度，得到一个洁净、光滑的内表面以尽可能减少化学反应产生沾污的可能性。被电解抛光的不锈钢内表面修整会带一层很薄的铬，这是因为铬不是很活泼，扩散出的微粒很少[10]。

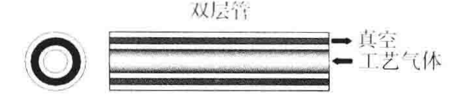


图5.16　双层管（承蒙International SEMATECH允许使用）

气体管道的连接　出于安全方面的考虑，气体管道将会有360度的转弯（比如螺旋管道），使得管道更加灵活。气体管道终止于压缩气体协会（CGA）标准连接器连接到气体钢瓶的阀门（见图5.17）。对于不同气体，最近开发的具有特殊连接器直径的DISS（直径指数安全系统）钢瓶阀门已引入，用来得到更好的不易被磨损的密封系统以减少潜在的沾污。DISS阀门系统通常用在高纯、有毒和腐蚀性的气体上。气体管道要保证气体连续不断通过管道系统，不能有地方滞留气体导致化学品不必要的损失。

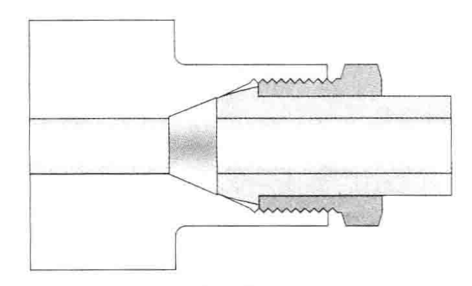


图5.17　CGA气体管道的连接器（承蒙International SEMATECH允许使用）

气体接入系统　局部气体配送系统的气体管道连接到其他工艺工具上的气体控制面板。控制面板由一系列的气体接入系统组成，每一个控制一种流入的气体。每一路接入有一个开/关阀门、流量计、压力控制器和过滤器（见图5.18）。流入气体管道的气体数量取决于工艺，典型数值是6到30，对于复杂工艺工具则要更多种类的气体。

钢瓶的换气　当特种气体使用的钢瓶空了的时候，需要技术人员进行更换，这就是钢瓶的换气，有时候每星期都要更换几次。由于特种气体通常是有剧毒的，所以气体的钢瓶换气需要非常小心避免发生安全和产品问题[11]。安全方面一是要考虑到在钢瓶更换过程中，不正确地清洗气体管道导致残余气体泄漏产生雾气和火焰；二是要考虑到不恰当地支撑钢瓶，使其颠倒导致气体泄漏。关于产品性能方面，不正确的钢瓶换气可导致气体管道的沾污而影响成品率。而且气体钢瓶的换气需要工艺腔体被重新鉴定以确保气体是能被接受的，这样会打断生产过程。

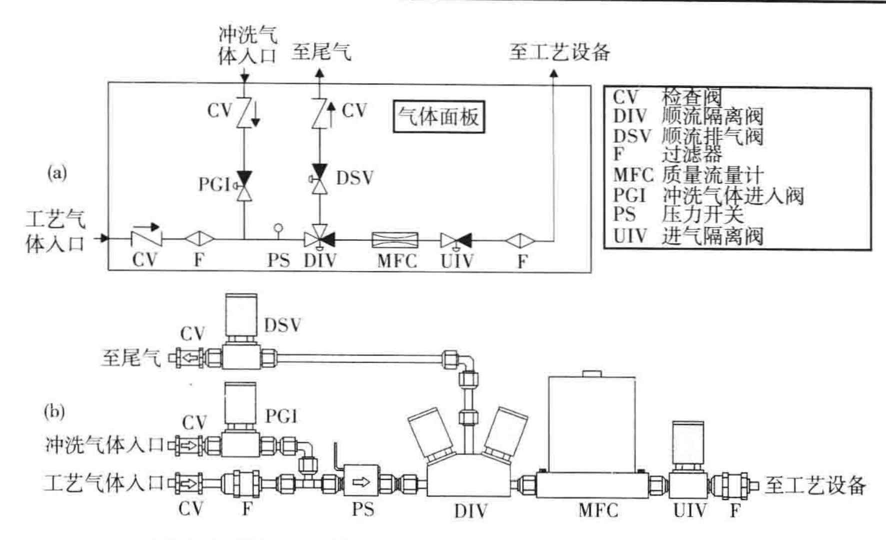
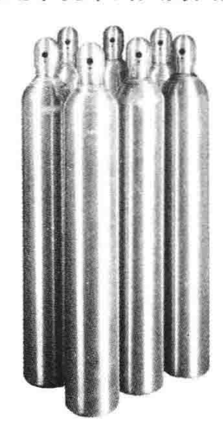


图 5.18　工艺工具中的气体接入系统（承蒙 International SEMATECH 允许使用图(a)）。元件图(b)是 Swagelok 元件的重绘图，Swagelok 由 Arthur Valve 和 Fitting Co.,Austin, TX 生产

出于安全隐患、沾污和节约开销方面的考虑，需要将一些特种气体用通用气体配送系统来配送。举例来说，一个硅烷的管状拖车相当于每年 300 到 400 次的钢瓶换气，而管状拖车只需要每年换一次[12]，这样就大大减少在更换过程中出现问题的几率。因此将会有更多的特种气体采用与液体化学品和通用气体相同的配送系统来取代运送特种气体的钢瓶[13]。这种趋势首先从硅烷开始，因为它曝露在空气中会发生自燃。随着现在很多特种气体使用的体积越来越大（如一氧化氮），这种趋势会越来越明显，目的是减少在气体输送系统中的人为因素和减少失误。



特种气体钢瓶

■ 特种气体的分类　特种气体可以分成氢化物、氟化物或者酸性气体。氢化物包含氢元素，而氟化物包含氟元素。表 5.7 列出了一些常用的特种气体及其用途。

表 5.7　半导体制造中一些常用特种气体

气体类别	气体	符号	用途
氢化物	硅烷	SiH_4	气相淀积工艺的硅源（第 11 章）
	砷化氢	AsH_3	n 型硅片离子注入的砷源（第 17 章）
	磷化氢	PH_3	n 型硅片离子注入的磷源（第 17 章）
	乙硼烷	B_2H_6	p 型硅片离子注入的硼源（第 17 章）

（续表）

气体类别	气体	符号	用途
	原硅酸四乙酯（TEOS[a]）	$Si(OC_2H_5)$	气相淀积工艺的二氧化硅源（第11章）
	四氯化硅	$SiCl_4$	气相淀积工艺的硅源（第11章）
	二氯硅烷（DCS）	SiH_2Cl_2	气相淀积工艺的硅源（第11章）
氟化物	三氟化氮	NF_3	等离子刻蚀工艺中的氟离子源（第16章）
	六氟化钨	WF_6	金属淀积工艺的钨源（第12章）
	四氟甲烷	C_2F_4	等离子刻蚀工艺中的氟离子源（第16章）
	四氟化碳	CF_4	等离子刻蚀工艺中的氟离子源（第16章）
	四氟化硅	SiF_4	淀积、注入和刻蚀工艺中的硅和氟离子源（第11、16、17章）
	三氟化氯	ClF_3	工艺腔体清洁气体
酸性气体	三氟化硼	BF_3	p型硅片离子注入的硼源（第17章）
	氯气	Cl_2	金属刻蚀中所用氯的来源（第16章）
	三氯化硼	BCl_3	p型硅片离子注入的硼源（第17章）和金属刻蚀中所用氯的来源（第16章）
	氯化氢	HCl	工艺腔体清洁气体和去污剂
其他	氨气	NH_3	工艺气体用来和SiH_2Cl_2反应生成淀积所用的SiN_3（第11章）
	笑气（一氧化氮）	N_2O	与硅反应生成二氧化硅的氧源（第11章）
	一氧化碳	CO	用在刻蚀工艺中（第16章）

a. TEOS实际是一种液体。

5.5 小结

物质有4种基本形态：固态、液态、气态和等离子态。对于硅片制造来说比较重要的化学属性有：温度、压强和真空、冷凝、蒸气压、升华和凝华、密度、表面张力、热膨胀以及应力。这些化学属性被广泛用在半导体芯片制造中。液体可以被分成酸、碱或者溶剂。酸或者碱的区别在于强度的不同，可以通过测pH值来区分。化学品通过批量化学品配送系统或者现场使用配送系统输送到车间。在硅片加工厂气体被分为两类：通用气体或特种气体。通用气体是相对较简单的气体，比如氮气和氧气。特种气体经常是很危险的，且用金属钢瓶来存储和运送。有特别的程序和配送系统来确保在车间干净、安全地使用特种气体。特种气体通常分为氢化物、氟化物或者是酸性气体。

关键术语

工艺用化学品
固体
液体
气体
惰性气体
等离子体
属性
物理属性
化学属性
化学反应
温度
热量
摄氏

凝华
密度
比重
表面张力
热膨胀系数（CTE）
应力
化学溶液
溶质
水溶液
百万分之几（ppm）
十亿分之几（ppb）
万亿分之几（ppt）
酸

开尔文
压强
真空
冷凝
蒸发
吸收
吸附
蒸气压
可挥发的
升华
碱
pH 值
试剂
批量化学品配送（BCD）
超高纯度（UHP）
通用气体
特种气体
气体冲洗
电解抛光
钢瓶换气

复习题

1. 什么是物质的 4 种形态？试分别描述之。
2. 什么是材料的属性？
3. 描述物质的两类属性。
4. 什么是化学反应？试举一个化学反应的例子。
5. 温度的定义是什么？温度和热量有什么关系？
6. 描述三种温标，哪一种是科学工作中最常用的温标？
7. 什么是压强？气体压强取决于什么条件？
8. 给出真空的定义。什么是最常用的真空单位，它是怎样定义的？
9. 给出冷凝和蒸发的定义。吸收和吸附之间有何不同？
10. 什么是蒸气压？描述一下可挥发性材料。
11. 给出升华和凝华的定义。
12. 定义并描述密度。什么是材料的比重？
13. 什么是表面张力？
14. 给出材料的热膨胀系数（CTE）。
15. 描述应力概念并写出它的公式。
16. 应力和热膨胀系数之间有何种关系？
17. 什么是化学溶液？它由哪几种成分构成？
18. 什么叫水溶液？
19. ppm、ppb 和 ppt 分别代表什么意思？
20. 什么是酸？列出在硅片厂中常用的三种酸。
21. 什么是碱？列出在硅片厂中常用的三种碱。
22. 解释一下 pH 值的概念以及怎样用它来测试酸和碱。确定关于强酸溶液、强碱溶液和水的 pH 值的范围。
23. 什么叫溶剂？列出在硅片厂中常用的三种溶剂。
24. 描述在硅片厂中使用的去离子水的概念。
25. 描述什么是批量化学材料配送系统。
26. 什么是化学品现场使用配送系统？
27. 气体分成哪两类？

28. 说明在半导体制造中对气体纯度的要求。
29. 列出 5 种通用气体，给出 BGD 系统的三个有利之处。
30. 什么叫特种气体？
31. 什么是处理特种气体所面临的最大挑战？
32. 在硅片厂中特种气体是怎样存储和运送的？
33. 什么是气体冲洗？哪种气体被用来做这项工作？
34. 气体管道的结构是什么样的？什么是电解抛光，为什么要进行这样的处理？
35. 什么是 CGA？什么是 DISS，使用它们有什么理由？
36. 描述气体接入系统。
37. 描述特种气体钢瓶换气。关于这道工序安全方面有什么考虑？
38. 描述三种特种气体并分别举例。

化学品供应商网站

AERONIX Inc.	http://www.aeronex.com
Air Products and Chemicals	http://www.airproducts.com/
Ashland Specialty Co.	http://www.ashchem.com/
ATMI Inc.	http://www.atmi.com/
BOC Edwards	http://www.boc.com/edwards/
Dow Chemical/Filmtec	http://www.dow.com/liquidseps/
Dow Corning	http://www.dowcorning.com/
DuPont	http://www.dupont.com/semiconductor
Eastman Chemical Co.	http://www.eastman.com/
EKC Technology Inc.	http://www.ekctech.com/
J. T. Baker	http://www.jtbaker.com/
Leybold Inficon Inc.	http://www.leyboldinficon.com/
Linde	http://www.linde.de/english/Home.htm
Matheson Gas Products	http://www.mathesongas.com/
Millipore Corp.	http://www.millipore.com/
MKS Instruments Inc.	http://www.mksinst.com/
Parker Hannifin Corp.	http://www.parker.com/
Praxair	http://www.praxair.com/
PTI Advanced Filtration Inc.	http://www.pti-afi.com/
Scott Specialty Gases	http://www.scottgas.com/
Solkatronic Chemicals	http://www.solkatronic.com/
Swagelok Company	http://www.swagelok.com/
Union Carbide	http://www.unioncarbide.com/
Voltaix Inc.	http://www.voltaix.com/

参考文献

1. M. Silberberg, *Chemistry: The Molecular Nature of Matter and Change*, (St. Louis: Mosby, 1996), p. 23.

2. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., (New York, NY, McGraw-Hill, 1997), p. 206.
3. T. Hattori, "Trends in Wafer Cleaning Technology," *Solid State Technology* (May 1995): p. 7.
4. A. Braun, "PPT-Time for a Reality Check?" *Semiconductor International* (June 1998).
5. J. Sargent, V. Starov, and R. Werner, "Transition in the Post-Etch Wafer-Cleaning Market and Technologies," *Solid State Technology* (May 1997): p. 180.
6. R. DeJule, "Bulk Chemical Distribution Addresses Tightening Specs," *Semiconductor International* (August 1996): p. 75.
7. P. Singer, "Effective Gas Handling: A Balance of Cost and Purity," *Semiconductor International* (September 1994): p. 64.
8. P. Singer, "Trends in Gas Management and Use," *Semiconductor International* (April 1998): p. 112.
9. Ibid.
10. A. Braun, "Cleanroom Technologies Continue to Keep Contamination at Bay," *Semiconductor International* (March 1998): p. 59.
11. L. Laurin, "Bulk Silane-a Potential Hazard or a Potential Hazard Reducer,"*Solid State Technology*, (January 1998): p. 104.
12. P. Singer, "Trends," p. 112.
13. N. Chowdhury and L. Mostowy, "Developing a Bulk Distribution System for High-Purity Hydrogen Chloride," *Micro Contamination Identification, Analysis and Control* (September 1995): p. 33.

第6章　硅片制造中的沾污控制

为使芯片上的器件功能正常，避免硅片制造中的沾污是绝对必要的。随着器件关键尺寸缩小，对沾污的控制要求变得越来越严格。在本章中，我们将学习硅片制造中各种类型的重要沾污、它们的来源以及怎样有效控制沾污以制造包含最小沾污诱生缺陷的高性能集成电路。

为了控制制造过程中不能接受的沾污，半导体产业开发了净化间。净化间本质上是一个净化过的空间，它以超净空气把芯片制造与外界的沾污环境隔离开来，包括化学品、人员和常规的工作环境。

了解净化间的环境很重要，因为复杂的微芯片就是从这里制造出来的。硅片制造中大量的工序细节都要受到保持净化间完整性的限制。成功的净化间一个首要的因素就是员工风纪。

目标

通过本章的学习，你将能够：

1. 说明并描述5种不同类型的净化间沾污，并讨论与每种沾污相关的问题。
2. 列举净化间的7种沾污源，并描述每一种怎样影响硅片的洁净。
3. 解释并使用净化级别来表征净化间空气质量。
4. 说明并讨论员工按照合理的规程进入净化间的7个正确步骤。
5. 描述净化间设备的各个方面，包括空气过滤、静电释放、超纯去离子水和工艺气体等。
6. 解释现代工作区设计和微环境怎样有助于沾污控制。
7. 说明两种湿法清洗的化学原理，解释每一种分别去除哪种沾污，并讨论湿法清洗的改进和选择余地。
8. 描述不同的湿法清洗设备，说明每种清洗工艺怎样有助于硅片的洁净。

6.1　引言

一个硅片表面具有多个微芯片，每个芯片又差不多有数以百万计的器件和互连线路，它们对沾污都非常敏感。随着芯片的特征尺寸为适应更高性能和更高集成度的要求而缩小，控制表面沾污的需要变得越来越关键（见图6.1）。为实现沾污控制，所有的硅片制备都要在沾污严格控制的净化间内完成。

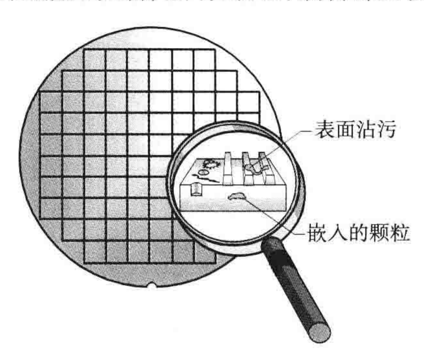
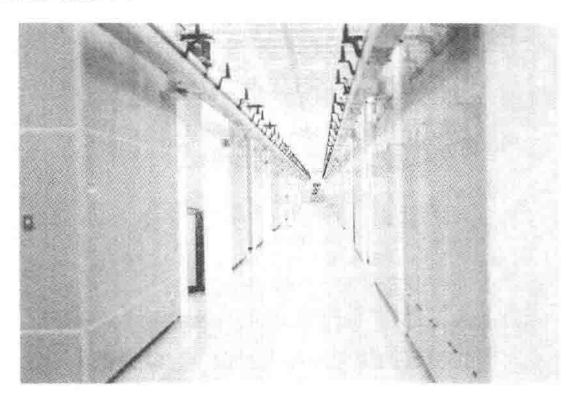


图6.1　硅片沾污

6.1.1　净化间基本情况

在近半个世纪前半导体制造刚开始的时候，控制沾污的需要就很明显。早期净化间基于局部净化区域建成，包括操作员穿戴工作服和手套并使用洁净的工作台。20 世纪 60 年代高效颗粒空气过滤器（HEPA 过滤器）的引入是向着硅片制造中大量减少颗粒迈出的第一步。HEPA 过滤器向工作台输送洁净空气，有效去除了产品中的颗粒。

现代半导体制造是在被称为净化间的成熟设施中进行的。这种硅片制造设备与外部环境隔离，免受诸如颗粒、金属、有机分子和静电释放（ESD）的沾污。一般来讲，那意味着这些沾污在最先进测试仪器的检测水平范围内都检测不到。净化间还意味着遵循广泛的规程和实践，以确保用于半导体制造的硅片生产设施免受沾污。



硅片制造净化间（照片承蒙 AMD 提供）

6.2　沾污的类型

沾污是指半导体制造过程中引入半导体硅片的任何危害微芯片成品率及电学性能的不希望有的物质。既然我们的兴趣在于硅片制造，所以将主要集中于制造工序中引入的各种类型的表面沾污。

沾污经常导致有缺陷的芯片。致命缺陷是导致硅片上的芯片无法通过电学测试的原因。据估计 80% 的芯片电学失效是由沾污带来的缺陷引起的[1]。电学失效引起成品率损失，导致硅片上的管芯报废（丢弃）以及很高的芯片制造成本。

净化间沾污分为五类：

- 颗粒
- 金属杂质
- 有机物沾污
- 自然氧化层
- 静电释放（ESD）

6.2.1　颗粒

颗粒是能粘附在硅片表面的小物体。悬浮在空气中传播的颗粒被称为浮质（aerosol）。从鹅卵石到原子的各种颗粒的相对尺寸分布如图 6.2 所示[2]。

■ **颗粒带来的问题**　对于半导体制造，我们的目标是控制并减少硅片与颗粒的接触。在硅片制造过程中，颗粒能引起电路开路或短路。它们能在相邻导体间引起短路。颗粒还可以是后续各节讨论的其他类型沾污的来源。

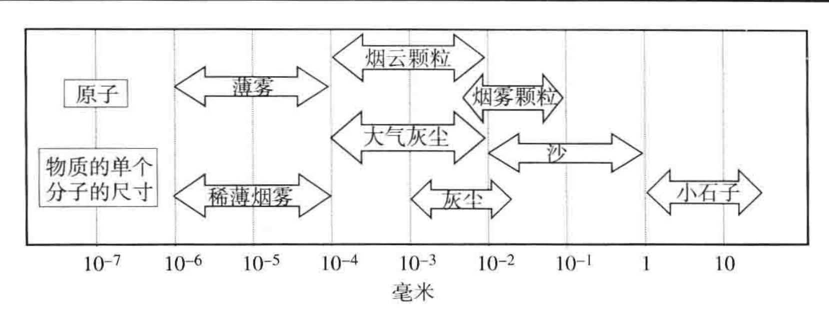
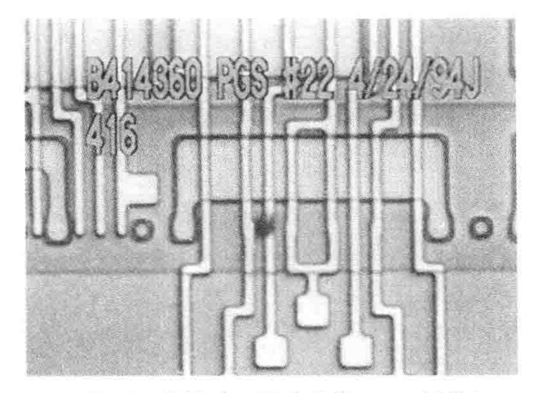


图 6.2 颗粒的相对尺寸



颗粒引起的缺陷（照片承蒙 AMD 提供）

半导体制造中，可以接受的颗粒尺寸的粗略法则是它必须小于最小器件特征尺寸的一半[3]。大于这个尺寸的颗粒会引起致命的缺陷。例如，0.18 微米的特征尺寸不能接触0.09 微米以上尺寸的颗粒。为估量这些尺寸，先假定人类头发的直径约为 90 微米。0.18 微米的尺寸则比人类头发尺寸小 500 倍之多（见图 6.3）。

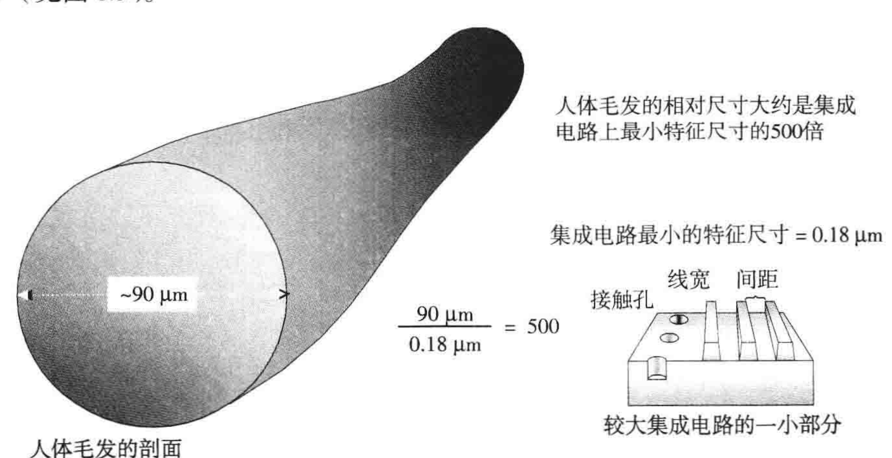


图 6.3 人类头发对 0.18 微米颗粒的相对尺寸

硅片表面的颗粒密度代表了特定面积内的颗粒数。更高的颗粒密度产生致命缺陷的机会也更大。一道工序引入到硅片中超过某一关键尺寸的颗粒数，用术语表征为每步每片上的颗粒数（PWP）。在半导体制造的早期，熟练的操作员通过诸如显微镜之类的简单工具直观地检查硅片表面的颗粒。然而，这种方法在 VLSI 和 ULSI 时代是不可接受的。自从 20 世纪 80 年代中期以来，颗粒

检测已经广泛采用激光束扫描硅片表面和检测颗粒散射的光强及位置来进行（见图6.4）。在当前生产中应用的颗粒检测装置能检测到的最小颗粒直径约为 0.1 微米[4]。

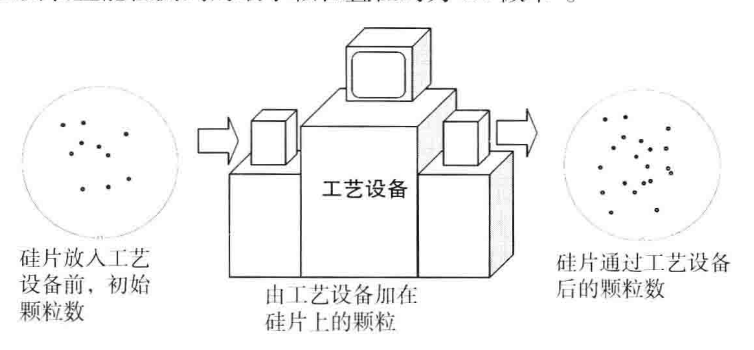


图 6.4　每硅片每通道颗粒数

ULSI 时代的半导体制造也需要对大量的悬浮分子颗粒进行严格控制，包括水蒸气、酸蒸气、烃类和引入杂质到硅片表面的其他气体。十亿分之几（ppb）级别的悬浮分子沾污的检测现在已经成为先进生产线的标准。分子化合物包括金属、非金属、有机物和无机物沾污，所有这些对器件性能都有破坏性。

6.2.2　金属杂质

硅片加工厂的沾污也可能来自金属化合物。危害半导体工艺的典型金属杂质是碱金属，它们在普通化学品和工艺中都很常见。这些金属在所有用于硅片加工的材料中都要严格控制（见表 6.1）[5]。碱金属来自周期表中的 IA 族，是极端活泼的元素，因为它们容易失去一个价电子成为阳离子，与非金属的阴离子反应形成离子化合物。

表 6.1　典型金属杂质元素

重金属	碱金属
铁（Fe）	钠（Na）
铜（Cu）	钾（K）
铝（Al）	锂（Li）
铬（Cr）	
钨（W）	
钛（Ti）	

金属来自于化学溶液或者半导体制造中的各种工序。离子注入工艺（在以后章节中讨论）表现出最高的金属沾污，在 10^{12} 到 10^{13} 原子/平方厘米级数之间[6]。另一种金属沾污的来源是化学品同传输管道和容器的反应。例如，一氧化碳气体，作为改进各种硅片工艺的附加气体，能与不锈钢中的镍、垫圈和气体传输系统中的其他元件起反应[7]。通过这个反应，气相的一氧化碳形成镍的四羰基化物颗粒分布在硅片表面。这些颗粒可以重新分布到硅片体内导致器件缺陷增加。

金属可以通过两种途径淀积在硅片表面上[8]。第一种途径，金属通过金属离子与位于硅片表面的氢原子的电荷交换而被束缚在硅表面。这些类型的金属杂质很难消除。金属淀积在硅片表面的第二种途径，是当表面氧化时金属杂质分布于氧化层内。由于这个原因，氧化工艺时洁净度是非常关键的（参见第 10 章）。在氧化层中的金属杂质只有通过去除硅片表面的氧化层来去除。

金属离子在半导体材料中是高度活动性的，被称为可动离子沾污（MIC）。当 MIC 引入到硅片中时，在整个硅片中移动，严重损害器件电学性能和长期可靠性。未经处理过的化学品中的钠是典

型的、最为普遍的MIC之一，人充当了它的运送者。人体以液态形式包含了高浓度的钠（例如，唾液、眼泪、汗液等）。钠沾污在硅片加工中被严格控制。

很难想像MIC物质在硅中是如何活动的。考虑像钠这样的MIC。食盐（NaCl）的单个晶粒包含了大量的钠，足以在5000个硅片（150 mm直径）表面上淀积每平方厘米10^{12}个钠原子，因此能破坏这些硅片上的所有芯片。

■ 金属杂质带来的问题 金属杂质导致了半导体制造中器件成品率的减少，包括氧化物－多晶硅栅结构中的结构性缺陷[9]。额外的问题包括pn结上泄漏电流的增加以及少数载流子寿命的减少。MIC沾污能迁移到栅结构中的氧化硅界面，改变开启晶体管所需的阈值电压（见图6.5）。由于它们的性质活泼，金属离子可以在电学测试和运输很久以后沿着器件移动，引起器件在使用期间失效。半导体制造的一个主要目标是减少与金属杂质和MIC的接触。

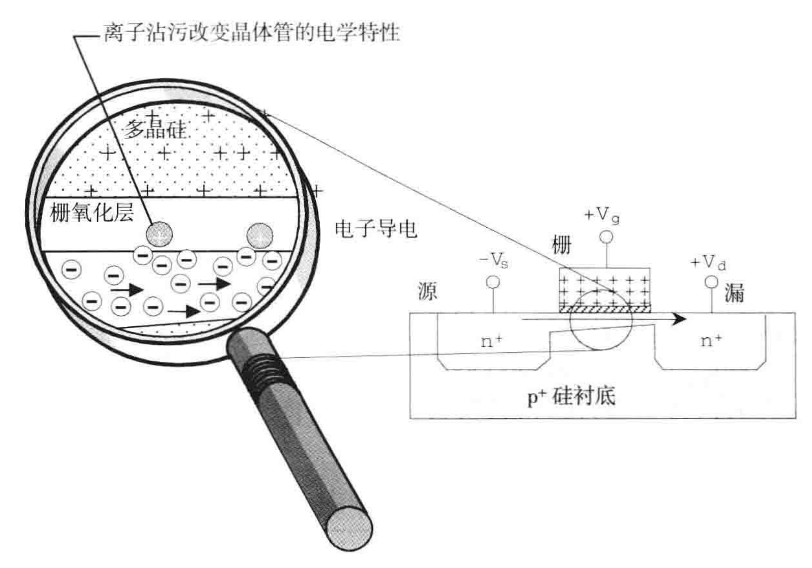


图6.5 可动离子沾污改变阈值电压

6.2.3 有机物沾污

有机物沾污是指那些包含碳的物质，几乎总是同碳自身及氢结合在一起，有时也和其他元素结合在一起。有机物沾污的一些来源包括细菌、润滑剂、蒸气、清洁剂、溶剂和潮气等。现在用于硅片加工的设备使用不需要润滑剂的组件来设计，例如，无油润滑泵和轴承等。

■ 有机物沾污带来的问题 在特定工艺条件下，微量有机物沾污能降低栅氧化层材料的致密性[10]。工艺过程中有机材料给半导体表面带来的另一个问题是表面的清洗不彻底，这种情况使得诸如金属杂质之类的沾污在清洗之后仍完整保留在硅片表面。

6.2.4 自然氧化层

如果曝露于室温下的空气或含溶解氧的去离子水中，硅片的表面将被氧化。这一薄氧化层称为自然氧化层。硅片上最初的自然氧化层生长始于潮湿。当硅片表面曝露在空气中时，一秒钟内就有几十层水分子吸附在硅片上并渗透到硅表面，这引起硅表面甚至在室温下就发生氧化。天然氧化层的厚度随曝露时间的增长而增加。

■ **自然氧化层带来的问题**　硅表面无自然氧化层对半导体性能和可靠性是非常重要的。自然氧化层将妨碍其他工艺步骤，如硅片上单晶薄膜的生长和超薄栅氧化层的生长[11]。自然氧化层也包含了某些金属杂质，它们可以向硅中转移并形成电学缺陷[12]。

自然氧化层引起的另一个问题在于金属导体的接触区。接触使得互连线与半导体器件的源区及漏区保持电学连接。如果有自然氧化层存在，将增加接触电阻，减少甚至可能阻止电流流过（见图 6.6）[13]。

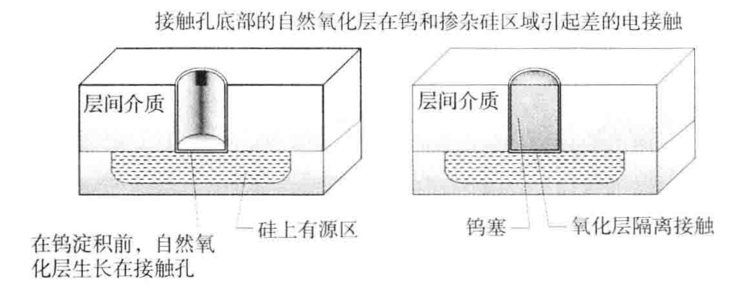


图 6.6　自然氧化层

自然氧化层需要通过使用含HF酸的混合液的清洗步骤去除（见本章后面的湿法清洗一节）。抑制自然氧化层的另一个方法是把多步工序集成在一个包含了高真空室的多腔体设备中，这样硅片就不会曝露于大气和潮湿的环境中。

6.2.5　静电释放

静电释放（ESD）也是一种形式的沾污，因为它是静电荷从一个物体向另一物体未经控制地转移，可能损坏微芯片。ESD产生于两种不同静电势的材料接触或摩擦（称为摩擦电）。带过剩负电荷的原子被相邻的带正电荷的原子吸引。这种由吸引产生的电流泄放电压可以高达几万伏。

半导体制造中特别容易产生静电释放，因为硅片加工保持在较低的湿度中，典型条件为40% ± 10% 相对湿度（RH）。这种条件容易使较高级别的静电荷生成[14]。虽然增加相对湿度可以减少静电生成，但是也会增加侵蚀带来的沾污，因而这种方法并不实用。

■ **静电释放带来的问题**　尽管 ESD 发生时转移的静电总量通常很小（纳库仑级别），然而放电的能量积累在硅片上很小的一个区域内。发生在几个纳秒内的静电释放能产生超过1 A的峰值电流，简直可以蒸发金属导体连线和穿透氧化层[15]。放电也可能成为栅氧化层击穿的诱因。ESD 带来的另一个重大问题在于，一旦硅片表面有了电荷积累，它产生的电场就能吸引带电颗粒或极化并吸引中性颗粒到硅片表面（见图 6.7）。电视屏幕能吸引灰尘就是一个例子。此外，颗粒越小，静电对它的吸引作用就越明显[16]。随着器件关键尺寸的缩小，ESD 对更小颗粒的吸引变得重要起来，能产生致命缺陷。为减小颗粒沾污，硅片放电必须得到控制。

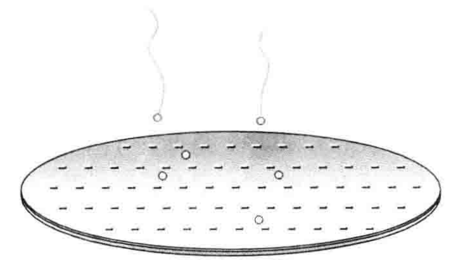


图 6.7　带电硅片吸引颗粒

6.3 沾污的源与控制

加工硅片的净化间必须严格控制沾污以减小危害微芯片性能的致命缺陷。几乎每一接触硅片的物体都是潜在的沾污来源。硅片生产厂房的 7 种沾污源为：

- 空气
- 人
- 厂房
- 水
- 工艺用化学品
- 工艺气体
- 生产设备

6.3.1 空气

净化间最基本的概念是硅片工厂空气中的颗粒控制。我们通常所呼吸的空气是不能用于半导体制造的，因为它包含了太多的漂浮沾污。这些微小的浮质在空气中漂浮并停留很长时间，淀积在硅片表面引起沾污并带来致命缺陷。

净化级别标定了净化间的空气质量级别，它是由净化室空气中的颗粒尺寸和密度表征的。这一数字描绘了要怎样控制颗粒以减少颗粒沾污。净化级别起源于美国联邦标准209，第1版发布于1963年，经过几次修订之后形成了最新的 209E 版本（参见附录 B）。表 6.2 展示了不同净化间净化级别每立方英尺可以接受的颗粒数和颗粒尺寸。

表 6.2 美国联邦标准 209E 中各净化间级别对空气漂浮颗粒的限制

	颗粒 / 立方英尺				
级别	0.1 μm	0.2 μm	0.3 μm	0.5 μm	5 μm
1	3.50×10	7.70	3.00	1.00	
10	3.50×10^2	7.50×10	3.00×10	1.00×10^1	
100		7.50×10^2	3.00×10^2	1.00×10^2	
1000				1.00×10^3	7.00
10 000				1.00×10^4	7.00×10
100 000				1.00×10^5	7.00×10^2

如果净化间级别仅用颗粒数来说明，例如 1 级净化间，则只接受 1 个 0.5 μm 的颗粒。这意味着每立方英尺中尺寸等于或大于 0.5 μm 的颗粒最多允许 1 个。对于尺寸不同于 0.5 μm 的颗粒，净化间级别应该表达为具体颗粒尺寸的净化级别。例如：10 级 0.2 μm（从表 6.2 得知每立方英尺最多允许尺寸等于或大于 0.2 μm 的颗粒 75 个）和 10 级 0.1 μm（每立方英尺最多允许包含尺寸等于或大于 0.1 μm 的颗粒 350 个）。

■ **超细颗粒** 近来已经开始使用 0.1 级，这时颗粒尺寸缩小到 0.02~0.03 μm。最新的净化空气标准对每立方米空气中的超细颗粒数也做了规定，称为“U”描述符。U 描述符把直径小于 0.1 μm 的颗粒一直到分立颗粒计数器能检测到的最小颗粒规定为超细颗粒。在没有特别说明具体颗粒尺寸的情况下，U 描述符把洁净度定义为 U(x)，其中 x 是每立方米空气中可容许的超细颗粒的最大数。

6.3.2 人

人是颗粒的产生者。人员持续不断地进出净化间，是净化间沾污的最大来源[17]。颗粒来自于头

发和头发用品（喷雾、发胶）、衣物纤维屑、皮屑等。一个人平均每天释放 1 盎司（1 盎司 =28.35 克）颗粒，这惊人地达到每分钟 10 000 000 个尺寸等于或大于 0.3 μm 的颗粒（见表 6.3）。

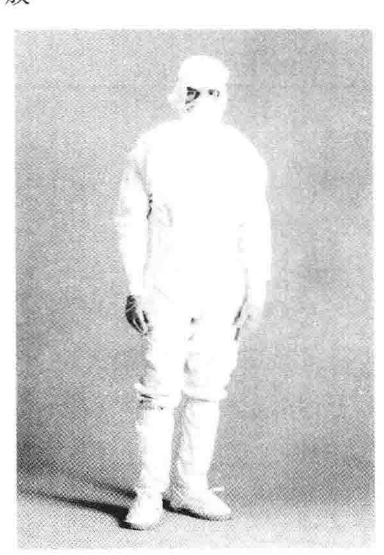
表 6.3　人类活动释放的颗粒

颗粒来源	每分钟大于 0.3 μm 的平均颗粒数
静止（坐或站）	100 000
移动手、臂、躯干、脖子和头	500 000
每小时步行 2 公里	5 000 000
每小时步行 3.5 公里	7 500 000
最洁净的皮肤（每平方英尺）	10 000 000

硅片加工中的简单活动，如开门关门或在工艺设备周围过度活动，都会产生颗粒沾污。通常的人类活动，如谈话、咳嗽、打喷嚏，对半导体都是有害的。

■ 超净服　为实现净化间内的超净环境，人员必须遵循某些程序，称为净化间操作规程，还必须穿上超净服（也叫"兔子服"）。超净服由兜帽、连衣裤工作服、靴子和手套组成，完全包裹住了身体。超净服系统的目标是满足以下职能标准：

- 对身体产生的颗粒和浮质的总体抑制
- 超净服系统颗粒零释放
- 对 ESD 的零静电积累
- 无化学和生物残余物的释放



穿超净服的技术员（照片承蒙 International SEMATECH 提供）

现代超净服是高技术膜纺织品或密织的聚酯织物。先进的材料对于 0.1 μm 及更大尺寸的颗粒具有99.999%的效率级别（阻止99.999%的颗粒通过）。超净服对人体的包裹程度可能有所变化。一些工厂除去外部的兔子服外还要求内衣层，如聚酯内衣。要求人员在最后着装和进入工厂前进行淋浴并使用洗液以阻止皮屑脱落。一些硅片制造厂也要求员工穿戴泡沫防护帽并且排放鼓风机，通过系在腰间的过滤包把使用者的呼吸吹送出去。防护帽防止员工唾液中的颗粒沾污制造区域。

■ 净化间操作规程　为了减小净化间的沾污，每家半导体公司都有一套严格的程序以满足净化间操作规程。表 6.4 列出了某些净化间操作规程[18]。

表 6.4 合理的净化间操作规程

应该做的	不应做的	理由
只有经过授权的人员方可进入净化间	没有接受过净化间应知行为严格培训的人员不得入内，净化间的管理者具有最后的决定权	经过授权的人员才熟悉超净室操作中严格且近乎苛求的规定
只把必需物品带入净化间	禁止化妆品、香烟、手帕、卫生纸、食品、饮料、糖果、木制/自动铅笔或钢笔、香水、手表、珠宝、磁带播放机、电话、寻呼机、摄像机、录音笔、香口胶、梳子、纸板或非净化间允许的纸张、设计图、操作手册或指示图表等	阻断不想要的沾污源进入在半导体器件中产生缺陷
根据公司培训规定的方式着装进入	不允许包裹不严的街头服装进入净化间	确保超净服免受可能进入净化间的沾污
始终确保所有的头部和面部头发被包裹起来	不要曝露脸上和头部的头发	头发是沾污源
遵守进入净化间的程序，如风淋和鞋清洁器（如必要）	不要在所有程序完成之前开启任何一道通往净化间的门	所有的淋浴都可能有助于去除沾污；许多公司由于空气沾污的原因已经停止使用这一道程序
在净化间中所有时间内都保持超净服闭合	不要把任何街头服装曝露于超净室内。不要让你皮肤的任何部分接触超净服的外面部分	不想要的沾污源
缓慢移动	不要群聚或快速运动	这会破坏气流模式

6.3.3 厂房

为使半导体制造在一个超洁净的环境中进行，有必要采用系统方法来控制净化间区域的输入和输出。有三种基本的策略用于消除净化间颗粒[19]：

1. 从未受颗粒沾污的净化间着手开始。
2. 尽可能减小通过设备、器具、人员和净化间供给引入的颗粒。
3. 持续监控净化间的颗粒，定期反馈信息和维护清洁。

■ **净化间布局** 在 20 世纪 70 年代早期，LSI 制造线制造区的整体净化级别为 10 000 级，而单独工作台的局部级别为 100 级。业界开发了一种舞厅式布局（ballroom layout）方法，大的制造间具有 10 000 级的级别，层流工作台则提供一个 100 级的生产环境（见图 6.8）。

随着 20 世纪 80 年代亚微米工艺到来，生产区与技术区夹层（bay and chase layout）方法引入到净化间。在这种净化间布局中，一个普通的走廊分隔开生产区（称为生产间格或工艺间格）和服务区（称为服务夹层、设备夹层或灰色区），如图 6.9 所示。在加工硅片的生产间格内，典型的净化级别为 1 级。绝大多数设备维护在 1000 级的服务区内进行。

现代硅片加工线基于其中一种净化间设计建造。舞厅式布局作为最先进的净化间设计被推广，包括硅片自动控制和工艺设备的局部沾污控制[20]。在两种净化间中，典型情况下净化间下面都设有一个亚工厂区，包括大量的设施（如泵、管道系统、电缆等）。

■ **气流原理** 为了实现净化间中的超净环境，气流种类是关键的。对于 100 级或以下的净化间，层状气流是必需的[21]。层状气流意味着气流是平滑的，无湍流气流模式（见图 6.10）。垂直层流对于外界气压具有轻微的正压，充当了屏蔽以减小从设备或人到曝露着的产品的横向沾污[22]。

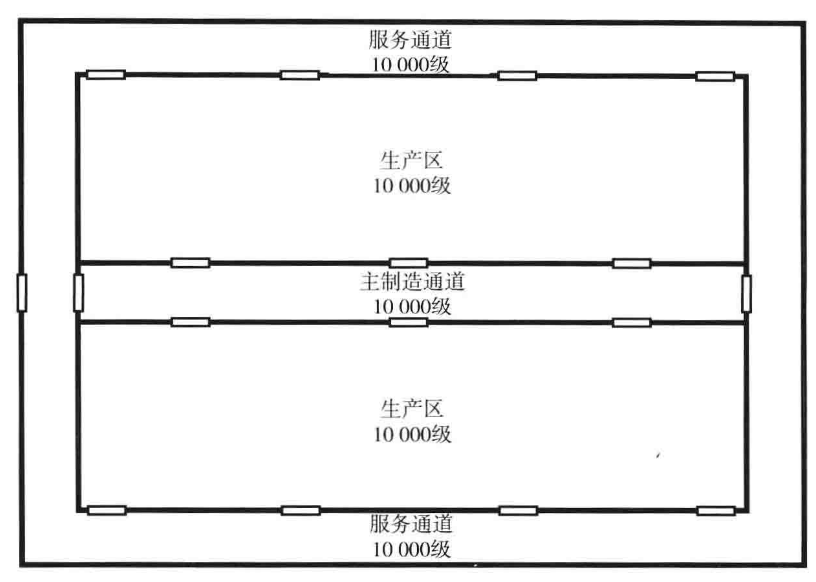


图 6.8　早期净化间的舞厅式布局

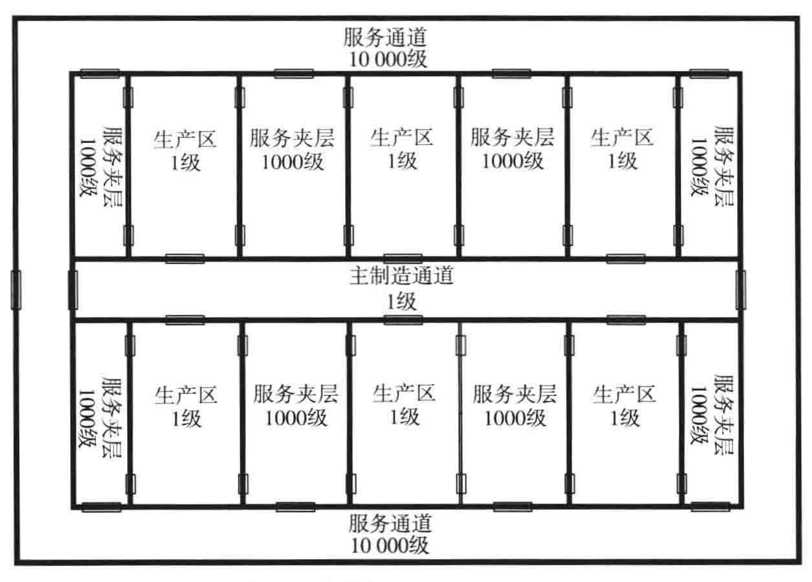


图 6.9　净化间间格和夹层的概念

■ **空气过滤**　图 6.11 展示了硅片工艺线的净化室中空气处理系统的简化图。空气进入到天花板内的特效颗粒过滤器，以层流模式流向地面，进入到空气再循环系统后与补给的空气一道返回空气过滤系统。现代工艺线上，在轮班这样的干扰期间，空气每 6 秒可以周转 1 次以促进超净环境的恢复。排气系统被用来处理工艺设备和工作区域产生的不希望有的热量和化学物。

位于天花板中的特效颗粒过滤器，要么是高效颗粒空气过滤器（HEPA），要么是超低渗透率空气过滤器（ULPA）。HEPA 纤维过滤器用玻璃纤维制作成形，产生层状气流（见图 6.12）。通常，ULPA 意指那些具有 99.9995% 或更高效率过滤直径超过 0.12 μm 颗粒的过滤器[23]。

高效颗粒空气过滤器

空气紊乱

物体干扰正常的空气层流，并产生空气紊乱。这能驱逐并带走小的颗粒

空气层流穿过带孔的地板

图 6.10 层状气流

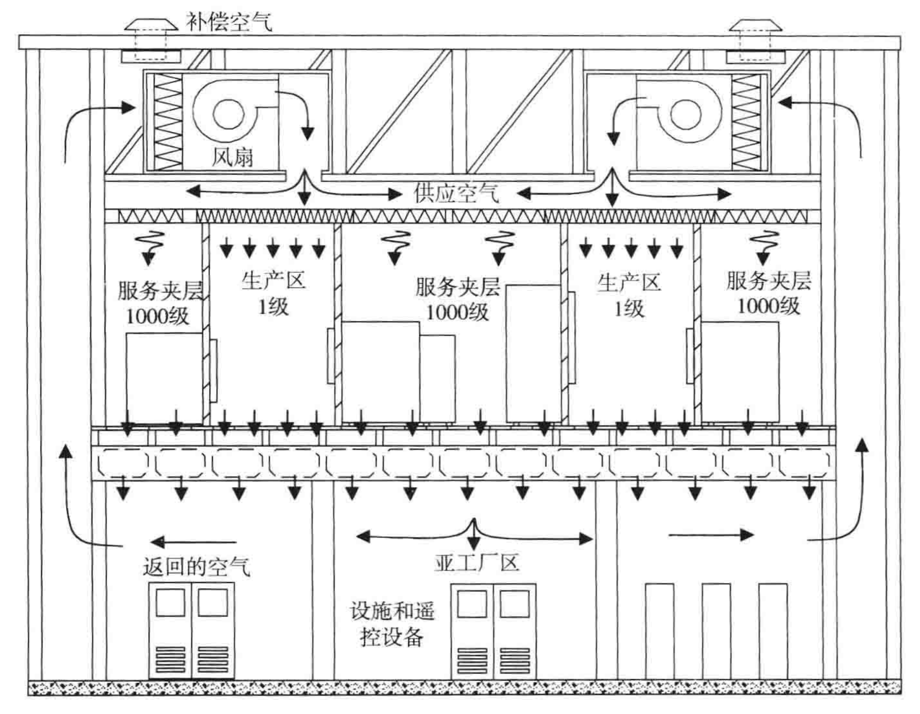


图 6.11 硅片工艺线的空气处理系统

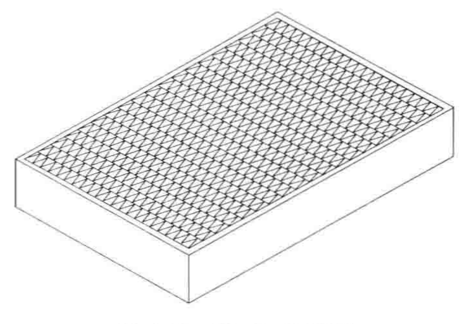


图 6.12　HEPA 过滤器

■ **温度和湿度**　对硅片加工设备温度和湿度的设定有特别的规定。一个1级0.3 μm净化间温度控制的例子是68 ± 0.5°F。[24] 相对湿度（RH）很重要，因为它对侵蚀有贡献（更高的RH助长更多侵蚀，正如水分引起钢锈蚀一样）。典型的RH设定为40%±10%。

■ **静电释放**　多数静电释放（ESD）可以通过合理运用设备和规程得到控制。主要的ESD控制方法有：

- 静电消耗性的净化间材料
- ESD 接地
- 空气电离

净化间材料，如手推车、过滤片、设备等，必须是静电消耗性的。这个术语意味着这种材料的电阻率通过使用导电性附加材料而降低，允许可动的静电荷流经该材料。同时，净化间里的人员和物体都必须持续接地。通过这种方式，静电释放通过硅片接触的人体和所有净化间材料传导，无妨害地通过产品流向地。这一装置避免了由硅片上的器件潜在放电引起芯片不可挽回的损害。

空气电离　工艺过程中有各种各样的绝缘材料位于硅片上，如氧化层薄膜。这些材料容易带电并长时间保持电荷。既然这种绝缘材料与产品紧密接触，那么就需要一种方法来中和这些电荷积累。中和硅片上绝缘材料最基本的方法是通过空气电离。位于净化间天花板内专用的离子发射器产生高电场使空气分子电离，通过失去或得到电子变得导电。当导电性空气接触到带电表面时，如硅片上的绝缘材料，表面能吸引另一极性的离子来中和掉表面静电荷（见图6.13）。

空气电离是有限的，因为很多离子在到达硅片表面前已经由于复合而消失。新近开发的一种空气中和法是采用软X射线辐射[25]。把带电硅片周围的空气曝露于软X射线将产生大量的离子对。这一过程约在两秒后可以有效地中和硅片表面的电荷到0 V。

6.3.4　水

为了制造半导体，需要大量的高质量、超纯去离子（DI）水（有时称为UPW）。城市用水含有大量的沾污以致不能用于硅片生产。去离子水是半导体制造中用得最多的化学品，主要用在硅片的化学清洗溶液和后清洗中。据估计在1条现代的200 mm工艺线中，制造每个硅片的去离子水消耗量达到2000加仑[26]。

超纯去离子水中不允许的沾污有：

- 溶解离子
- 有机材料
- 颗粒

- 细菌
- 硅土
- 溶解氧

图 6.14 展示了水中的各种颗粒及其尺寸[27]。

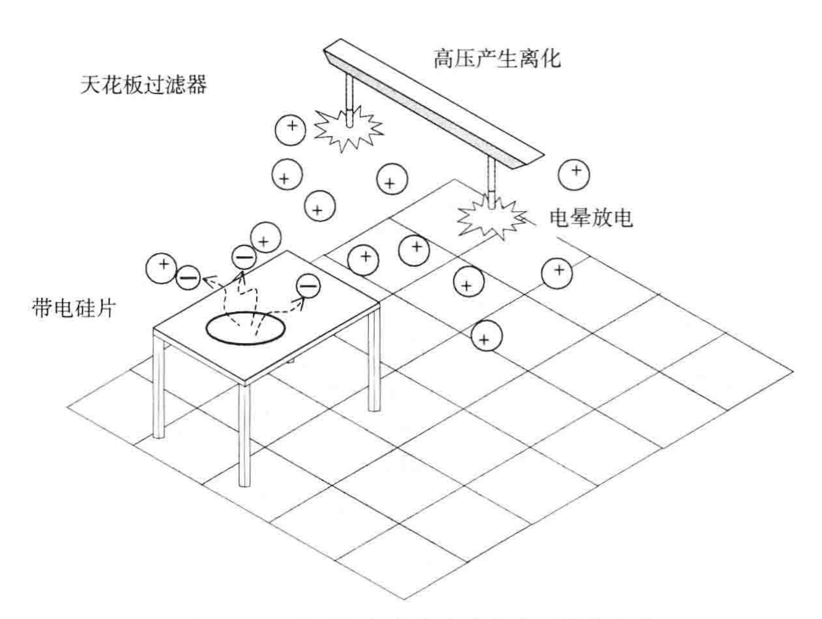


图 6.13　通过空气电离来中和表面的静电荷

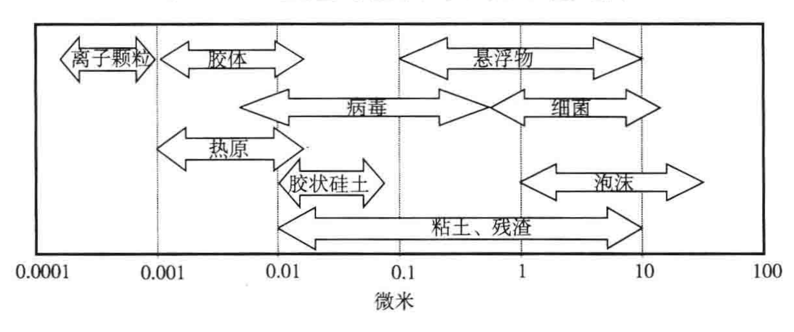


图 6.14　水中的各种颗粒

水中的溶解离子来源于钠和钾这样容易形成离子的矿物质。食盐（NaCl）容易分解为 Na^+ 和 Cl^- 就是一个例子。这些可动离子沾污（MIC）是不希望得到的，并给半导体器件带来性能上的问题。

有机物质，称为有机碳总量（TOC），是指溶解在水中的含碳化合物的总和。有机沾污对氧化层薄膜生长具有破坏性作用。

细菌是活的，在水中产生有机物。细菌排泄的碎片称为热原。水中的细菌带来氧化层、多晶硅和金属导体层的缺陷。某些含磷的细菌能引起不受控制的掺杂。

城市用水中的硅土是细碎的悬浮颗粒，这些颗粒的尺寸遍布从10埃到10微米的范围。高含量的硅土能淤塞水净化设备的过滤装置，并降低热生长氧化物的可靠性。

水中的另一种沾污是溶解氧。它因导致自然氧化层的形成而引发问题。水中溶解氧在水被增压的半导体工艺中也带来问题。当水被减压时，溶解的气体将从溶液释放出来形成气泡，引起硅片表面的不完全润湿[28]。

■ 去离子水装置　去离子水装置包含两个净化水的主要部分，称为补偿循环（makeup loop）和精加工回路（polishing loop）（见图 6.15）[29]。补偿循环从未经加工的水中去除颗粒、有机碳总量（TOC）、细菌、微生物、电离杂质和溶解矿物的全体，它包含一个去除大于 1 微米颗粒的预过滤装置和一个去除电离杂质、细菌及溶解气体的净化部件。精加工回路是水净化系统的最后部分，它可去除其余的沾污。

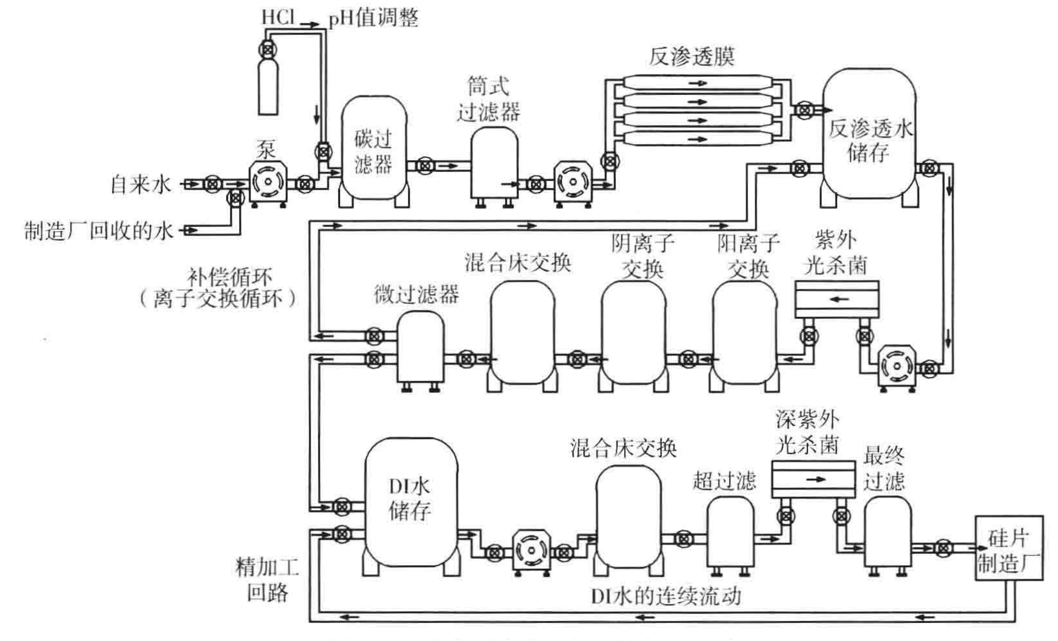


图 6.15　去离子水的补给和精加工回路

■ 去离子化　用以制造去离子水的去离子化过程是指，用特制的离子交换树脂去除电活性盐类的离子。这一过程把水从导电性媒质转变为 25°C 下具有 18 MΩ-cm(18 000 000Ω-cm)电阻率的电阻性媒质。用于硅片加工的去离子水称为 18 兆欧水。超纯去离子水两次流经脱离子剂，一次在补偿循环，另一次在精加工回路。

■ 去离子水过滤　去离子水补偿循环使用了各种过滤器以达到在水流经过过滤器媒质时捕捉颗粒和胶体（尤其是超细粒子）的目的。一种常见的超纯去离子水过滤技术是反渗透（RO），以去除更小的颗粒和金属离子。RO 过滤器的工作原理是让水在压力下流经一个薄膜过滤器，以隔离电离的盐类、胶体和有机物质直至 150 以下的分子量（见图 6.16）。RO 能隔离小至 0.005 微米的杂质，也称为超过滤。

超过滤在现场（POU）使用，意味着它的过滤器位于设备内，以去除亚微米尺寸的颗粒。过滤采用加压手段和流经一层细孔尺寸在 10 埃到 0.2 微米之间的膜。

超纯去离子水的其他部分包括一个脱气器装置，用来去除去离子水中的溶解气体（如氧），以减少硅片表面自然氧化层生长这样的沾污。膜萃取器是用来把溶解气体（主要是氧）去除到 10 ppb 以下含量的改进技术（见图 6.17）[30]。膜萃取过滤器由疏水性聚丙烯多孔空心纤维组成。纤维壁上具有微细的孔隙可使溶解气体通过。然而，纤维的疏水性不允许水通过这些细孔。薄膜去除了氧和所有游离气体。

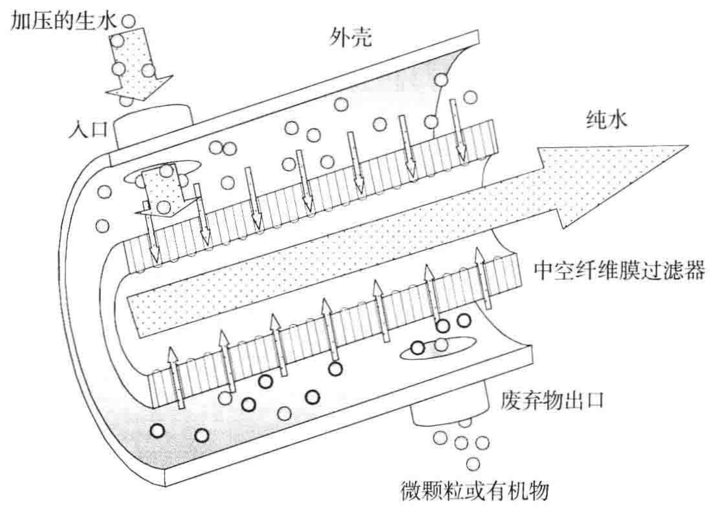


图 6.16　RO 过滤器原理

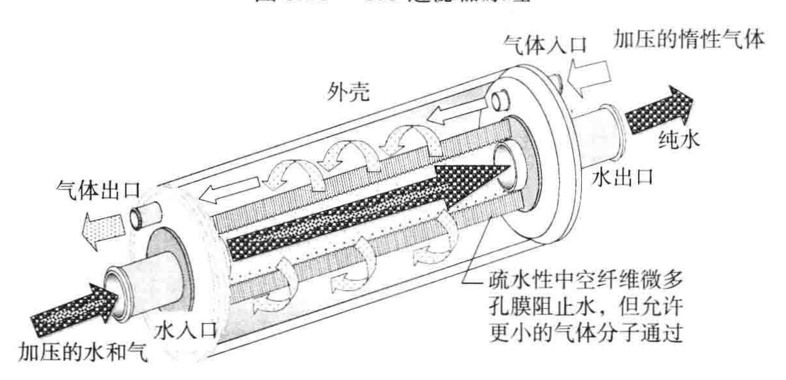


图 6.17　膜萃取过滤器

■ **ζ势**　ζ势代表胶体（液体中一种很细的悬浮颗粒）能积累的正电荷或负电荷。水中的颗粒，如硅土胶体、细菌和热原等，通常具有负电荷 ζ 势。这些胶体能通过一个带正电的过滤器由水中滤除，它捕捉小于过滤器细孔直径的颗粒[31]。这种形式的颗粒过滤依靠静电吸引相反 ζ 势的胶体，而不是依赖于膜的孔隙尺寸（见图 6.18）。

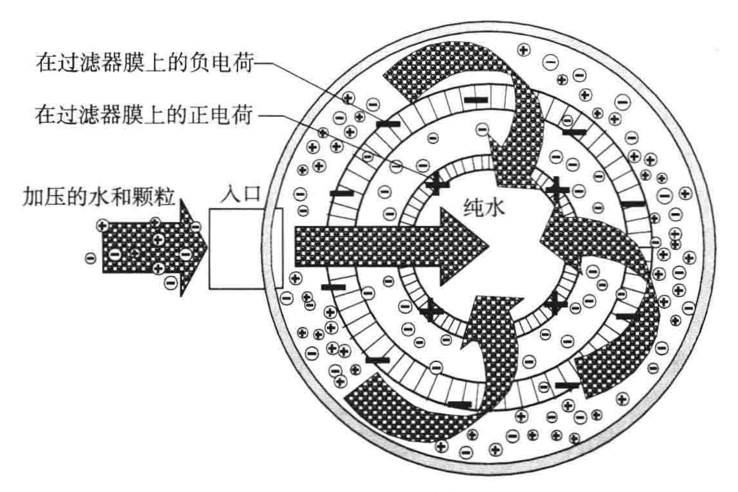


图 6.18　利用 ζ 势的静电过滤

细菌控制 超纯水系统采用紫外（UV）灯来杀灭细菌。水按一定受控流量曝露于紫外光中，灭活某些分子以减少细菌。紫外系统简单又可靠，能把细菌含量减至1%以下。

超纯电子级水处理系统的生物控制也通过向水中掺入臭氧来实现。臭氧（O_3）由干燥空气放电产生。生成的臭氧经过提纯并注入到超纯水中以杀灭细菌。当含臭氧的水曝露于紫外光时，所有臭氧都分解为氧而被除去。既然大多数细菌物理直径超过0.2微米，那么现场微过滤对去除细菌也是有效的。

6.3.5 工艺用化学品

为保证成功的器件成品率和性能，半导体工艺所用的液态化学品必须不含沾污。用检定数（assay number）来鉴别化学纯度，它指的是容器中特定化学物的百分比（与出现的其他物质无关）。例如，一瓶氢氟酸测定为99.99%意味着这个容器盛装了99.99%的氢氟酸和0.01%的其他物质。

过滤器用来防止传送时分解或再循环时用来保持化学纯度。过滤器应该安置在适当的地方(例如，靠近气体控制器入口处)，尽可能靠近工艺室使用现场过滤。不同过滤器分类如下：

颗粒过滤（particle filtration）：适用于大约1.5微米以上颗粒的深度型过滤（见图6.19）。

微过滤（microfiltration）：用于去除液体中0.1到1.5微米范围颗粒的膜过滤。

超过滤（ultrafiltration）：用于阻挡大约0.005到0.1微米尺寸大分子的加压膜过滤。

反渗透（reverse osmosis）：也被称为超级过滤（hyperfiltration）。它是一个加压的处理方案，输送液体通过一层半渗透膜，过滤掉小至接近0.005微米的颗粒和金属离子。

膜过滤使用聚合物薄膜或者带有细小渗透孔的陶瓷作为过滤器媒质（见图6.20）。孔隙的尺寸和分布经控制遍布整个膜。膜充当了一个栅栏，只允许符合特定尺寸标准或孔隙要求形状的物质通过。它也被称为表面过滤，因为它通过表面的拦截作用去除气流中的颗粒。膜过滤器也用在反渗透、微过滤和超过滤中。膜过滤常常用做现场过滤器，置于工艺设备之前提供最后的过滤。

一个优秀的过滤器应该不对所需的流量产生显著的压力衰减，不引入二次沾污并与化学品相容。过滤效率是指停留在过滤器中特定尺寸以上的颗粒的百分比。对于ULSI工艺中使用的液体过滤器，对于0.2微米以上颗粒的典型效率为99.9999999%（称为“9个9效率”）。

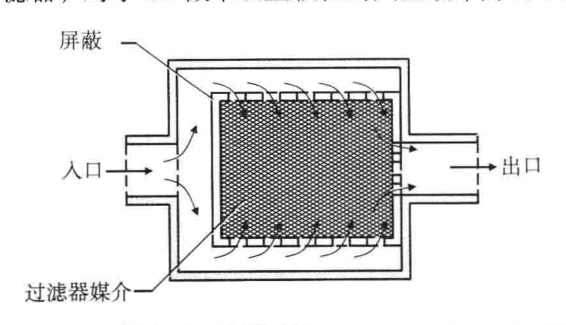


图6.19 深度型过滤器（经International SEMATECH允许使用）

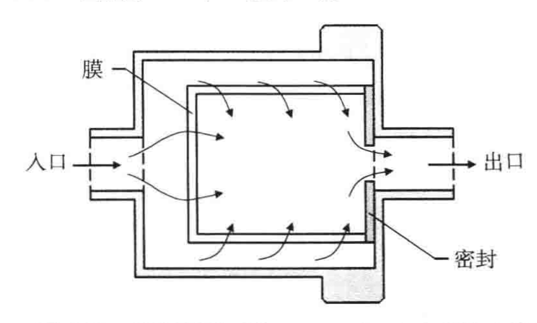


图6.20 膜过滤器（经International SEMATECH允许使用）

■ 工艺气体 对于ULSI时代的半导体制造，超纯气体的传送和使用是很关键的。然而，处理和传送系统有可能引入杂质反过来影响半导体器件的成品率。气体流经提纯器和气体过滤器以去除杂质和颗粒。某些气体过滤器是全金属的（如镍），不会产生颗粒或释放有机沾污。这些过滤器具有一层镍膜，能经受腐蚀性气体，确实可有效过滤小至0.003微米的颗粒。其他气体过滤器用聚四氟乙烯制成。

6.3.6 生产设备

用来制造半导体硅片的生产设备是硅片工厂中最大的颗粒来源[32]。在硅片制造过程中，硅片从片架重复地转入设备中，经过多台装置的操作，卸下返回到片架中，又被送交下一工作台。为了制造一个硅片，这一序列反复重复达450次或更多的次数，把硅片曝露在不同设备的许许多多机械和化学加工过程中。

许多硅片制造过程发生在真空中，需要特殊的设计考虑以避免沾污。下面是工艺设备中各种颗粒沾污来源的一些例子：

- 剥落的副产物积累在腔壁上
- 自动化的硅片装卸和传送
- 机械操作，如旋转手柄和开关阀门
- 真空环境的抽取和排放
- 清洗和维护过程

既然设备自动化意味着更少的人员与产品的交互，现在已经更少关心人员带来的颗粒，而是把更多的重点放在减少设备产生的颗粒上面[33]。制造过程中，当硅片曝露于更多的设备操作时，硅片表面的颗粒数将增加。从图 6.21 可以看出这种情况[34]。

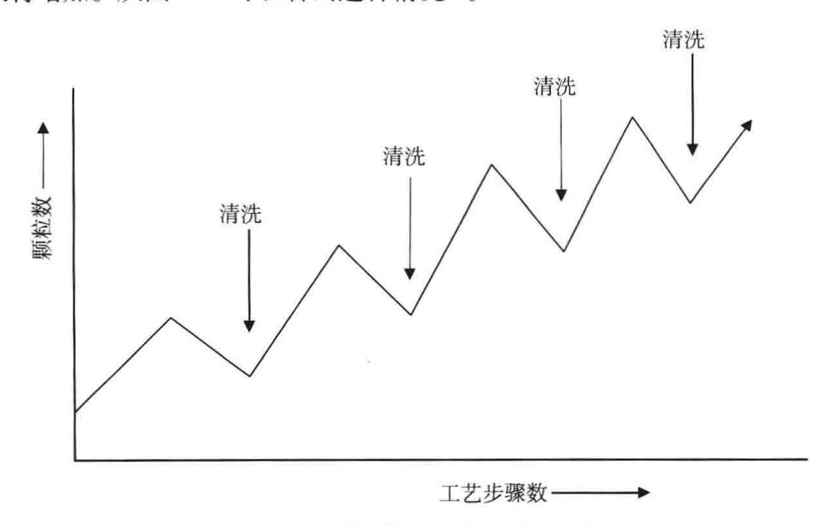


图 6.21　硅片表面的颗粒数与工艺步骤数之间的函数关系

6.3.7 工作台设计

在工艺设备中，采用适当的材料来设计工作台是获得超洁净的净化室所必需的。所有的材料都释放一些颗粒，目标是把释放降低在可以接受的水平上。光滑、高度抛光的表面是减少颗粒沾污最好的方法。不锈钢是广泛采用的工作台面和净化间设备材料。经过适当加工，不锈钢具有相对较低的颗粒释放率。电解抛光是最后的关键步骤。

■ 穿壁式装置　某些工厂选择穿壁式设备布局来安装其设备。在这种处理中，设备的主要部分位于生产区后面的服务夹层中（见图 6.22）。只有用户界面操作平台和硅片架位于生产线内。这种配置隔离开了设备与夹层中的服务区，这是一种低级别沾污的典型。

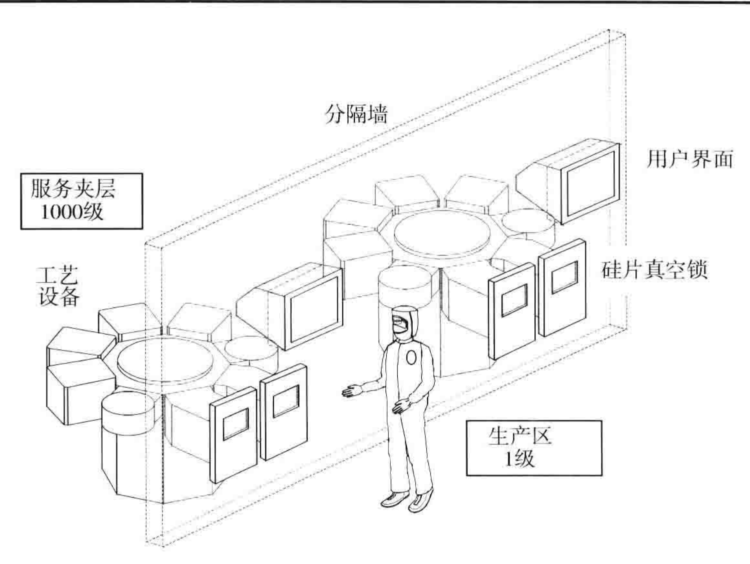


图6.22 穿壁式装置

■ **控制** 从半导体制造早期直到20世纪70年代，硅片通过镊子或真空棒（用真空来支撑硅片的支架）手工控制。随着器件尺寸缩小，手工控制引起颗粒沾污并产生致命缺陷。最终制造商使用片架在设备间传送硅片（典型情况下每个片架放25个硅片），用输送带系统和升降机来拾起并在设备间送入、送出硅片（见图6.23）。片架被设计成产生颗粒最少、具有防静电和最小的化学物释放。

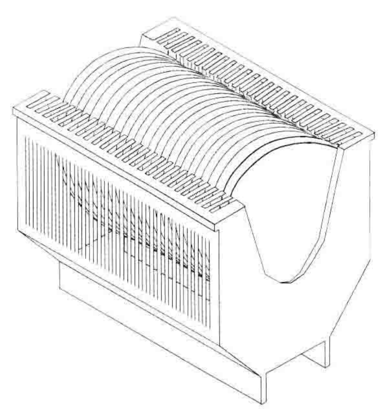


图6.23 片架

当前生产设备中的硅片控制大量采用了自动化技术。自动硅片处理机完成净化间的大多数硅片控制，在片架和工艺设备的工作区之间装载和卸载硅片，在设备中按预先定义好的操作规程处理硅片。这一进步相对于手工控制极大减少了硅片颗粒沾污。

一旦硅片进入了工艺室，它们就被放置于一个卡盘上，在工艺过程中支撑它。在半导体制造的早期，卡盘是一个机械夹具。为了减少硅片顶端的颗粒改用了真空卡盘。然而，真空卡盘倾向于扭曲硅片的形状，这在工艺过程中是不希望有的。为了改善硅片表面的工艺一致性，当前广泛使用了静电吸盘（ESC），它产生最少的颗粒并能在工艺过程中平坦支撑硅片（见图6.24）。静电吸盘通过对卡盘的电极施加电压产生静电荷工作。电极通过一绝缘介质与硅片后表面隔离。硅片的下表面感应出相反的电荷，把硅片紧紧拉向卡盘。

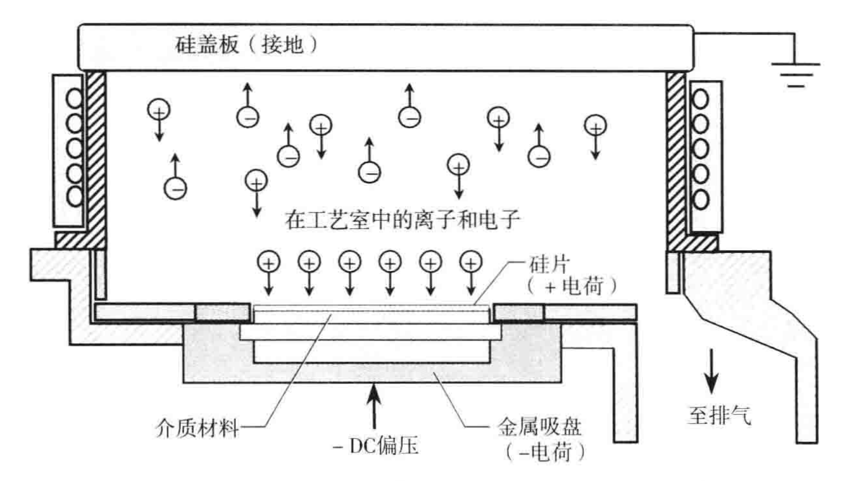


图 6.24 静电吸盘（照片承蒙 Applied Materials 公司允许使用）

■ **微环境** 净化间的概念持续不断地被重新评估，主要是因为更严格控制沾污的需要以及建设净化间需要的巨大成本。在工作台所处的具体位置控制沾污，采用微环境来加工硅片，已经引起越来越大的兴趣。

微环境是指，在硅片和净化间环境不位于同一工艺室时，通过一个屏蔽来隔离开它们所创造出来的局部环境（见图 6.25）。这一概念也被称为硅片隔离技术。微环境净化区域可以包括用来支撑硅片的片架、硅片工艺室、装载通道和储藏区域。

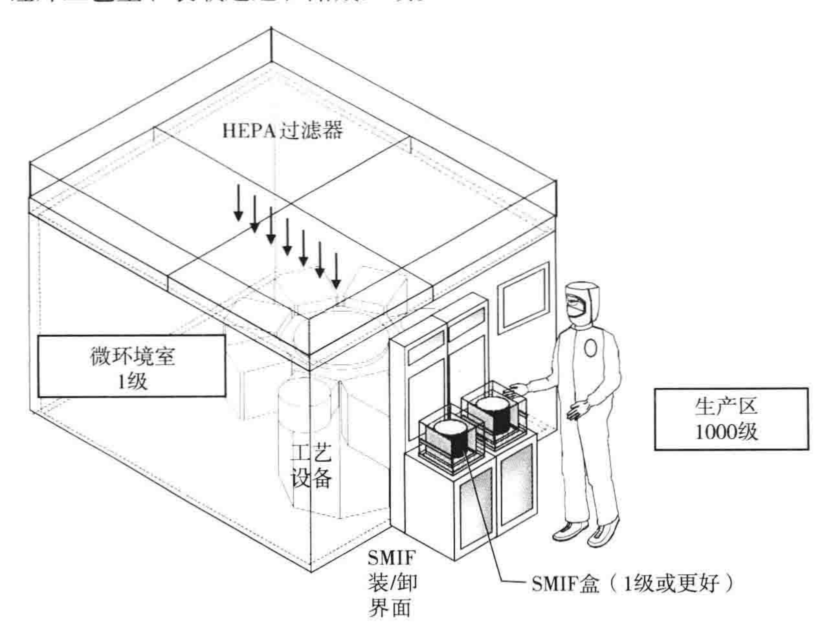


图 6.25 微环境概念

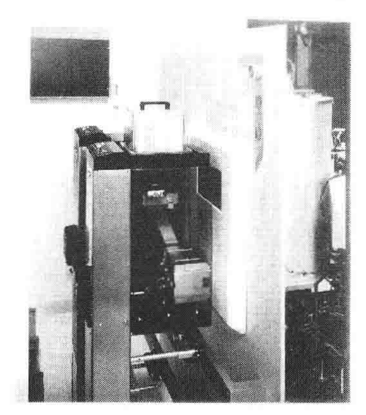
微环境被控制到极端洁净的净化级别（如 0.1 μm 的 0.1 级），而净化间本身在一个较高的级数，如 10 级。这种情况使得硅片在装载卸载和置于工作台加工时能更简便地获得超洁净的环境。

为了在微环境包围的工艺设备之间转移硅片，使用一个标准化的容器密封和传送整架的硅片。这个容器与各种设备具有一个标准机械接口（SMIF），它最初是由惠普（Hewlett-Packard）公司开

发并制作成型的。当把一个容器提交给一台设备时，设备中的机器人自动开启容器门，移走片架，把它提交给设备的机器人。SMIF系统能加入到现有的设备中，或完全集成到设备附件中。

在300 mm的硅片工艺线中，片架和容器是合一的，允许硅片直接从容器中处理。这个新式的容器称为前开口片盒（front-opening unified pod, FOUP）。完全进行自动处理而不需要人工传送硅片容器。SMIF接口完全集成到设备中。

微环境的一个优点是可以控制分子沾污[35]。硅片在装载、卸载和传送时，通过惰性的氮气吹洗与分子沾污隔离开来，这种控制在巨大的净化间内更难获得。微环境通过氮气吹洗也减少了硅片对水蒸气的曝露，这对抑制自然氧化层生长有利。



穿壁式装置的SMIF容器（照片承蒙Applied Materials公司提供）

6.4　硅片湿法清洗

由于硅片上关键尺寸的持续缩小，硅片表面在经受工艺之前必须是洁净的。控制沾污最有效途径是防止沾污硅片。然而，一旦硅片表面被沾污，沾污物必须通过清洗而排除。

硅片清洗的目标是去除所有表面沾污：颗粒、有机物、金属和自然氧化层。每一工艺步骤都是硅片上器件潜在的沾污源。贯穿整个ULSI制造工艺，据估计单个硅片表面要湿法清洗上百次[36]。

6.4.1　湿法清洗概况

占统治地位的硅片表面清洗方法是湿化学法。在20世纪80年代，有一个共识是湿法清洗将在世纪更迭之际被干法清洗取代。为了实现它已经付出了很多努力，但至今没有发现一种能完全成功取代湿法清洗的方法。湿法清洗正当兴盛，并且正在改进以期获得更有效的表面清洗。用在湿法清洗中的典型化学品以及它们去除的沾污列于表6.5。[37]

表6.5　硅片湿法清洗化学品

沾污	名称	化学配料描述（所有清洗随后伴随去离子水清洗）	分子式
颗粒	piranha（SPM）	硫酸/过氧化氢/去离子水	$H_2SO_4/H_2O_2/H_2O$
	SC-1（APM）	氢氧化铵/过氧化氢/去离子水	$NH_4OH/H_2O_2/H_2O$
有机物	SC-1（APM）	氢氧化铵/过氧化氢/去离子水	$NH_4OH//H_2O_2/H_2O$
金属（不含铜）	SC-2（HPM）	盐酸/过氧化氢/去离子水	$HCl//H_2O_2/H_2O$
	piranha（SPM）	硫酸/过氧化氢/去离子水	$H_2SO_4/H_2O_2/H_2O$
	DHF	氢氟酸/水溶液（不能去除铜）	HF/H_2O
自然氧化层	DHF	氢氟酸/水溶液（不能去除铜）	HF/H_2O
	BHF	缓冲氢氟酸	$NH_4F/HF/H_2O$

硅片制造过程中最关键的表面清洗工艺步骤之一发生在硅片上热生长氧化层之前。超薄氧化层必须从完全洁净的硅片表面开始生长。

■ RCA 清洗 工业标准湿法清洗工艺称为RCA 清洗工艺，由美国无线电公司（RCA）的W. Kern和D. Puotinen于20世纪60年代提出，首次发表于1970年。RCA湿法清洗由一系列有序的浸入两种不同的化学溶液组成：1号标准清洗液（SC-1）和2号标准清洗液（SC-2）。

1号标准清洗液（SC-1）的化学配料为$NH_4OH/H_2O_2/H_2O$（氢氧化铵／过氧化氢／去离子水）。这三种化学物按1：1：5到1：2：7的配比混合。2号标准清洗液（SC-2）的组分是$HCl//H_2O_2/H_2O$（盐酸／过氧化氢／去离子水），按1：1：6到1：2：8的配比混合[38]。这两种化学配料都是以过氧化氢（H_2O_2）为基础，习惯上在75°C到85°C之间使用，存放时间为10到20分钟。

1号标准清洗液（SC-1） 如表6.5所示，SC-1清洗液是碱性溶液，能去除颗粒和有机物质。对于颗粒，SC-1湿法清洗主要通过氧化颗粒或电学排斥起作用[39]。要理解氧化机理，得注意过氧化氢是强烈氧化剂，能氧化硅片表面和颗粒。颗粒上的氧化层能提供消散机制，分裂并溶解颗粒，破坏颗粒和硅片表面之间的附着力。这样颗粒变得可溶于SC-1溶液而脱离表面。这一过程如图6.26所示。过氧化氢的氧化效应也在硅表面形成一个保护层，阻止颗粒重新粘附在硅片表面。

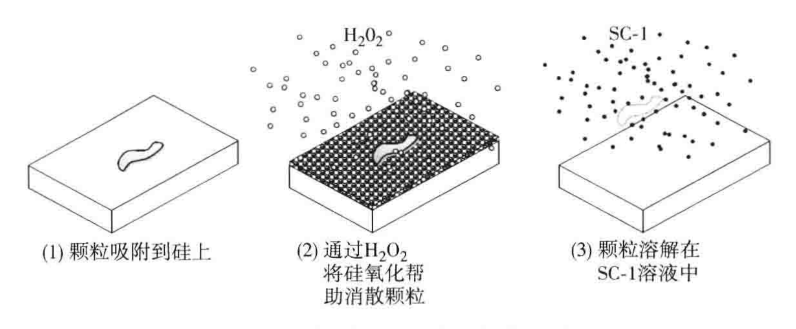


图6.26 颗粒在SC-1中的氧化和溶解

SC-1的颗粒去除机制实际上是以颗粒的电学排斥来实现的。氢氧化铵的氢氧根（OH^-）轻微侵蚀硅片表面，并从颗粒下部切入。氢氧根也在硅片表面和颗粒上积累负电荷。表面和颗粒上的负电荷使得颗粒从表面排斥开并进入SC-1溶液（见图6.27）。表面负电荷的另一个好处是它阻止了颗粒的重新淀积。

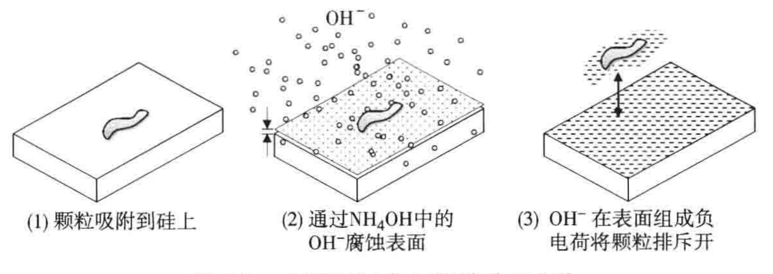


图6.27 颗粒通过负电荷排斥而去除

因为SC-1步骤通过硅的刻蚀过程来去除颗粒，曝露的硅片上将会产生一些微粗糙度（microroughening）。这种微粗糙度值得关注，因为它使ULSI工艺需要的极薄的氧化层生长困难。另一个需要关心的问题是，SC-1的使用证明了硅片的金属沾污和配料中过氧化氢的分解具有相关性。[40]这种沾污要求频繁更换溶液，这是不希望发生的，因为它增加了生产中的化学品使用。

应当注意硅片表面和颗粒电势积累可以通过 ζ 势来描述[41]。要去除颗粒，就应保持硅片和颗粒之间的电学排斥，溶液中二者的 ζ 势应该是同一极性。

2 号标准清洗液（SC-2）　SC-2 湿法清洗工艺用于去除硅片表面的金属。为了去除硅表面的金属（和某些有机物）沾污，必须使用高氧化能力和低 pH 值的溶液。在这种情况下，金属成为离子并溶于具有强烈氧化效应的酸液中。清洗液就能从金属和有机物沾污中俘获电子并氧化它们。电离的金属溶于溶液中，而有机杂质被分解。

■ 改进的 RCA 清洗　已经对 RCA 清洗工艺进行了改进，主要是因为这种工艺在高温下大量使用化学品和超纯水[42]。值得注意的是，现在 RCA 的低温清洗是很普遍的，甚至低到 45°C。极少芯片制造商仍使用与最初的溶液比例相同的RCA清洗液。公司当前采用超纯水稀释100倍以上的配料，称为稀释的清洗化学剂（dilute cleaning chemistries），能获得同最初的溶液相同或更好的清洗效果[43]。例如，稀释的 SC-1 化学比可以是 NH_4OH : H_2O_2 : H_2O 为 1 : 4 : 50 而不是传统的 1 : 1 : 5 比例。稀释的化学反应是关于安全和健康的重大改进，外加由于减少了化学品的使用和处理而具有的成本优势。

RCA 湿法清洗取得持续成功的一个重要原因是超纯水和化学品的可用性。新的清洗方法，如现场化学品生成，比以前提供了更高级别的纯度，产生了更有效的清洗效应。RCA 清洗生成大量的化学蒸气，为防止化学蒸气进入净化间，增加了净化间排放系统的负载。溶液蒸发的另一个问题是它具有随时间推移改变溶液组分的效应。

piranha 配料　piranha 清洗的另一个常用名是 Caros 清洗。piranha 是一种强效的清洗溶液，它联合使用硫酸（H_2SO_4）和过氧化氢（H_2O_2）去除硅片表面的有机物和金属杂质。piranha 在工艺的不同步骤中使用，有时在 SC-1 和 SC-2 清洗步骤之前。最为常见的组分是 7 份浓缩 H_2SO_4 和 3 份 30%（按体积）的 H_2O_2。通常的清洗方法是把硅片浸入 125°C 的 piranha 中 19 分钟，紧接着用去离子水彻底清洗。Caro 酸（Caro's acid）是 piranha 的变种，它通过混合 380 份浓缩 H_2SO_4、17 份 30% H_2O_2 和 1 份超纯水制备而成。

最后的 HF 步骤　许多清洗方法都是在最后一步时把硅片表面曝露于氢氟酸（HF），以去除硅片表面的自然氧化层。硅片表面无自然氧化层，是生长高纯外延薄膜和 MOS 电路栅极超薄氧化物（50 埃或更薄）的关键。HF 浸泡之后，硅片表面完全被氢原子终止，在空气中具有很高的稳定性，避免了再氧化[44]。氢原子终止的硅表面保持着与体硅晶体相同的状态[45]。

化学蒸气清洗　少数几个工厂采用的另一种方法是，用化学蒸气去除工艺室内单个硅片上的残存氧化物和金属沾污。硅片曝露在稀 HF:H_2O 的细密喷雾中，接下来是去离子水清洗和 IPA（异丙醇）蒸气干燥步骤。这个方法是为了减少 HF 的化学用量而提出的，但并没有广泛应用，因为它对清洗性能的改进是最小的。

■ 硅片清洗步骤　典型的硅片清洗顺序如表 6.6 所示[46]。实际的顺序有一些变化，此处略去了某些 HF/H_2O 步骤。

表 6.6　典型的硅片湿法清洗顺序

清洗步骤	目的
H_2SO_4/H_2O_2（piranha）	有机物和金属
UPW 清洗（超纯水）	清洗
HF/H_2O（稀 HF）	自然氧化层
UPW 清洗	清洗
$NH_4OH/H_2O_2/H_2O$（SC-1）	颗粒
UPW 清洗	清洗
HF / H_2O	自然氧化层
UPW 清洗	清洗
HCl//H_2O_2/H_2O（SC-2）	金属

（续表）

清洗步骤	目的
UPW清洗	清洗
HF / H_2O	自然氧化层
UPW清洗	清洗
干燥	干燥

6.4.2 湿法清洗设备

由于湿法清洗在半导体制造中广泛使用，选用设备类型的一个因素是湿法清洗过程中减小化学药品的浓度和用量。传统的湿法清洗工艺在清洗槽中进行；由一系列安装在烟雾罩中的酸槽和清洗槽组成。装备有微处理器控制、机械手操作和自动化学品配比的自备清洗设备很常见。湿法清洗和清洗的趋势是微环境中机械手对无片架的硅片进行操作。没有片架的情况下，化学品流向硅片表面经受更少的阻碍。这种状况能改善清洗效率，减少化学品的用量，导致清洗时间缩短。

■ 兆声（megasonics） 结合SC-1用得最为广泛的一个湿法清洗技术是兆声清洗。兆声清洗在清洗工艺中采用接近1 MHz的超声能量（见图6.28）。这种工艺在更低的溶液温度下（30°C而不是原来的80°C）实现了更有效的颗粒去除。这一事实很重要，因为要去除更小的颗粒很难，更直接地讲是因为要把必要的力传递到如此小尺度的颗粒是困难的[47]。

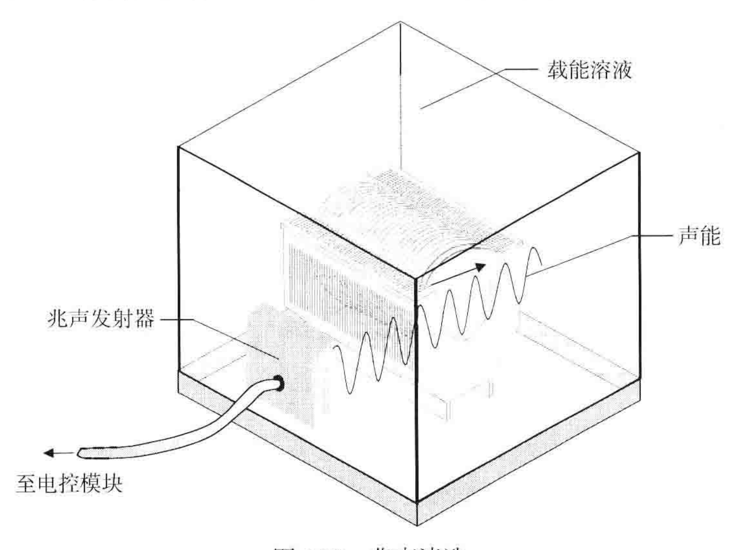


图6.28 兆声清洗

当超声换能器的振动在清洗池的液体中激发起压力波时兆声清洗得以实现。兆声清洗主要的颗粒去除机制是成穴（气泡的形成）和声流[48]。当压力波低压部分产生的泡被气体或蒸气填充时，成穴便发生。空泡在液体媒质中振荡，由于声能而猛烈破裂（爆聚）。破裂效应就是成穴，它促进颗粒移除而不损害硅片[49]。声流是兆声槽内由超声能量引起的液体的稳定流动。流动的液体比静止的水更具有清除效应，因为它能运输颗粒离开表面。

当振荡频率低于100 kHz时，这一工艺称为超声。但是，成穴诱生的蚀损斑在超声频率范围内出现，而在兆声频段（800~1200 kHz）并没有发现[50]。兆声在化学清洗和随后的去离子水清洗操作中广泛应用，其另一个原因是由于它减少了所需的化学品用量。

■ 喷雾清洗 在喷雾清洗技术中，湿法清洗化学品被喷射到置于旋转密封腔内片架的硅片上（见图6.29）。每个清洗步骤后，去离子水清洗液被喷射到硅片上，并且对去离子水的电阻率进行监

控，以确定何时所有的化学物都被去除。喷射腔在工艺过程中被密封以隔离化学物和它们的蒸气。完成清洗和清洗循环之后，腔体充入加热的氮气洗涤，并加速旋转以甩干硅片。

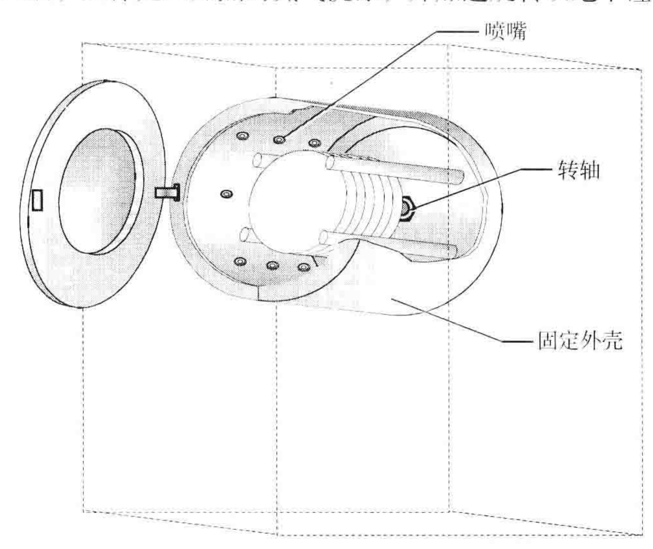


图6.29　用于硅片清洗的喷射设备设计

喷射设备的一个优点是能持续供给预先调配好的、新近混合的化学品喷射到硅片。当喷射的化学品和清洗水的小液滴以很高流量冲击硅片时，将产生一个物理作用力。喷射的使用和硅片旋转产生的离心力确保了减少化学品和水的用量下的有效清洗。使用"旋转－喷射"技术对金属和有机物沾污的去除也有所改善。然而，喷雾清洗不能提供清洗和清洗的均匀性，因为硅片中心并不像硅片边缘那样高速旋转。这个问题对于大直径硅片更为严重。

■ **刷洗器**　硅片刷洗（brush scrubbing）是去除硅片表面颗粒的一个有效方法。刷洗在化学机械抛光（称为CMP，将在第18章讨论）后广泛使用，因为化学机械抛光过程产生大量的颗粒。刷洗能去除直径1微米或更小的颗粒。

早期的硅片刷用尼龙制成，由于刚性的尼龙和高压水喷射的协同作用会损伤硅片表面。当前的刷子用聚乙烯醇（PVA）制成，这是一种柔软、可压缩的像海绵一样的材料（见图6.30）。PVA刷子能有效去除颗粒而不致损伤硅片[51]。刷洗器可以用双面模式来实现，这样可以同时刷洗硅片的两面。刷洗器通常与室温的无毒化学剂和去离子水一起使用，向硅片上喷射液体和刷洗同时进行。

■ **水清洗**　清洗完成后硅片上的化学残余物必须去除。每一步湿法清洗工艺后面都跟随着超高纯度的去离子水清洗。清洗过程需要向硅片表面持续不断地供给超纯水。水清洗也可以用来终止HF清洗步骤的氧化腐蚀作用。

溢流清洗器　传统上绝大多数类型的去离子水清洗都是用溢流清洗器（见图6.31）。去离子水被送入清洗系统流经并环绕硅片，有时使用氮气鼓泡器来增进与硅片表面化学物的混合。溢流清洗器的流体运动用来清除从硅片表面扩散到水流中的沾污。高流动率和无死角是清洗的目标。

溢流清洗工艺也被用于串联清洗系统。在这种情况下，去离子水在两个或三个相互连接在一起的溢流清洗器之间串联。硅片清洗过程从下游的清洗器开始，顺次经过各清洗器而移至第一个直接供给去离子水的清洗器。

溢流清洗器是一种常规装置，但是它消耗大量的去离子水。由于半导体工厂已经用去了大量的水，现在有很多投资转向耗水量更小的交替清洗工艺。

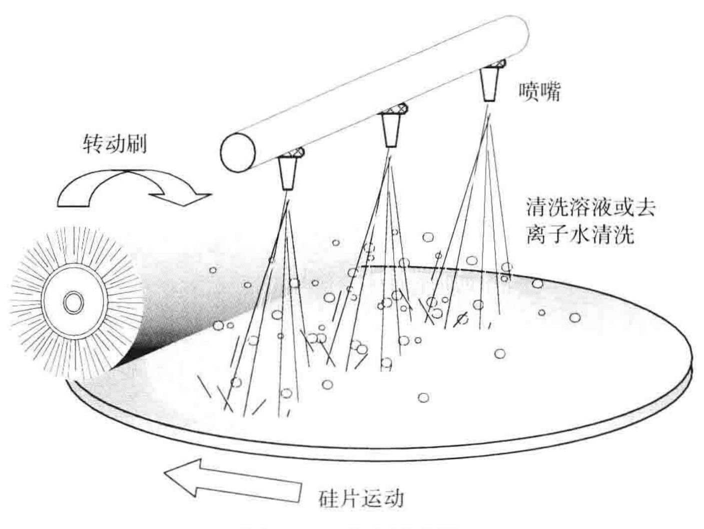


图 6.30 硅片刷洗器

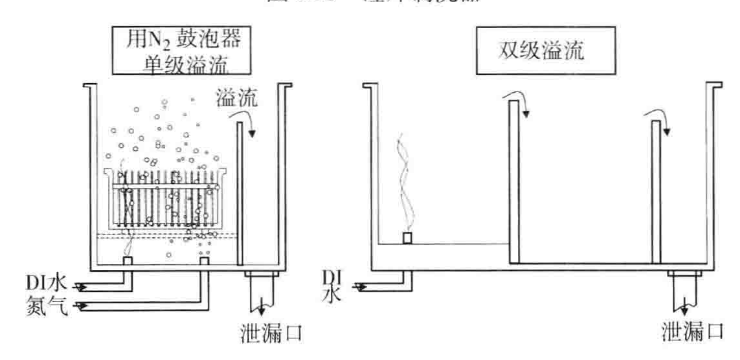


图 6.31 溢流清洗器

排空清洗 排空清洗是一种简单的清洗方法。硅片装入清洗池时，去离子水喷射到硅片上。当达到某一水位时，快速开启池底的排水管，水立即排空（见图 6.32），然后排水管关闭，这个周期按一定次数循环。惰性气体（如氮）不断在水中鼓泡，通过产生清洗反应来增进沾污物的去除。

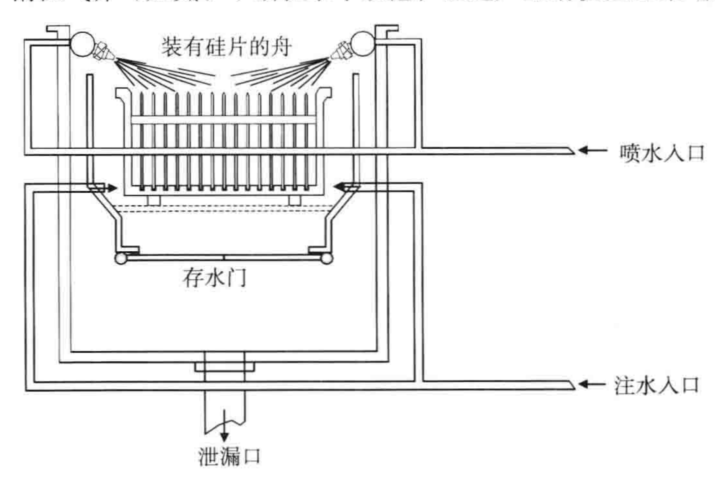


图 6.32 排空清洗

喷射清洗　喷射清洗器典型情况下同硅片清洗和甩干结合在一起使用。它利用水流动的物理作用力去除硅片表面残余的化学物。

加热去离子水清洗　加热去离子水清洗（70~80°C）已经广泛用于硅片清洗。加热去离子水清洗的优点在于它有助于去除残余化学物（尤其是使用了某种HF酸溶液），能改进干燥后的硅片性能。然而，已经有一些研究发现，使用升温后的去离子水产生了硅表面腐蚀的问题，导致表面的微观不平整[52]。表面的微观不平整在需要极薄薄膜的ULSI工艺中是不希望有的。

■ **硅片甩干**　既然使用了大量的水清洗，甩干就非常重要，理想情况下应该没有干燥斑点。硅片对水的响应程度称为它的可湿性。水粘附在亲水性的洁净硅片上，而在疏水性表面上形成水珠。亲水性表面对水具有亲合力，允许水在它上面蔓延成一小滩水。有氧化物和RCA清洗的硅片表面是亲水性的。疏水性表面对水具有排斥作用，不允许大面积的水存在，水通常收缩为水珠，正如刚打过蜡的汽车上的水一样，称为反润湿。刚经过氢氟酸（HF）腐蚀的无氧化物表面由于氢终结了表面而是疏水性的。随着硅片进入工艺，半导体需要疏水性表面以便在随后的薄层生长工艺期间促进粘附[53]。由于HF清洗过的硅片表面容易受到沾污，必须通过足够的努力来彻底干燥硅片的表面。

旋转式甩干机　旋转式甩干机在过去已经广泛使用。一架子硅片送入旋转设备内，在硅片被喷吹加热氮气的同时，通过高速旋转去除水分。然而，也有一些问题，如很难去除孔穴中的水分和由机械装置生成的颗粒沾污。此外，高速旋转引起电荷积累吸引颗粒。在设备内添加静电干扰消除器能控制静电积累。

异丙醇蒸气干燥　在这种工艺中，硅片干燥通过使用具有溶解性的加热异丙醇（IPA）蒸气取代水来实现。这种异丙醇蒸气干燥法受颗粒沾污的可能性更低，但是IPA的纯度级别必须加以控制。IPA在一个槽中加热，硅片悬挂在液面以上的蒸气中。当硅片从蒸气干燥机中移走时，溶液蒸气蒸发，得到干燥的硅片。

6.4.3　RCA清洗的替代方案

已经研究出几种可以取代RCA清洗的清洗技术，并在不同程度上得到应用。

■ **干法清洗**　湿法清洗仍旧满足着硅片工厂中大多数的清洗需要。干法表面清洗技术主要在群集设备中实现，而不是单机设备。最终，通过增加成品率或降低业主成本获得的成本优势将决定干法清洗在硅片制造中使用的频度。

等离子体基干法清洗　等离子体干法清洗必须考虑作为湿法清洗的主要替代。现在，干等离子体技术已用来去除有机光刻胶（称为灰化），或作为工艺设备中的集成预处理步骤去除自然氧化层。在等离子体工艺中，气体和等离子体能量用来产生化学反应，达到去除沾污的目的（在以后的章节中将详细讨论等离子体工艺）。

等离子体清洗的一个例子是微波下游等离子体工艺[54]。这种等离子体能够去除残余薄膜，包括有机材料、金属和其他无机成分。这种等离子体能够去除侧墙薄膜，而对其下介质层的去除量最少。这种等离子体清洗后紧接着一次去离子水清洗。

既然0.18微米及更小关键尺寸的先进工艺需要用到一些具有不同类别残余物（在前面定义过的类别中）的新材料，半导体制造中的干法等离子体清洗工艺还将进一步开发和使用。在许多情况下，湿法清洗的化学反应不具有足够的激活能（用来激发反应的能量）去除所有残余物。这就是等离子体技术具有更高的激活能和硅片清洗需要使用到等离子体法的原因。

■ **螯合剂**　螯合剂用来结合并去除金属离子。一旦这种螯合剂，如乙二胺四乙酸（EDTA），加入到清洗液中，就能减少溶液中金属的再淀积。它通过改变这类金属的氧化还原势以达此目的。一个例子是向SC-1的氢氧化铵中加入螯合物，作为隔离金属与粘附在硅片表面的化学杂质的手段。

■ 臭氧 向超纯水中加入臭氧已被认为可能成为某些RCA湿法清洗的代替。已经证明，臭氧处理过的超纯水结合紧随其后进行的SC-2清洗步骤能有效去除诸如铜（Cu）和银（Ag）这样的金属，同时能去除有机沾污[55]。研究显示，臭氧注入到去离子水中可以取代piranha步骤用于轻有机物的清洗。

■ 低温喷雾清洗 低温喷雾清洗的原理是，充分冷却气体（氩）直至形成固体冰粒，喷射到硅片表面去除颗粒沾污。当氩氮混合物流经一个喷嘴阵列时，氩的冷却通过真空室内的膨胀冷却（降低气压）完成。氮用来稀释氩并且控制固体氩粒子的直径。研究表明，低温喷雾清洗比湿洗清洗更高级。这个工艺在当前并不广泛使用。

6.5 小结

硅片制造在净化间内进行。净化间内控制5类沾污：颗粒、金属杂质、有机沾污、自然氧化层和静电释放（ESD），它们都能影响器件的性能。颗粒必须小于关键尺寸的一半，否则就是致命缺陷。空气通过过滤来控制，用一个净化级别来指示它们的颗粒尺寸和密度。人员必须遵守净化间操作规程以减少沾污。厂房必须具有特殊的地板设计来减少沾污的引入，用层状气流和HEPA过滤器获得超净空气。通过空气电离来控制ESD。超纯去离子水通过反渗透、超过滤和细菌控制等控制着许多类型的沾污。工艺用化学品和气体为了达到高纯度有各种级别的过滤、传输和处理程序。净化间设备使用特殊的工作台设计以减少沾污，通过微环境的使用正在变得更容易控制。

占统治地位的硅片清洗方法是使用SC-1和SC-2的湿法工艺。颗粒和有机物通过SC-1去除，而金属通过SC-2去除。此外的湿法清洗液是piranha混合液和最后步骤的HF。兆声和喷雾清洗是用到RCA的两种常见清洗方法。刷洗器经常用于化学机械抛光（CMP）中去除颗粒。各种类型的去离子水清洗方法包括溢流清洗、排空清洗、喷射清洗和热去离子水清洗。硅片通过旋转式甩干机或IPA蒸气干燥。可替换RCA湿法清洗的清洗方法包括等离子体干法清洗、使用螯合剂、臭氧和低温喷雾清洗。

关键术语

净化间
沾污
致命缺陷
颗粒
浮质
颗粒密度
每步每片上的颗粒数（PWP）
金属杂质
可动离子沾污（MIC）
有机沾污
自然氧化层
静电释放（ESD）
净化级别
超细颗粒
净化间操作规程
补偿循环
精加工回路
水的去离子化
反渗透（RO）
逆过滤
超过滤
膜萃取器
ζ势
紫外（UV）灯
检定数
过滤器
膜过滤器
过滤效率
工作台设计
穿壁式设备布局

舞厅式布局
生产区与技术区夹层
亚工厂
层状气流
高效颗粒空气过滤器（HEPA）
超低渗透率空气过滤器（ULPA）
空气电离
超纯去离子水
有机碳总量（TOC）
热原
硅土
3 号液（piranha）
Caro 酸
清洗槽
兆声清洗
成穴
声流
喷雾清洗
刷洗
去离子水清洗
溢流清洗槽
排空清洗槽
硅片架
自动硅片处理器
静电吸盘（ESC）
微环境
标准机械接口（SMIF）
前开口（FOUP）
湿化学
RCA 清洗
1 号标准清洗液（SC-1）
2 号标准清洗液（SC-2）
稀释的清洗化学剂
喷雾清洗器
加热去离子水清洗
亲水性表面
疏水性表面
旋转式甩干机
IPA 蒸气干燥
等离子体干法清洗
螯合剂
臭氧（O_3）
低温喷雾清洗

复习题

1. 对净化间做一般性描述。
2. 什么是半导体制造中的沾污？
3. 给出致命缺陷的定义。
4. 说明五类净化间沾污。
5. 什么是颗粒？什么是浮质？为什么颗粒是半导体制造的一个问题？
6. 解释半导体制造中可以接受的颗粒尺寸的粗略规则。
7. 描述硅片表面的颗粒密度。什么是 PWP？
8. 给出典型金属杂质的一个例子。给出硅片上有机沾污两个可能来源。
9. 什么是 MIC？
10. 识别半导体制造中一个由有机沾污引起的问题。
11. 什么是有机沾污？提供硅片制造中有机沾污的两个可能来源。
12. 识别半导体制造中由有机沾污引起的两个问题。
13. 解释自然氧化层。识别由自然氧化层引起的三种问题。
14. 解释静电释放（ESD）。
15. 给出在硅片制造中由 ESD 引起的三种问题。
16. 列举硅片制造厂房中 7 种沾污源。

17. 解释空气质量净化级别。
18. 解释以下名词:（a）0.3 μm的10级 （b）0.5 μm的1级。
19. 描述超细颗粒。
20. 解释人员怎样产生颗粒。
21. 列举超净服应当满足的4条标准。描述现代超净服。
22. 列举净化间全体人员应当遵循的7条规程。
23. 给出三条消除净化间颗粒的策略。
24. 描述净化间的舞厅式布局。
25. 什么是净化间的生产区与技术区夹层?
26. 什么是层状气流? 在什么净化级别下层状气流变得关键?
27. 多长时间现代硅片工厂内的空气循环一次?
28. 什么是HEPA和ULPA过滤器? 什么是ULPA过滤器的效率?
29. 什么是硅片工厂内典型的温度和相对湿度（RH）条件? RH控制为什么重要?
30. 列举并解释ESD的三种控制方法。
31. 简述超纯去离子水中不可接受的6种沾污中的每一种。
32. 去离子水装置的两个主要部分是什么?
33. 解释水的去离子化。在什么电阻率级别下水被认为已经去离子化?
34. 描述反渗透（RO）过滤。什么是超过滤?
35. 解释膜萃取过滤器怎样工作?
36. 解释ζ势。
37. 在超纯去离子水中怎样控制细菌?
38. 什么是化学物纯度的检定数?
39. 列举并讨论四类过滤器。
40. 什么是膜过滤器?
41. 描述过滤效率。膜过滤器的典型效率是多少?
42. 描述工艺气体的过滤。
43. 硅片工厂中最重大的颗粒来源是什么?
44. 给出来自工艺设备的颗粒沾污的4个例子。
45. 什么是穿壁式设备布局?
46. 描述硅片架相对手工操作怎样减小颗粒沾污。
47. 大多数净化间怎样控制硅片?
48. 解释静电吸盘的功能和目的。
49. 描述微环境，解释为何这种环境在净化间内改善了沾污控制。
50. 什么是SMIF? 什么是FOUP? 它们怎样使硅片制造受益?
51. 硅片清洗的目标是什么?
52. 占统治地位的硅片表面清洗工艺是什么?
53. 描述RCA清洗工艺。
54. 用在SC-1中的化学配比是什么? SC-1去除什么沾污?
55. 描述SC-1湿法清洗工艺怎样去除硅片表面颗粒。
56. 说明SC-1湿法清洗工艺产生的两个值得关注的问题。

57. 用在 SC-2 中的化学配比是什么？ SC-2 去除什么沾污？
58. 解释什么是稀释清洗化学液。
59. 什么是 piranha 混合液？它从硅片上去除什么沾污？
60. 讨论最后的 HF 清洗步骤以及使用的原因。
61. 列出典型的硅片湿法清洗顺序。什么是清洗槽？
62. 讨论兆声清洗和为何使用它，包括成穴和声流。
63. 讨论喷雾清洗技术。这种清洗方法有什么优点？
64. 讨论硅片的刷洗。它去除什么沾污？在什么工艺步骤中经常用到它？
65. 何时进行去离子水清洗？描述去离子水清洗的三类不同方法。
66. 解释亲水性表面和疏水性表面的不同之处。
67. 描述干燥硅片的两种不同方法。
68. 讨论等离子体清洗。为何等离子体清洗的应用在增加？
69. 什么是螯合剂？它怎样用在清洗中？
70. 臭氧怎样被用于硅片表面清洗？
71. 描述低温浮质清洗。

化学品和设备供应商网站

Adept Technology Inc.	http://www.adept.com
AERONEX Inc.	http://www.aeronex.com
Air Kontrol Inc.	http://www. airkontrol.com
Air Products and Chemicals	http://www. airproducts.com
Amerimade Technology	http://www.amerimade.com
Apex Industries	http://www.apexind.com
Applied Science and Technology	http://www.astex.com
Aquionics Inc.	http://www.aquionix.com
Asahi/America Inc.	http://www.asahi-america.com
Ashland Specialty Co.	http://www.ashchem.com
ASI Technologies	http://www.asidoors.com
AST Products	http://www.astp.com
BOC Edwards	http://www.boc.com/edwards/
Clean Air Products	http://www.cleanairproducts.com
Contamination Control Products	http://www.ccpcleanroom.com
Dow Chemical/Filmtec	http://www.dow.com/liquiddseps/
Dow Corning	http://www.dowcorning.com
Dryden Engineering Co.	http://www.drydeneng.com
Eastman Chemical Co.	http://www.eastman.com
EKC Technology Inc.	http://www.ekctech.com
Entegris Inc.	http://www.entegris.com
Environflex Inc.	http://www.invironflex.com
Filtration Technology Inc.	http://www.filtrationtechnology.com

FSI International	http://www.fsi-intl.com
General Chemical Corp.	http://www.genchem.com
IN USA Inc.	http://www.inusaozone.com
Integrated Designs LP	http://www.pumpless.com
Ion Systems	http://www.ion.com
J. T. Baker	http://www.jtbaker.com
Kappler Protective Apparel	http://www.kappler.com
Koch Microelectronics Service Co.	http://www.kochmicroelectronics.com
Meissner Filtration Products Inc.	http://www.meissner.com
MicroChem Corp.	http://www.microchem.com
Micro Magazine	http://www.micromagazine.com
Millipore Corp.	http://www.millipore.com
Modutek Inc.	http://www.modutek.com
NetMotion Inc.	http://www.netmotion.com
Pall Corp.	http://www.pall.com
Parker Hannifin Corp.	http://www.parker.com
Pope Scientific Inc.	http://www.popeinc.com
PTI Advanced Filtration Inc.	http://www.pti-afi.com
PURAC America Inc.	http://www.purac.com
Schumacher	http://www.schumacher.com
SCP Global Technologies	http://www.scpglobal.com
Sage Technologies Corp.	http://www.sagetech.com
Semitool	http://www.semitool.com
Simco Static Control	http://www.simco-static.com
TEL, Tokyo Electron Ltd.	http://www.teaint.com
The Texwipe Co. LLC	http://www.texwipe.com
Ultrapure & Industrial Services	http://www.ultrapure.com
US Filter/Filterlite	http://www2.usfilter.com
Verteq Inc.	http://www.verteq.com

参考文献

1. T. Hattori, "Particle Reduction in VLSI Manufacturing," *Contamination Control and Defect Reduction in Semiconductor Manufacturing III* (Pennington, NJ: The Electrochemical Society, 1994) p. 3.
2. A. French, *Newtonian Mechanics*, (New York: W. W. Norton, 1971), p. 32.
3. C. Gross et al., "Assessing Future Technology Requirements for Rapid Isolation and Sourcing of Faults," *Micromagazine online edition* (July/August 1998).
4. T. Hattori, "Detection and Analysis of Particles in Production Lines," *Ultraclean Surface Processing of Silicon Wafers: Secrets of VSLI Manufacturing*, ed. T. Hattori, (Berlin: Springer, 1998), p. 245.
5. W. Kern, *Handbook of Semiconductor Wafer Cleaning Technology*, (Park Ridge, NJ: Noyes Publications, 1993), p. 9.

6. C. Chang and T. Chao, "Wafer-Cleaning Technology," *USLI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 67.
7. G. Cooper, "The Effect of CO Cylinder Materials on Wafer Contamination," *Semiconductor International* (July 1997): p. 301.
8. C. Chang and T. Chao, "Wafer-Cleaning Technology," p. 67.
9. S. De Gendt et al., "Silicon Surface Metal Contamination Measurements Using Grazing-Emission XRF Spectrometry," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997) p. 397.
10. K. Saga, "Influence of Surface Organic Contamination on the Incubation Time in Low-Pressure Chemical Vapor Deposition of Silicon Nitride on Silicon Substrates," *Science and Technology of Semiconductor Surface Preparation Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997): p. 379.
11. T. Ohmi, "Total Room Temperature Wet Cleaning for Si Substrate Surface," *Journal of the Electrochemical Society* (September 1996): p. 2957.
12. C. Chang and T. Chao, "Wafer-Cleaning Technology," p. 80.
13. M. Suzuki et al., "Etching Characteristics During Cleaning of Silicon Surfaces by NF3-added Hydrogen and Water-Vapor Plasma Downstream Treatment," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997): p. 167.
14. D. Tolliver, *Handbook of Contamination Control in Microelectronics: Principles, Applications and Technology*, (Park Ridge, NJ: Noyes Publications, 1988), p. 175.
15. L. Levit and J. Menear, "Measuring and Quantifying Static Charge in Cleanrooms and Process Tools," *Solid State Technology* (February 1998): p. 85.
16. A. Braun, "Cleanroom Technologies Continue to Keep Contamination at Bay," *Semiconductor International* (March 1998): p. 58.
17. R. Kraft, "Proper Cleanroom Protocol," *Semiconductor International* (March 1998): p. 73.
18. Summarized from R. Kraft, "Proper Cleanroom Protocol," *Semiconductor International* (March 1998): p. 73.
19. R. Jarvis and L. Armentrout, "Full-Fab Surface Particle Detection Improves Yields," *Semiconductor International* (June 1997): p. 199.
20. J. Schroeder, "Automation-Centric Processing Bay Layout," *Semiconductor International* (June 1997): p. 209.
21. H. Tseng and R. Jansen, "Cleanroom Technology," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 14.
22. S. Middleman and A. Hochberg, *Process Engineering Analysis in Semiconductor Device Fabrication*, (New York: McGraw-Hill, 1993), p. 125.
23. H. Tseng and R. Jansen, "Cleanroom Technology," p. 28.
24. D. Mahoney, "The Construction of a Class 1 Cleanroom: A Case Study," *Semiconductor International* (October 1997): p. 141.

25. H. Inaba, "Effect of Electrostatic Charge on Particle Adhesion on Wafer Surfaces," *Ultraclean Surface Processing of Silicon Wafers: Secrets of VLSI Manufacturing*, ed. T. Hattori (Berlin, Springer, 1998): p. 143.
26. T. Roche, T. Peterson, and E. Hanson, "Water Use Efficiency in Immersion Wafer Rinsing," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477, (Warrendale, PA: Materials Research Society, 1997): p. 527.
27. R. Mohindra and W. Kern, "New Process for Producing Particle-Free Deionized Water," *Semiconductor International* (July 1997): p. 191.
28. M. Dax, "Membrane Contactor Technology Gives PPB Dissolved Oxygen in Water," *Semiconductor International* (December 1996): p. 36.
29. H. Tseng and R. Jansen, "Cleanroom Technology," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 39.
30. M. Dax, "Membrane Contactor," p. 36.
31. R. Mohindra and W. Kern, "New Process," p. 194.
32. T. Hattori, "Detection and Analysis of Particles in Production Lines," *Ultraclean Surface Processing of Silicon Wafers: Secrets of VLSI Manufacturing*, ed. T. Hattori (Berlin: Springer, 1998), p. 245.
33. A. Braun, "Cleanroom Technologies Continue to Keep Contamination at Bay," *Semiconductor International* (March 1998): p. 58.
34. T. Hattori, "Trends in Wafer Cleaning Technology," *Ultraclean Surface Processing of Silicon Wafers: Secrets of VLSI Manufacturing*, ed. T. Hattori (Berlin: Springer, 1998), p. 438.
35. R. McIllvaine, "Cleanroom Demands for the Next Generation," *Semiconductor International*, (March 1998): p. 68.
36. T. Ohmi, "Revolution of Silicon Substrate Surface Cleaning," *ULSI Science and Technology Proceedings* 97-3, (Pennington, NJ: The Electrochemical Society): p. 197.
37. T. Hattori, "Trends in Wafer Cleaning Technology," Supplement to *Solid State Technology* (May 1995): p. S8.
38. C. Chang and T. Chao, "Wafer-Cleaning Technology," p. 61.
39. Ibid., p. 64.
40. M. Meuris et al., "The IMEC Clean: A New Concept for Particle and Metal Removal on Si Surfaces, " *Solid State Technology* (July 1995): p. 109.
41. T. Ohmi, "Total Room Temperature," p. 2957.
42. Ibid., p. 2958.
43. M. Heyns et al., "Advanced Wet and Dry Cleaning Coming Together for the Next Generation," *Solid State Technology* (March 1999): p. 40.
44. J. Rosamilia et al., "Hot Water Etching of Silicon Surfaces: New Insights of Mechanistic Understanding and Implications to Device Fabrication," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997): p. 181.
45. T. Ohmi, "Total Room Temperature," p. 2958.
46. T. Ohmi, "Total Room Temperature," p. 2961.
47. R. DeJule, "Trends in Wafer Cleaning," *Semiconductor International* (August 1998): p. 64.

48. J. Liu et al., "Si_3N_4 Particle Removal Efficiency Study," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997), p. 27.
49. G. Gale, A. Dai, and I. Kashkoush, "How to Accomplish Effective Megasonic Particle Removal," *Semiconductor International* (August 1996): p. 133.
50. Ibid.
51. R. DeJule, "Trends in Wafer Cleaning," p. 65.
52. J. Rosamilia, "Hot Water Etching," p. 181.
53. J. Park et al., "The Formation of Water Marks on Both Hydrophylic and Hydrophobic Wafers," *Science and Technology of Semiconductor Surface Preparation, Symposium Proceedings* 477 (Warrendale, PA: Materials Research Society, 1997): p. 513.
54. K. Lao and W. Wu, "Microwave Downstream Plasma Removes Metal Etch Residue," *Semiconductor International* (July 1997): p. 231.
55. T. Ohmi, "Total Room Temperature," p. 2959.

第7章　测量学和缺陷检查

从硅片制造的最初阶段就开始进行检查。半导体生产的熟练工人在简单观察硅片表面的氧化物薄膜后就能预测相应的薄膜厚度。无论氧化物薄膜出现何种色泽，都可以与比色表对比，比色表是由与每种色泽相结合的不同膜厚的一片片硅片组成的（参见附录D）。

硅片工艺流程的检查技术经历了重大的改变。特征尺寸不断缩小，现已缩小到0.25微米以下。同时，在硅片上的芯片密度不断增加。每一步都有决定着成功还是失败的关键问题：沾污、结深、薄膜的质量等。另外，新材料和工艺的引入都会带来芯片失效的新问题。测量对于描绘硅片的特性与检查其成品率非常关键。

为了维持良好的工艺生产能力并提高器件的特性，硅片制造厂已提高了对工艺参数的控制，并减少了在制造中缺陷的来源。这些改善可以从某些方面着手使整个工厂的工艺更加稳定，例如设备自动化、机器手控制、减少沾污以避免等待太久。如果没有检测硅片以及评估工艺参数的能力，其他方面的改善是不可能的。使用高度精确的设备进行评估，该设备能提供关于硅片制造性能的实时数据，并为工程师和技术人员确定工艺流程提供关键信息。

目标

通过本章的学习，你将能够：

1. 解释为什么进行集成电路测量，并讨论与测量有关的问题，包括设备、成品率和数据采集。
2. 辨别硅片制造中12种不同的质量测量，并阐明每一种测量用在工艺流程的什么地方。
3. 描述与不同质量测量相关的测量学方法和设备。
4. 列出并讨论用于支持集成电路制造的7种分析仪。

7.1　引言

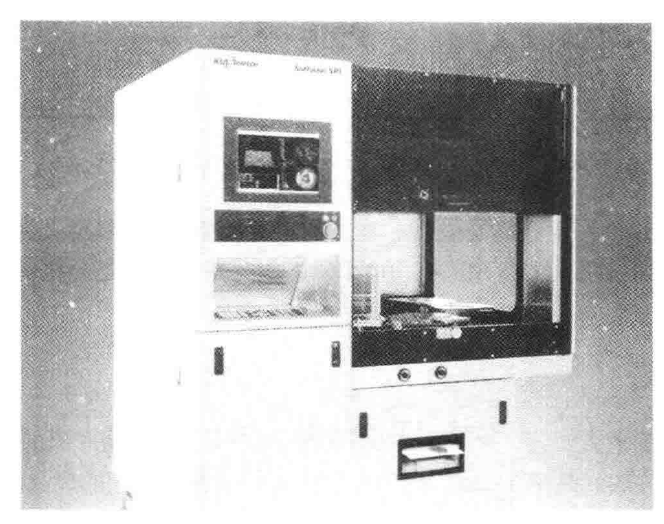
测量学是关于确定尺寸、数量和容积的测量的科学。测量学指的是在工艺流程中为了确定硅片的物理和电学特性的技术与过程。用于制造中的测量学使用测试设备和传感器来收集并分析关于硅片参数和缺陷的数据。缺陷是指导致不符合硅片规范要求的硅片特性或硅片制造工艺的结果。硅片的缺陷密度是指硅片表面单位面积的缺陷数，通常以cm^2为单位。硅片缺陷按类型和尺寸来划分。制造人员（例如技师、工程师和管理人员）应用测量学测量以确保产品性能，并做出关系到改善工艺性能的有意义的决定。

对硅片性能的精确评估必须贯穿于制造工艺，以验证产品满足规范要求。要达到这一点，在硅片制造的每一工艺步骤都有严格的质量测量，为使芯片通过电学测试并满足使用中的可靠性规范，质量测量定义了每一步需要的要求。质量测量要求在测试样片或生产硅片上大量收集数据以说明芯片生产的工艺已满足要求。

7.2　集成电路测量学

集成电路测量学是测量制造工艺的性能以确保达到质量规范标准的一种必要的方法。为了完成这种测量，需要样片、测量设备和分析数据的方法。传统上，大部分在线数据已经在监控片（又称

为样片）上收集。样片是空白（或无图形）的硅片，包含在工艺流程中，专为表征工艺的特性。经过适当的处理，例如表面剥离和清洗，可将这些空白硅片回收重复使用。例如，在立式扩散炉中，热氧化过程所包含的测试片是用来测量氧化层厚度以及检查炉管内的颗粒。根据工艺步骤，空白硅片表面可能包含预淀积的薄层。



无图形的表面测试系统
（承蒙 KLA-Tencor 公司允许使用照片）

为进行在线工具的监控，许多半导体制造厂已经开始使用生产的硅片，有时是用有图形的硅片（见图 7.1）。用实际生产硅片模拟更接近在工艺流水中发生的情况，为制造团队成员做出决定提供了更好的信息。

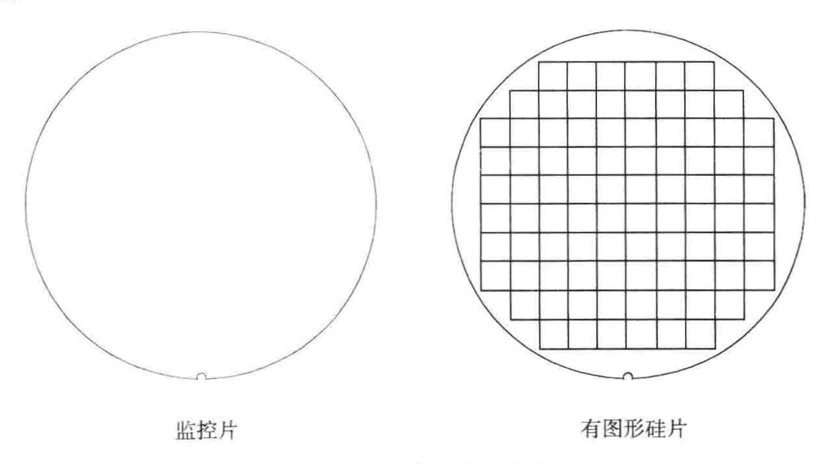


图 7.1　监控片与有图形的硅片

7.2.1　测量设备

在硅片制造中，用于性能测量的测量学设备有不同的类型。区分这些设备最主要的方法是看这些设备怎样运作，是与工艺分离的独立测试工具还是与工艺设备集成在一起的测量学设备。表 7.1 展示了测量设备的两种主要分类[1]。独立的测试设备进行测量学测试时，不依附于工艺。集成的测量仪器具有传感器，这些传感器允许测试工具作为工艺的一部分起作用并发送实时数据。

表 7.1 测试工具分类

	独立使用的仪器
不在生产线	在工厂外可用（通常有破坏性或污染）
在生产线内	在工厂内可用（测试监控片，硅片通常有破坏、沾污或无图形）
在生产线上	在生产中（能测试有图形的硅片）
	综合的仪器
生产时	能够在工艺车间测试有图形的硅片但不能在硅片工艺中测试
原位	在工艺中（实时测试）硅片、工艺和设备

7.2.2 成品率

成品率是一个硅片工厂生产高质量管芯能力的重要标志。成品率定义为产出的合格部分与整个部分的百分比。例如，在一个硅片上有200个管芯，其中190个是合格的，那么硅片的成品率就是：

$$\text{Yield}(\%)=\frac{190}{200}\times 100=95\%$$

计算成品率有不同的方法。一种测量成品率的方法涉及一个时期产出的那部分类型。例如，一周之内生产的所有硅片的成品率。对应于半导体生产的某一特定工艺的成品率也能进行测量，如在刻蚀工艺中管芯的成品率。对于半导体制造来说重要的成品率测量是硅片的品质成品率，它标志着功能测试之后合格管芯的百分数（参见第19章）。

成品率广泛用于半导体生产，用它来反映工艺流程是否正常。高的成品率标志着工艺生产的产品合格并按设想运行。低的成品率说明在产品设计和制造中有质量问题，必须进行改进予以解决。

原位测量是近年来发展起来的，甚至在20世纪90年代还不很常用。随着设备效率的提高而出现，并将进一步实现集成原位测量及生产设备。

7.2.3 数据管理

由于缩小了特征尺寸，在集成电路制造中查找缺陷成了一项挑战。半导体制造商必须有划分缺陷的一种方法，分清真假缺陷。为找出合适的解决办法，要查明缺陷的根源。为了查出不同缺陷怎样影响硅片的成品率，缺陷分析应该能区分出随机因素和非随机因素，并能与电学和其他测试数据相联系。

在很大程度上，缺陷分析需要软件系统支持。大的软件测试程序与主要的测试工具相联，并能建立取样计划，分析缺陷数据以及探测其趋势。为了进行失效分析，必须将缺陷分类。最高级的测量学软件具有基于软件识别图形的自动化缺陷分类（ADC），它能识别缺陷并将其分类。高级的缺陷管理软件具也能将硅片按用户定制的标准分类显示，包括工艺监控的统计工艺控制（SPC）。

7.3 质量测量

在整个硅片生产工艺中有许多质量测量，说明了集成电路工艺测量学的广泛性。通过电学测量，半导体质量测量定义了硅片制造的规范要求，以确保满足器件的性能和可靠性。表7.2中展示了主要的质量测量，包括每一步进行测量的工艺部分。半导体制造商为使其产品在工艺的每一步都符合精确的要求，制定了特殊的质量测量规范。制造商可以制定高于列在表7.2中的其他质量要求。

表 7.2　在硅片制造生产区的质量测量

质量测量	注入	扩散 *	薄膜		抛光	刻蚀	曝光
			金属	电介质			
1 膜厚		√	√	√	√	√	√
2 方块电阻	√	√	√				
3 膜应力		√	√	√			
4 折射率		√		√			
5 掺杂浓度	√	√					
6 无图形表面缺陷	√	√	√	√	√	√	
7 有图形表面缺陷						√	√
8 关键尺寸（CD）						√	√
9 台阶覆盖					√	√	
10 套刻标记							√
11 电容 – 电压特性		√					
12 接触的角度							√

* 扩散区工艺包括：氧化、淀积、扩散、退火和合金

7.3.1　膜厚

由于硅片工艺是成膜工艺，在整个制造工艺中硅片表面有多种类型不同的膜。这些不同类型的膜有金属、绝缘体、光刻胶和多晶硅。为生产可靠的管芯，这些薄膜的质量是高成品率制造工艺的基础。

膜的关键质量参数是它们的厚度。膜厚测量可以划分为两个基本类型：它们或是测量不透明（遮光物，如金属）薄膜或是透明薄膜。在一些情况下，例如栅氧电介质，膜的厚度必须精确到 1 埃（Å）或者更小来测试。膜的其他质量参数包括表面粗糙度、反射率、密度以及缺少针空和空洞。

■ 电阻率和薄层电阻（方块电阻）　估算导电膜厚度一种最实用的方法是测量方块电阻 R_S。为了讨论方块电阻，需要理解在薄膜层中电阻和电阻率之间的关系。考虑电流过一方形导电材料，如图 7.2 所示的厚度、长度和宽度。回顾第 2 章，一块导体的电阻（R）定义如下：

$$R = \frac{\rho l}{a}（欧姆）$$

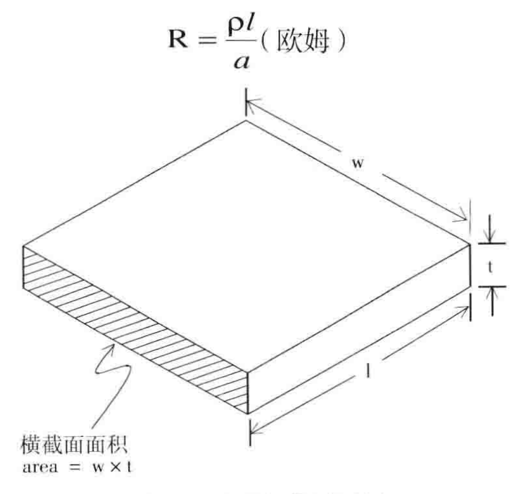


图 7.2　方形的薄层图例

通过宽度乘以厚度（w × t）得到横截面面积，并能替代公式中的面积。假定长度（l）和宽度（w）相等，那么 l 可以被 w 代替。代入之后得到：

$$R_S = \frac{\rho l}{w \times t}$$

$$R_S = \frac{\rho l}{l \times t}$$

$$R_S = \frac{\rho}{t}(\Omega/\square)$$

其中，R_s = 方块电阻（Ω/□）

ρ = 薄膜电阻率（欧姆 – 厘米）

t = 薄膜厚度

薄层电阻（R_s）可以理解为在硅片上正方形薄膜两端之间的电阻。它与薄膜的电阻率和厚度有关。方块电阻与正方形薄层的尺寸无关。测量方块电阻时，相同厚度等距离的两点间会得到相同的电阻。基于这一原因，R_s的单位为欧姆/□（Ω/□）。R_s的纲量单位与欧姆相同，但实际上R_s隐含的意义是薄膜的方块电阻。如果已知厚度和薄层电阻，则薄层电阻率ρ_s可按如下公式计算：

$\rho_s = R_s(t)$ （欧姆 – 厘米）

由于仅薄膜厚度不同，方块电阻和方块电阻率时常互换使用。用于测量方块电阻的工具是四探针。

四探针法 实际上不能像电子技术人员通常使用万用表那样，通过两个简单的电极测量薄膜上的电阻。这是因为在电极和硅片材料的接触界面有额外的接触电阻。在半导体工厂中，广泛使用测量方块电阻的方法是四探针法。这种方法是把4个在一条线上的探针等距离放置，让它们依次接触硅片（见图7.3）。在外面的两根探针之间施加已知的电流值（I），可测得里面的探针之间形成的电势差（V）。这样避免了要对接触电阻进行处理。

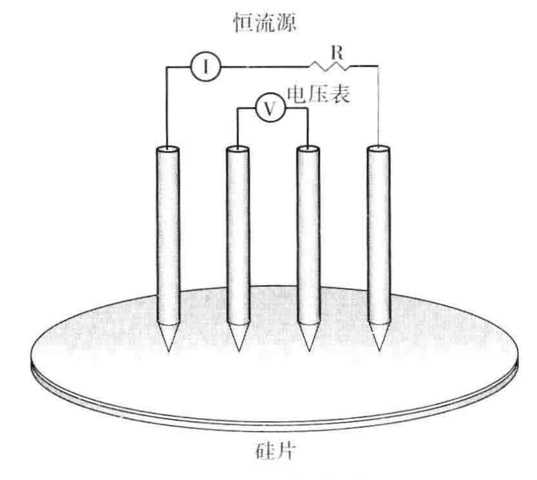


图 7.3 四探针法

两探针间的间隔s应小于硅片直径和薄层厚度。薄膜的方块电阻的电阻率与四探针的电流和电压的关系是：

$$\rho_s = \frac{V}{I} \times 2\pi s(\Omega/\text{cm})$$

其中，ρ_s= 方块电阻的电阻率（欧姆 – 厘米）

V= 通过探针的直流电压（伏特）

I = 通过探针的直流恒定流（安培）

s = 两探针的间距

如果慎重地选择仪表并且确定探针的压力及电流范围，用四探针法测量电阻率就能重复控制在 2% 以内[2]。四探针法是非破坏的技术（例如，为进行测试，硅片不必受到永久的损害）。然而，由于从探针触点到硅片间存在损伤可能，半导体产业已向非接触探针发展[3]。一种非接触方法是使用漩涡电流。流经线圈的高频交流电流在放置于线圈下的导电薄膜中产生漩涡电流。漩涡电流将产生能量损失，可归结于导电膜电阻产生的负载效应。电能的最终变化值可用于计算被测薄膜的方块电阻的值。

■ 方块电阻(不透明薄层)　方块电阻间接用于测量淀积在绝缘衬底的不透明导电膜的厚度，例如金属、硅化物或半导体膜。只要薄层大且探针的间距小，方块电阻（R_s）就可由下式得到[4]：

$$R_s = 4.53\frac{V}{I}(\Omega/\square)$$

实际上，这一公式由上页列出的方块电阻的方程导出。常量 4.53 是在探针间距很小且膜尺寸无限大的假设下的修正系数。如果薄膜不是无限大，修正系数可以调节为不同的值。

范德堡法　四探针法的一种修正是范德堡方法，它用四探针测量任意有图形样本的周边（见图7.4）。这一概念是基于测量正方形图形的两角电流的同时测另外两角的电压。这种方法得到的结果与四探针法相同。

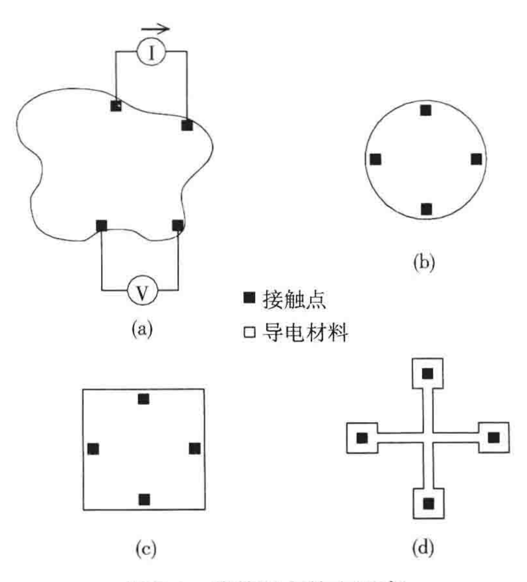


图 7.4　范德堡方块电阻率

等值线图　实际上用四探针法测量方块电阻的优点在于，这种技术可以在测试硅片的许多位置上进行，用以绘制等值线图（见图7.5）。等值线图典型地用显示标称 Ω/□ 的等值线表示数据，然后标出在这一标称值上下的偏差。方块电阻数据由在硅片上预定的测试点的数目得到。

■ 椭偏仪(透明薄膜)　椭偏仪是非破坏、非接触的光学薄膜厚度测试技术，主要用于测透明的薄膜。在硅片制造厂，这是种领先的膜厚测量方法[5]。椭偏仪的基本原理是用线性的偏振激光源，当光在样本中发生反射时，变成椭圆的偏振（见图7.6）。偏振光由通过一个平面的所有光线组成。椭偏仪测量反射得到的椭圆形，并根据已知的输入值（例如反射角）精确地确定薄膜的厚度。在椭偏仪中通常是改变入射光的角度以提供更多的测量样片，它们被用于膜材料的优化。这种方法被称为

可变角度椭偏仪（VASE）。可变角度椭偏仪改善了测量多层重叠结构的椭偏仪，这些结构在甚大规模集成电路中非常普遍（参见第12章对多层重叠结构的描述）[6]。

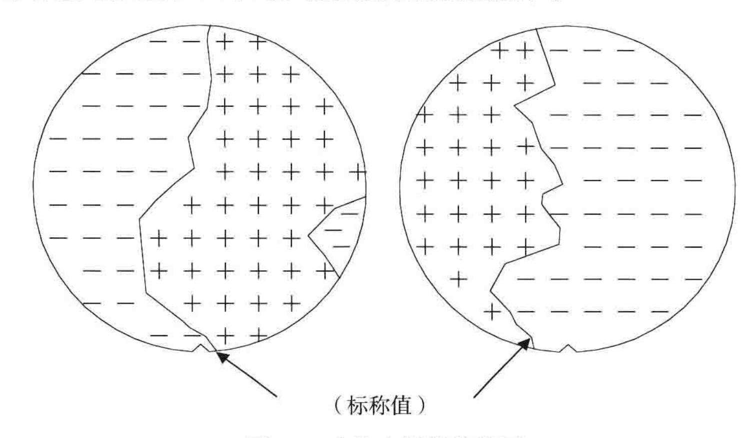


图7.5 方块电阻等值线图

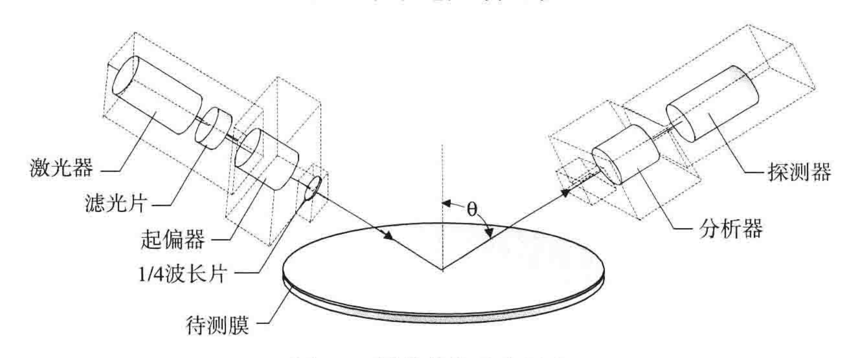


图7.6 椭偏仪的基本原理

光谱椭偏仪分析在一个较宽光谱范围内的偏振变化(光谱使用由不同材料发出的特征波长)。在生产环境中，关于薄膜反射后不同波长相对于另一种膜如何改变的信息非常有用，因为它使得椭偏仪对不同薄膜的物理特性很敏感。椭偏仪能测量几十埃量级厚度的不同类型的薄膜[7]。这种材料包括介质、金属和涂覆的聚合物。最基本的要求是膜层为透明或半透明的。全自动薄膜的椭偏仪通常测量栅的厚度<40 Å，重复性优于0.1%。另一个椭偏仪测量的例子是用在MOS电容器中的亚100 Å的氧化物/氮化物/氧化物（ONO）复合膜层结构，重复性在1%内。薄的金属层（<500 Å）被看做是半透膜，并能用椭偏仪进行测量。一个半透金属膜的例子是铜互连中用到的薄铜籽层。金属层（>1000 Å）通常认为是不透明物，不能用椭偏仪进行测量。

椭偏仪测试仪具有小的测试点、图形识别软件和高精密的硅片定位硬件特色，这些使得直接在生产用的硅片上做的许多透明膜的工艺控制成为可能。无图形测试片的减少，已降低了工艺控制的成本，并提高了椭偏仪的使用效率[8]。椭偏仪还被直接集成到工艺设备中，应用于诸如刻蚀和平坦化一些领域的原位（实时）测试。由于允许工艺精确确定加工中膜厚的终点，为了薄厚测量更加准确并可重复，实时厚度测量是所期望的。

■ **反射光谱学** 当光在一个物体表面反射时，反射光谱学是三种基本的光学测试技术之一，另外两种分别是光学显微镜（在本章的后面讨论）和椭偏仪（见上面）。结构的反射经常用于描述位于不吸收光的硅片衬底上的吸收光的介质层的层厚特性（见图7.7）。根据光是怎样在薄膜层顶部

和底部反射的关系，反射仪能被用于计算膜厚。为了给图像更加清晰的光信号，先进的反射－光谱技术采用了双束光的光谱测量技术。一束光用于薄膜层的反射测量，而另一束提供了为修正实时指示灯的偏移或噪声的参考源。

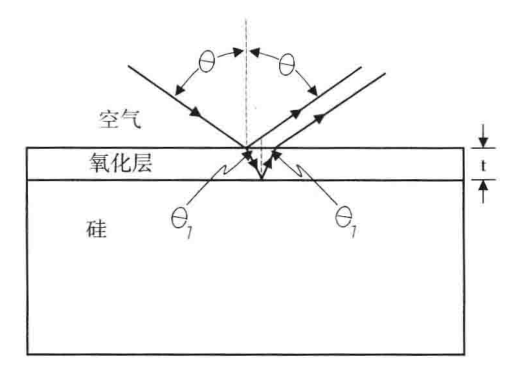


图 7.7　薄膜层的光反射

■ X 射线薄膜厚度　X 射线束能聚焦在表面，通过很少用到的 X 射线荧光技术（XRF）来测量膜厚。当 X 射线射到薄膜时，吸收的辐射激活薄膜中的电子。当受激电子落入低的能态，发射出 X 射线光子（称为荧光），光子的能量代表薄膜原子的特性。通过测量这些 X 射线光子，就可以确定膜厚（见图 7.8）。一种改进是用全反射的 X 射线荧光技术（TRXRF），这种方法使用小角度并减少了 X 射线的散射量，以提高测量的灵敏度[9]。

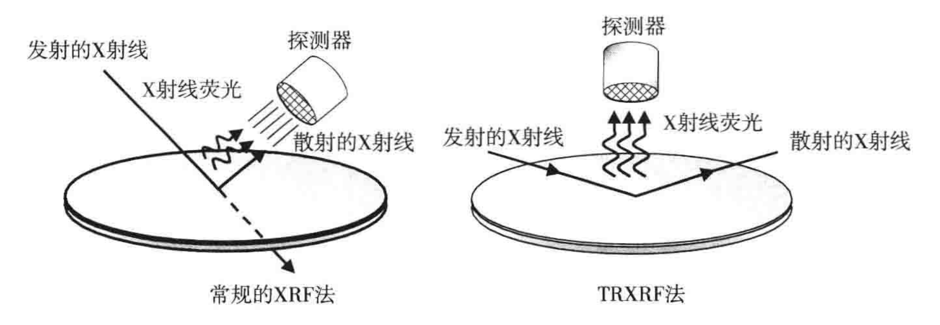


图 7.8　用 X 射线荧光技术（XRF）测量膜厚

薄膜的 X 射线反射率将随入射角和波长的不同而改变。反射率可用来计算薄膜的厚度和密度。用 X 射线测量混合成分的薄膜或两层以上（含两层）复合薄膜很困难。X 射线荧光技术主要用于单层薄膜。

■ 光声技术　在测量金属薄层方面的最新进展是光声技术。这种非接触的技术是根据入射光的声学节拍，它是产生指向复合薄层的声学节拍。当声学节拍撞击表面及膜下界面时，产生反弹回表面的回声。这种回声引起了反射率的轻微改变，该变化在硅片表面可被测得（见图 7.9）。反弹回的脉冲回声消耗的时间被用于计算薄膜厚度。

这种技术有一个小于 8 μm 的点，因为尺寸小，使它能测有图形硅片上的结构。它能测量具有单层膜厚小于 20 Å 的复合膜。为了提高性能，基于器件比例缩小要求更小的结构，这种测量至关重要[10]。

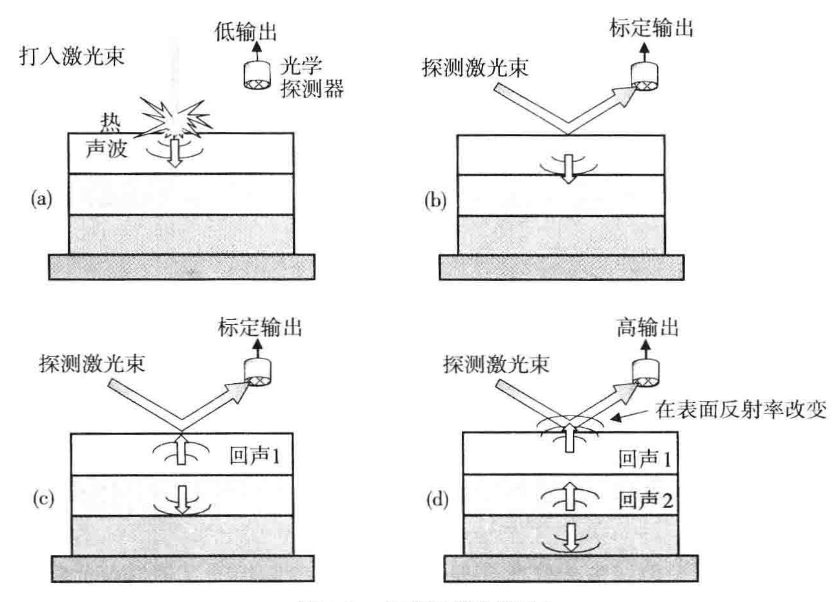


图 7.9 光声法膜厚测量
（引自 Solid State Technology,(June 1997), p.86）

7.3.2 膜应力

在通常的制造工艺中，薄膜上可能引入强的局部应力。这些应力会造成衬底形变，并产生可靠性问题。用薄层应力测量工具可以测量这种形变。通过分析由于薄膜淀积造成的衬底曲率半径变化来进行应力测量，并应用于包括金属、介质和聚合物在内的标准薄膜。在薄膜淀积前后，利用扫描激光束技术或分束激光技术测量硅片半径，以绘制硅片应力的剖面图（见图 7.10）。自动应力测试仪有 SMIF 传送能力。

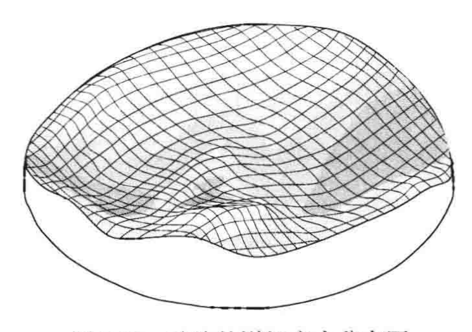


图 7.10 硅片的详细应力分布图

7.3.3 折射率

折射是透明物质的特性，它表明光通过透明物质的弯曲程度（见图 7.11）。折射率的改变表明薄层中有沾污，并造成厚度测量不正确。对于纯的二氧化硅折射率是 1.46。对于薄层的折射率可以通过干涉和椭圆偏振技术来测量，与用于确定薄膜厚度的椭偏仪相同。

7.3.4 掺杂浓度

在硅的一些区域（如 pn 结、外延层、掺杂多晶硅）中杂质原子的分布情况直接影响到半导体器件的性能（见图 7.12）。现在的工艺使用杂质浓度界于 10^{10} 个原子 /cm^2 到大约 10^{18} 个原子 /cm^2 之

间（参见第17章）[11]。有几种技术用于测量硅中杂质浓度或硅原子的剂量。常用的在线方法是四探针法，这种方法最典型的应用是高掺杂浓度。在线使用的还有热波系统，它可用于低剂量。在生产线外的测量方面，具有整个硅片定位的二次离子质谱仪（SIMS，本章后面介绍）近来已被用做掺杂浓度工艺控制的替代方法[12]。电容－电压（C-V）特性测试（本章后面描述）也能用于测量掺杂浓度。

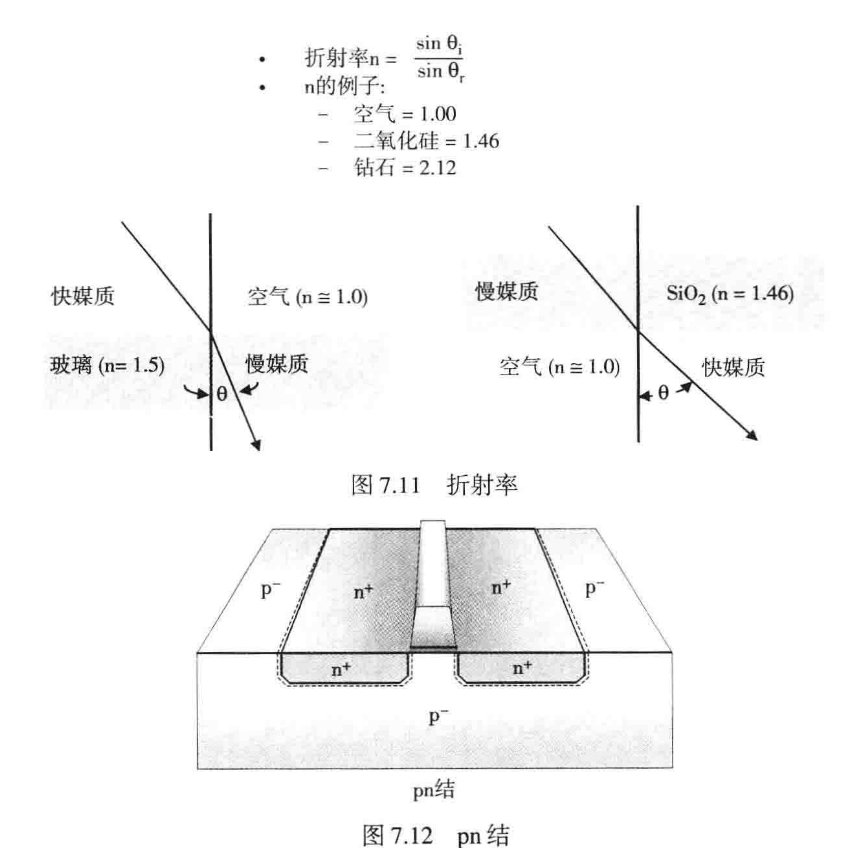


图 7.11　折射率

图 7.12　pn 结

本章前面已讨论过的四探针法，像测方块电阻一样，也适用于测量掺杂浓度（因为注入后硅层方块电阻与掺杂浓度相关）。用四探针法测等值线图对于日常监测注入剂量的浓度很有用。

■ 热波系统　广泛应用于监测离子注入剂量浓度的方法是热波系统。这种方法测量由于离子注入而在被注入的硅片中形成的晶格缺陷[13]。这种方法是通过测量硅片上聚焦在同一点的两束激光在硅片表面反射率的变化量来进行的（见图7.13）。一束激光通过调节Ar激光器产生加热的波（热波）来加热硅片。热波导致了另一束氦氖探测激光的反射系数的变化，这一变化量正比于硅片中晶体缺陷点的数目。带自校准数据的热波信号探测器，通过将晶格缺陷的数目与掺杂浓度等注入条件联系起来，来描述注入工艺。

由于使用方便并且有图形及没有图形的硅片都能用，为离子注入监测的热波系统已普遍使用。它的主要缺点是测量损伤，因此需要校正曲线以间接估算掺杂浓度。

■ 扩展电阻探针　扩展电阻探针（SRP）从20世纪60年代起就成为硅片工艺的一种测量工具，并用于测量掺杂浓度深度的剖面和电阻率[14]。它能描绘出非常浅的pn结深的剖面图。扩展电阻探针有两个精对准的探针，这两个探针能沿着倾斜的硅片表面步进移动，每移动一步测一下探针间的电阻（见图7.14）。随着探针移过结，可感知导电类型（n或p）的变化。由于探针要被精心安置，

通常<1°的倾角，这使得SRP成为破坏性的测试。随着探针一步步通过硅片倾角，在电阻率为ρ的半无限材料平整表面上，半径为r平的圆环接触的扩展电阻 R_{sp} 由下式给出：

$$R_{sp} = \frac{\rho}{4r}$$

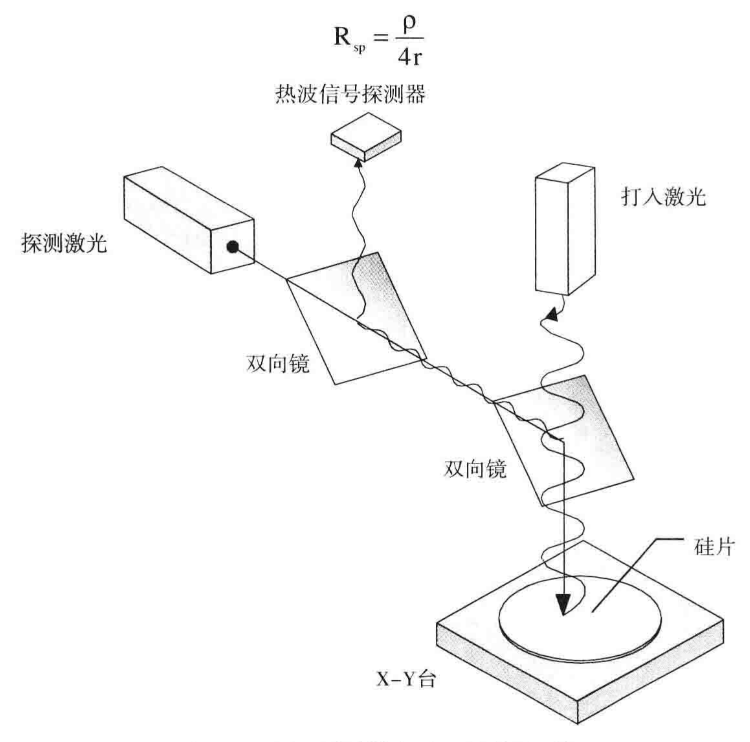


图 7.13 用于测量掺杂浓度的热波系统

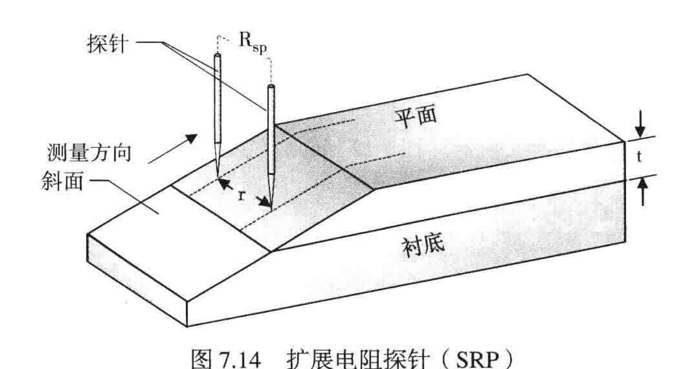


图 7.14 扩展电阻探针（SRP）

SRP采用制造商说明书中规定的校正曲线来克服与这种测试相关的错误源（例如硅表面光洁度、接触电阻、针尖形变、斜面表面制备等）。用计算机算法将每一等级的深度和电阻值与掺杂浓度联系起来。SPR的弱点是需要熟练的操作者、样片制备和破坏性测试的性质。优点是不受结深限制便能进行精确的掺杂浓度测量。

7.3.5 无图形的表面缺陷

无图形的硅片是裸硅片或有一些空白薄膜的硅片。后者用做测试片，在工艺进行时使用以提供工艺条件的特征信息。无图形的硅片可能被抛光到镜面光洁度或者有一个粗糙面的薄膜。在工艺进

行使用后，无图形的硅片通常可清洗及再利用，这些硅片会增加制造工艺的成本并减少公司的利润余额。用于工艺监控的无图形硅片上典型的缺陷包括颗粒、划伤、裂纹和其他材料缺陷。

对硅片表面的缺陷检测分为两种类型：暗场和亮场的光学探测[15]。亮场探测是用显微镜传统光源，它直接用反射的可见光测量硅片表面的缺陷。用亮场探测，水平表面反射大部分光，而倾斜和竖直方向几乎不反射。暗场探测检查位于硅片表面的缺陷散射出的光。从物镜外，以小角度将光线定向到硅片表面（见图7.15）。这束光照射到硅片表面，并通过透镜中央反射回来。这种作用表现为所有平坦表面都是黑的，而不平整处出现亮线。这说明在硅片表面的暗场探测找出的微小缺陷非常有用，这些小缺陷用亮场探测比较困难。暗场探测就像在暗室中用一束阳光看灰尘颗粒。这两种系统通常根据收到来自硅片表面的光信号，通过一些信号或图像处理来确定缺陷的位置。

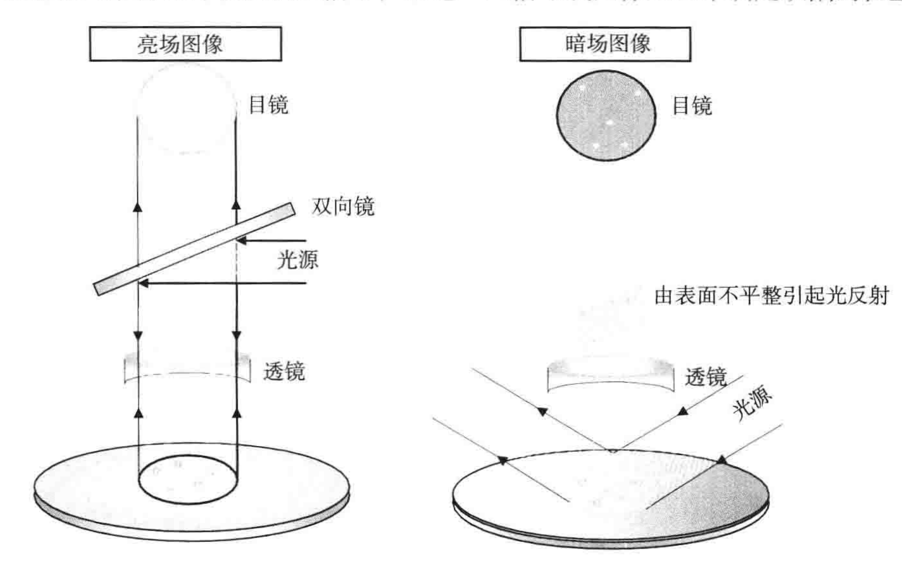
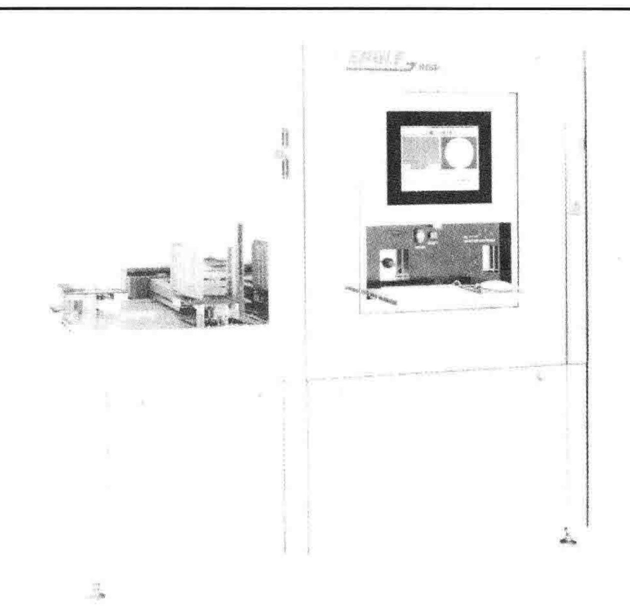


图7.15　暗场和亮场探测

■ 光学显微镜　光学显微镜从17世纪就开始使用了。对半导体制造来说，传统意义上它是检查硅片表面最常用的方法之一，例如检查颗粒和划伤这类缺陷。光学显微镜提供了硅片的低倍放大视图，典型的放大倍数是小于1000倍。以前，光学显微镜并不能完成亚微米领域的测量。随着器件几何图形的减小，被检测的致命缺陷的尺寸也已减小，这要求光学显微镜也要逐年改善。依赖所使用光学系统的类型，目前能检查的颗粒缺陷降到0.1 μm的尺寸[16]。在尺寸方面，芯片上不是所有的层都是关键的，在许多情况下仅需要检测大尺寸缺陷。在这些情况下，光学显微镜快速且实效。

光学系统　光学显微镜用光的反射检测表面的缺陷。现代的光学显微镜被集成在硅片检测台中，检测台还包括自动传送硅片及图像和缺陷分类的软件界面。图7.16显示了典型的光学系统。显微镜制造商通过改善透镜并使用更短波长的新光源（用更短波长能改善测试更小物体的能力）可获得探测更小图形的能力。光学技术在第14章详细讨论。

能够区分物体各部分的对比度是光学显微镜的重要参数。用于现代光学显微镜来增加对比度的技术是暗场和亮场探测，共焦的对比度以及有颜色干涉的对比度。共焦对比显微镜利用扫描技术一次观察物体上单个点，因此提供更好的图形对比度，并能更清晰地观察图形（见图7.17）。共焦显微镜用可见光或激光扫描。颜色干涉的对比度将一束光分成直接光束和参考光束。直接光束被样本改变，然后与参考光束组合，根据干涉原理产生图像。



硅片检查系统（承蒙 Inspex 允许使用）

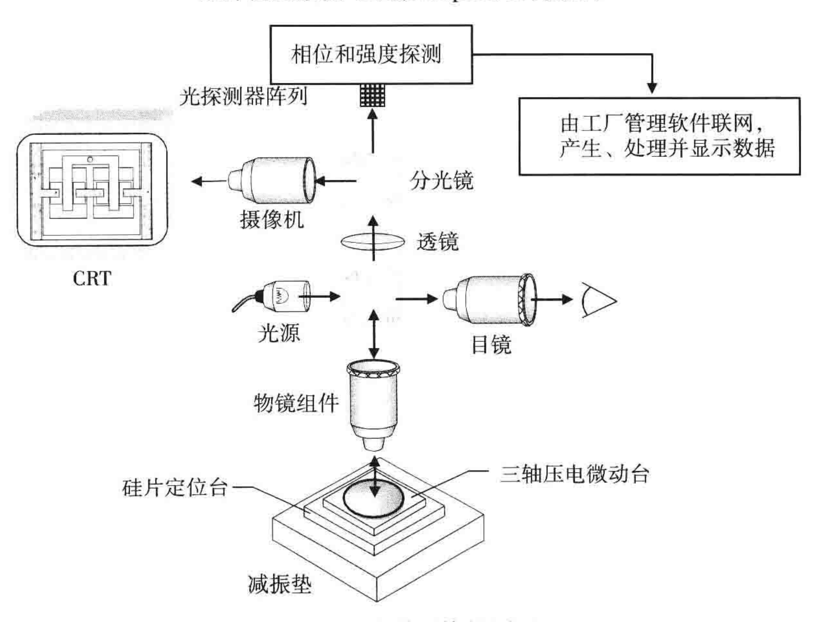


图 7.16 光学系统的原理

■ **光散射缺陷探测** 在半导体制造的初期，是操作员用光源和显微镜来检查颗粒和表面缺陷。这种方法受操作员主观因素影响，因此是不可靠的。以光散射为基础的识别颗粒技术（又称激光散射或散射技术）在20世纪80年代中叶开始广泛使用。这种暗场探测通过激光照射表面，然后用光学成像来探测由颗粒散射的光线，从而鉴别表面颗粒和其他缺陷（见图7.18）。由单个颗粒得到的散射光强依赖诸如尺寸、外形、成分、硅片表面状况（例如，粗糙度和混浊度）以及使用的设备类型等因素。当前，使用光的散射设备能检查的颗粒尺寸降到大约0.1微米[17]。

20世纪80年代中期在光散射技术开始流行时，它仅能探测抛光硅片表面的颗粒。随着技术的进步，它现在能用于检查有图形的生产硅片的颗粒和具有薄膜的硅片表面上的颗粒。随着器件几何尺寸

的减小，产生致命缺陷的几何尺寸也在减小。基于光波长度的影响，被测颗粒的尺寸局限在1 μm，这使得探测更小颗粒时光散射技术受到局限。当光波长和颗粒尺寸相等时，由于散射光密度不能清楚确定，故很难检测颗粒[18]。随着敏感因素（例如入射光束波长的选择）的减小，光的散射得到了改善。在这种方式下，主要由于高速测量技术在制造运行时提供了快速的结果，光散射表面测量成为监控有图形和裸片的主要检测技术[19]。

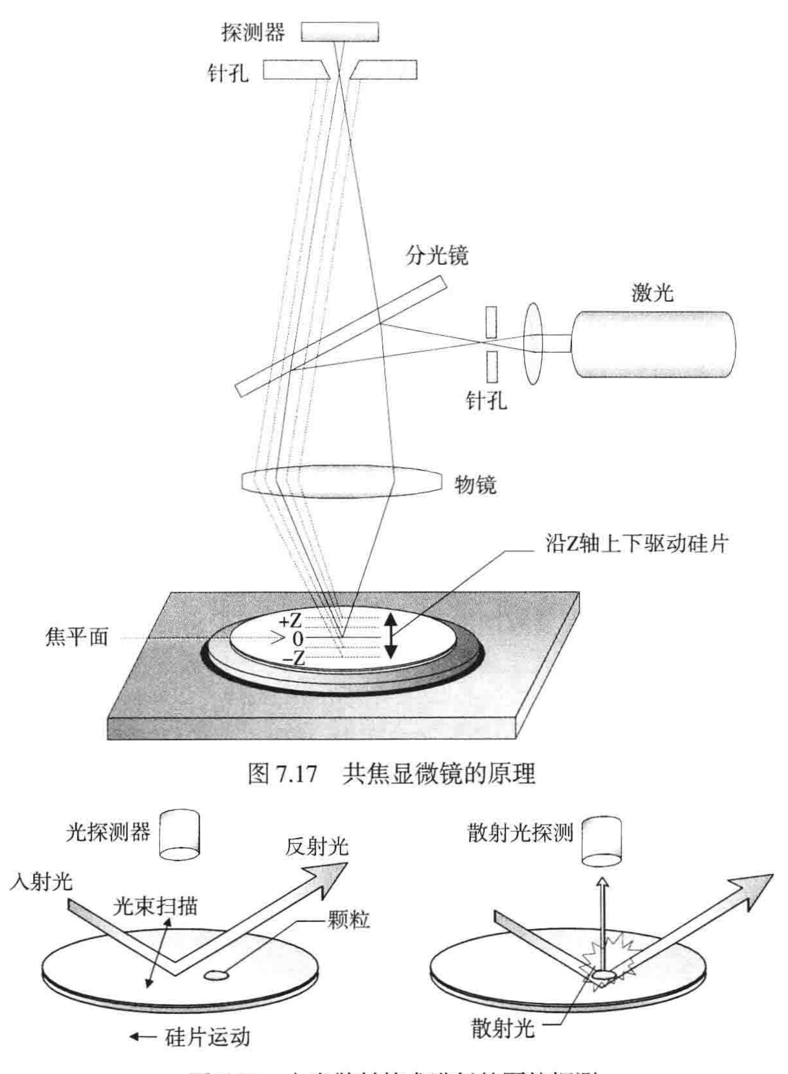


图7.17　共焦显微镜的原理

图7.18　由光散射技术进行的颗粒探测

每步每片上的颗粒数　一种检测硅片表面缺陷的测量仪能产生记录硅片上颗粒数的颗粒分布图，显示出颗粒的位置和颗粒直径的分布。为检查工艺运行时的缺陷数，工厂里最主要的措施是对无图形的硅片进行通过每步每片上的颗粒数（PWP）测量（见图7.19）。进行PWP工艺分析是针对光刻胶旋转轨道、介质淀积腔体和化学机械平坦化（CMP）设备。为执行PWP的程序，技术人员用硅片检测仪器数出测试片上的缺陷数目，让测试片通过生产设备，然后重新统计缺陷数目。为了减少缺陷数目，采用相应措施，进而增加在硅片上合格管芯的数目。对于很难鉴别的更小颗粒，使用光散射探测设备结合使用扫描电子显微镜（SEM）可以相应鉴别出颗粒的成分。

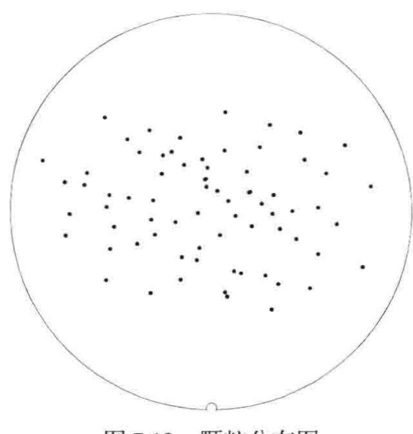


图 7.19 颗粒分布图

7.3.6 有图形的表面缺陷

为进行制造测量使用的有图形的硅片通常是用于表面缺陷在线监测的生产硅片。通常集成电路中的生产硅片可能有多达六层金属或其他薄层，这些层已经在高温炉和多腔集成设备中生长或淀积。这些多层膜使得区分硅片上表面缺陷和电路图形更具挑战性。用光散射技术可以检查有图形的硅片上的主要缺陷。光学显微镜（见本章前面）通常用于有图形的硅片上的表面缺陷检测。还有一种不常用的方法是进行数字比较法，即将硅片表面与无缺陷的参考片比较。

■ 在有图形的硅片上的光散射 工艺过程中对有图形硅片的监控越来越普遍。在生产硅片上最主要的缺陷是颗粒、划伤和图形缺陷。随着器件几何尺寸的减小以及工艺复杂程度的提高，图形缺陷发生得越来越频繁。这种状况使有图形硅片上的缺陷探测变得更为关键。

使用光散射技术在有图形的硅片上进行缺陷检测与无图形的硅片类似。然而，光散射过程必须修改以便测量设备能够区分出是颗粒散射光还是图形边缘散射光。一种技术是利用重复的电路图形的规律性，来识别这种特定的散射光并用滤光器挡住它。其他有图形硅片的测量仪器具有一种功能，即它能去除来自重复图形边缘的周期性信号脉冲。

7.3.7 关键尺寸（CD）

关键尺寸测量的一个重要原因是要达到对产品所有线宽的准确控制。在 CMOS 技术中，晶体管的栅结构非常关键。栅宽决定了沟道的长度，而沟道的长度影响了速度。关键尺寸的变化通常显示半导体制造工艺中一些关键部分的不稳定。据预测，到 2006 年 16 Gb DRAM 的关键尺寸（CD）将会是 0.1 μm。[20] 为了获得对这种关键尺寸的控制，需要精度和准确性优于 2 nm 的测量仪器（2 nm 相当于 4 个硅原子并排的尺寸）[21]。能获得这种测量水平的仪器是扫描电子显微镜（SEM）。

■ 扫描电子显微镜（SEM） 从 20 世纪 90 年代初，扫描电子显微镜就已成为在整个亚微米时代检验合格的关键尺寸控制的主要仪器。20 世纪 60 年代第一台商用扫描电子显微镜诞生。扫描电子显微镜能放大 10 万到 30 万倍，这明显高于光学显微镜。扫描电子显微镜的图形分辨率（可检测的最小特征）是 40 Å 到 50 Å 的数量级。用扫描电子显微镜观测硅片的横截面部分能提供缺陷的信息。由于对亚微米线宽控制的关注，20 世纪 80 年代开发了专门用于关键尺寸测量的扫描电子显微镜技术，有时称为关键尺寸扫描电子显微镜（CD-SEM）。SEM 测量仪器常与其他分析技术结合使用，如 EDX 或 FIB（见后面的部分）。

SEM 基础 SEM 是一种复杂的显微镜，它的功能是通过产生高度聚焦电子束扫描目标，同时用探测器测量最终散射电子[22]。它是非破坏和非接触测量仪器。SEM 有一个电子枪、将电子整形成

束的聚焦部件和最终静电－磁聚焦系统，它使电子打在样片上，束斑尺寸2～6 nm（见图7.20）。由于电子有非常短的波长（例如，100电子伏电子是1.22 Å，而可见光是5500 Å），因此，用SEM电子成像能观测原子级的目标。

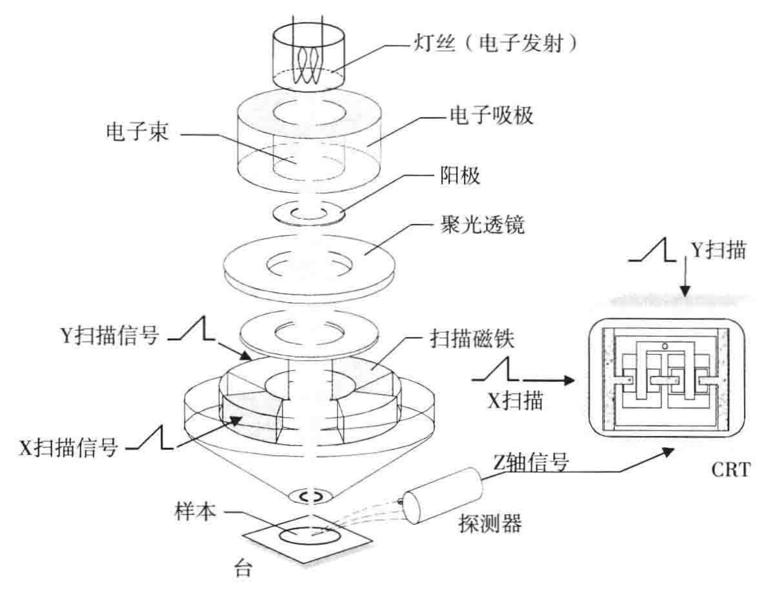


图7.20　CD-SEM的简单原理

电子枪在大约10^{-6}托真空腔中产生电子束。要求是具有窄能量分散的稳定的大电子流。在硅片附近，为了产生高能电子束，圆柱形磁性的物镜经常与静电聚焦部件结合使用，使电子聚焦成窄的电子束。用静电偏转仪使电子束按X-Y方向偏转扫描硅片。当入射电子束打在硅片上，由于电子束和样本表面相互作用，二次电子和背散射电子以及其他电子、X射线和光子被发射或传播。Everhart-Thornly（ET）探测器用于收集二次电子并产生描绘样本表面的电子图像。背散射电子也被收集，并提供不同材料间显著的成分对比。

电子束的能量与所需图像直接相关。为了非破坏在线CD测量，低能电子束（<2 keV）需要有低的加速电压。高能电子束（100~200 keV）用于下层或深层结构的成像，如接触孔。高能电子束使得在硅片表面下产生非破坏的图形成为可能（对高能电子束～20 μm）。尽管如此，当对致密或深层结构（例如，非常细的电阻线或绝缘体上窄小的接触孔）成像时，SEM的问题非常严重。这个问题主要是由于难于通过这种结构得到满意的二次电子信号。SEM的局限性是它需要高真空，并且成像前要用导电薄膜覆盖绝缘的样本。

CD-SEM　CD-SEM具有自动化的设备控制的高分辨率成像功能，这种设备能快速将腔体抽到要求的真空度，对硅片实现自动定位，用预先编制工艺菜单来选择特定的测试点。为支持生产量，SEM要求具有高的硅片通过量（若每个硅片测5个点，可达70硅片/小时）。仪器可以从各个方向和高达60°的倾角进行检查及测量（对于测量精细的工艺图形、侧墙和孔是关键的）。CD-SEM也能进行缺陷复查和分析。SEM成像的其他优点是能与别的测量仪器集成，例如X射线组分分析和用聚焦离子束铣（见后面部分）。

7.3.8　台阶覆盖

硅片制造中形成表面形貌，因此取得好的台阶覆盖能力是材料的必要特征（见图7.21）。良好的台阶覆盖要求有厚度均匀的材料覆盖于台阶的全部区域，包括侧墙和拐角。

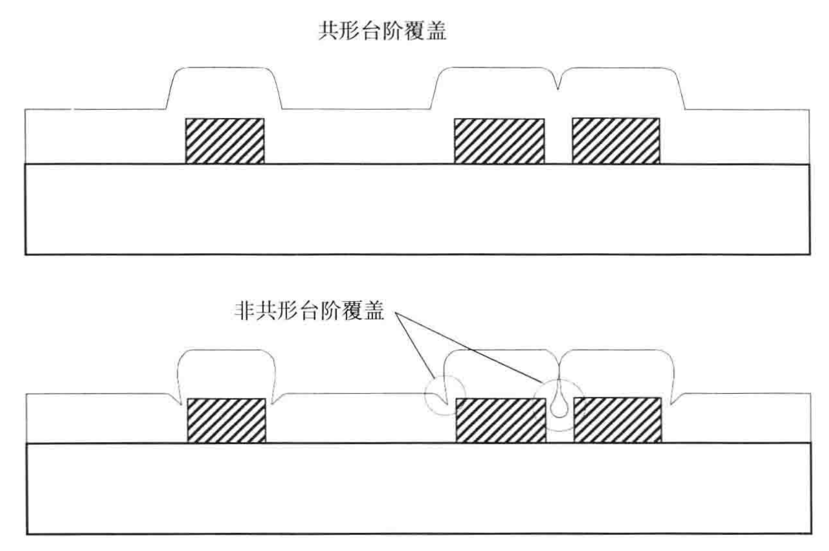


图 7.21 台阶覆盖

一种高分辨带触针的非破坏形貌仪常用来测量台阶覆盖和硅片表面的其他特征。这种自动化表面测量仪器使用一根触针加以低至 0.05 mg 的力接触硅片表面，轻轻地绘出硅膜形貌图而不损伤硅片表面（见图 7.22）。触针通常有半径 0.1 μm 的金刚石尖，用久了的针尖半径可以达到 12.5 μm。[23] 当前，形貌仪可以以 7.5 Å 的步长高度重复测量硅片上 0.1 μm 的细小特征[24]。

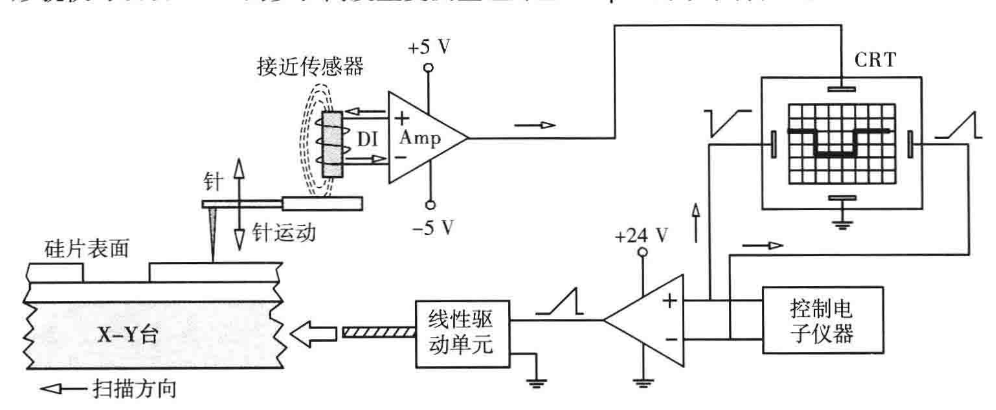


图 7.22 表面形貌仪（台阶仪）

7.3.9 套准精度

套准精度是用在光刻工艺之后，测量光刻机和光刻胶图形与硅片前面刻蚀图形的套刻的能力。随着特征尺寸的缩小，套刻标记的容差减小，掩膜版上的图形标记与硅片上的对准成为挑战。化学机械平坦化（CMP）的使用在硅片上产生了对比度很小的图像，这些图像难以分辨。这种情况使得硅片与掩膜版的对准更加复杂（见图 7.23）。

在光刻中，使用自动套刻测量仪，将转移到光刻胶上的掩膜版专用套刻图形与刻蚀在硅片表面的套刻标记进行比较。这种仪器的重要性在于能够测量硅片上那些低对比度且有颗粒的对准目标。使用亮场反射光并不能有效聚焦并测量这些硅片表面上低对比度的对准目标图形。

现在，测量套准精度的主要方法是相干探测显微镜（CPM）。它有时也称为相关显微镜。相干的光是波长彼此间有确定的相位关系，意味着一个的光波相对于另一个不发生移动。用相干光允许

CPM 成像不仅依赖表面散射，而且也与相位有关。这种方法能获得沿硅片表面在 Z 轴方向的硅片表面信息，改善了硅片目标的聚焦，并增强了抛光后低对比度的套刻图像。在焦点外和衍射信号可以忽略[25]。

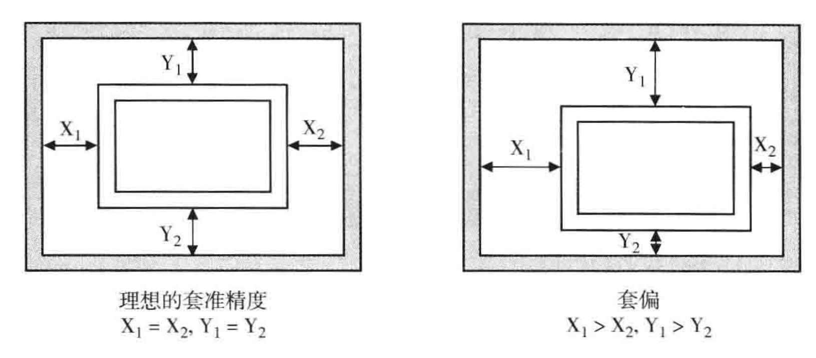


图 7.23　套准精度检查图形

7.3.10　电容–电压（C-V）测试

MOS 器件的可靠性高度依赖于栅结构中高质量的氧化薄层。栅氧化区域的沾污可能导致正常的阈值电压的漂移，导致器件失效。可动离子沾污（MIC）和其他不希望的电荷状况可以在氧化工艺步骤后用电容–电压测试进行检测。通常做 C-V 特性以检测氧化步骤之后的离子污染。另外，C-V 特性测试提供了栅氧化层完整性的信息（GOI），包括介质厚度、介电常数（k）、电极之间硅的电阻率（表征多数载流子的浓度）以及平带电压（在氧化层结构中没有电势差的电压）。

理解栅氧特性的理想模型是平行板电容器，它在第 2 章中已做介绍。对 MOS 器件施加阈值电压时，有两个串联电容器起作用。第一个电容器是栅氧电容，它夹在掺杂的多晶硅和栅结构下方的沟道区之间。第二个电容器在硅衬底材料中形成。当加阈值电压时，由于电荷的吸引，在栅区形成导电沟道（称为反型）。在 C-V 测试时，氧化层和硅衬底等效为串联电容器（见图 7.24）。

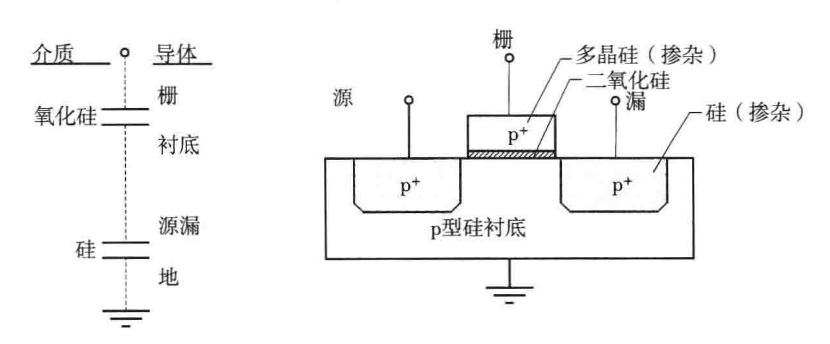


图 7.24　在栅区两个电容的 MOS 模型

两个电容器串联的总电容比任何单个的电容器都低。在加阈值电压时，栅结构的电容会下降。在 C-V 测试中，使用这种预期的电容下降可验证不需要的电荷（例如，可动离子的沾污）的存在。

■ C-V 测试的步骤　在 C-V 沾污测试中，使用专用的硅片模拟栅区的两个串联电容。在栅氧化层上方金属化区域与氧化层下方轻掺杂的硅之间施以可变电压（见图 7.25）。

C-V测试的第一步是在被测氧化层的金属接触面与氧化层下方轻掺杂的硅之间施以可变的电压偏置。对于 p 型硅，这个偏置是从正向负变化，而对于 n 型硅是从负向正变化。第一步目的是

将金属区域正下方的硅中的多数载流子耗尽。在这种情况下，硅起了电介质的作用，因为氧化层和硅衬底是串联电容，从而减少测试结构的总电容。在测试中画出电容电压关系曲线（见图7.26）。

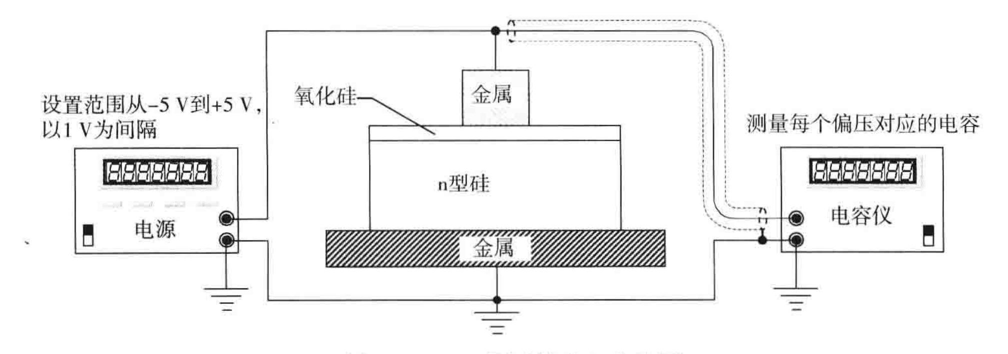


图 7.25　C-V 测试的建立和绘图

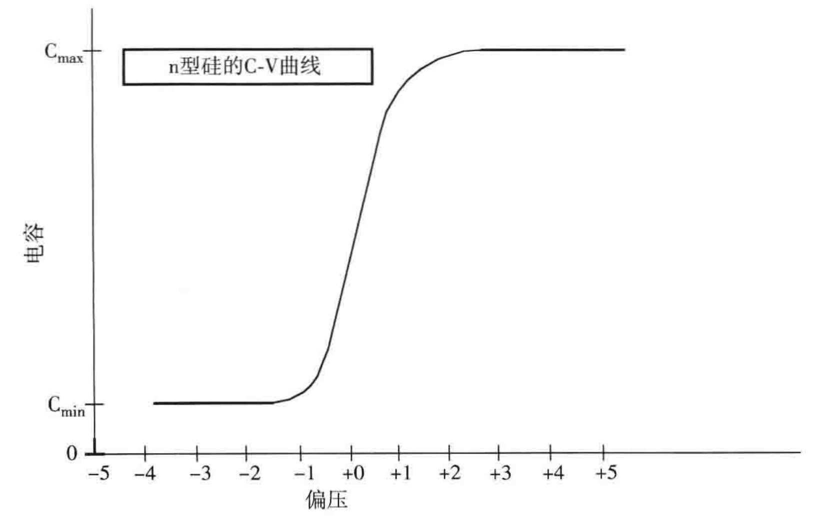


图 7.26　n 型硅的电容与电压关系图（C-V 测试的第一步）

第二步是先将硅片加热到300°C保持5分钟，同时在金属区域加恒定的正电压（大小依赖氧化层的厚度）。然后冷却，再移去偏置（见图7.27）。升温的作用是增加污染离子的迁移率。正电压偏置排斥沾污的正离子，将正离子驱赶到氧化物与硅的界面。

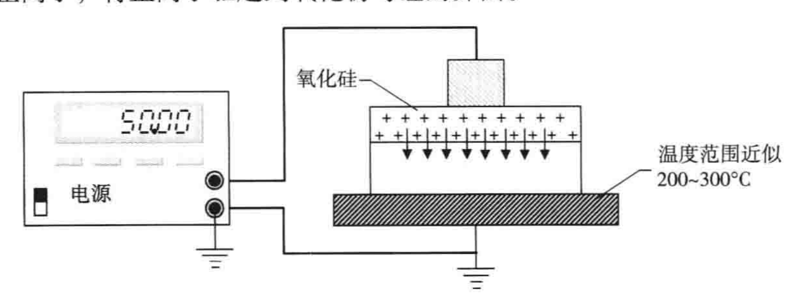


图 7.27　在 C-V 测试中离子电荷的采集

第三步是重复第一步的C-V曲线图。然而，现在如果在Si与SiO_2界面有聚集的正离子沾污，要使电容中的电荷相等就要求施加更负的电压。这是电压漂移（Vs），它能测量氧化物中沾污离子

的数量（见图7.28）。电压漂移的大小与氧化物中的沾污、氧化物的厚度以及硅片的掺杂成正比。沾污离子的实际数量能通过该曲线图来计算。

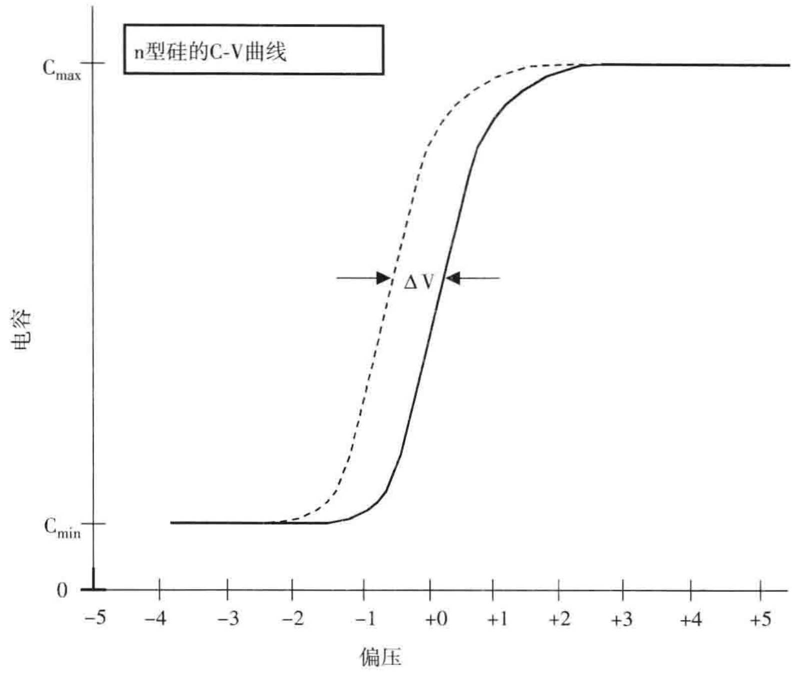


图 7.28　在 n 型硅中的电压漂移

最后一步是验证这一漂移是由于沾污而不是氧化物充电。加热衬底使沾污离子离开硅与二氧化硅的界面。再次进行 C-V 测试应能产生最初的图形，证明实际上是沾污离子产生了电压漂移。

■ **C-V 测试的优点**　C-V 分析法被用于监控硅片，以确保清洁的工艺去除离子沾污。无论在测试片上还是具有专用测试结构的生产硅片上，都可以进行这种分析（在第19章中描述测试结构）。这种分析不能告诉你沾污来自哪里，例如硅片表面、清洗步骤、设备维护或高温工艺。C-V 测试通常作为对工艺变更评估的一部分。在这种情况下，将硅片分两组进行测试。一组在C-V测试前，进行正常的工艺；另一组是试验新的工艺，然后再进行C-V测试。比较结果以验证提交的工艺是否可行。小的电压偏移量是允许的，它取决于氧化物厚度和测量设备的灵敏度。

7.3.11　接触角度

接触角度仪用于测量液体与硅片表面的黏附性，并计算表面能或黏附性力。这种测量表征了硅片表面的参数，比如疏水性、清洁度、光洁度和黏附性（见图 7.29）。在液滴与支撑表面之间形成的接触（正切）角度与固 / 液或液 / 液界面的相互作用力相关，并能用于硅片测试规范或用做硅片质量特性。直接角度测量法和间接尺寸测量法都可用于获得高度精确和可重复的接触角度的测量。

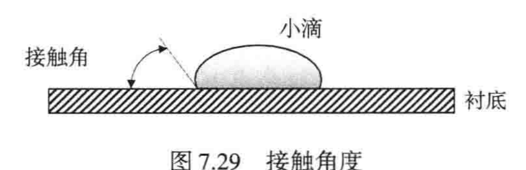


图 7.29　接触角度

7.4 分析设备

本节提供了用于支持硅片生产主要分析设备的概况。这些分析仪提供高度精确的硅片测量，它们通常位于线外的实验室，以解决生产问题。图7.30显示了这些设备中一些首次使用的时间，以及每一种是如何重要或是如何计划用于工艺开发或制造的。这些分析设备综述如下：

- 二次离子质谱仪（SIMS）
- 飞行时间二次离子质谱仪（TOF-SIMS）
- 原子力显微镜（AFM）
- 俄歇电子能谱仪（AES）
- X射线光电能谱仪（XPS）
- 透射电子显微镜（TEM）
- 能量和波长弥散谱仪（EDX和WDX）
- 聚焦离子束（FIB）

	年代（1950 / 1960 / 1970 / 1980 / 1990 / 2000 / 2010）	对于制造的重要性
AES	开发制造	有用
AFM	研究、开发	有用
FIB	研究、开发、制造	关键
SEM	研究、开发、制造	关键
SIMS	研究、开发、制造	关键
TEM	研究、开发、制造	关键
TOF SIMS	研究、开发	有用
XPS	开发	有用

图7.30 分析设备的相对重要性

7.4.1 二次离子质谱仪

二次离子质谱仪（SIMS）是在磁场中用加速离子侵蚀硅片表面以分析材料表面组成的一种方法。这些离子轰击硅片表面并撞出或溅射其他离子，有些称为二次离子（见图7.31）。二次离子包含硅片材料和掺杂的杂质。在真空腔中，用质谱仪将它们收集并分析，鉴别出掺杂类型及其在硅中杂质的浓度[26]。SIMS基本上是破坏性的测试技术，并需要超高真空的环境（大约10^{-10}到10^{-12}托）。

离子是带电的颗粒，这使得离子能在磁场中加速或反射。当加速的离子轰击硅片表面时，会引起在原子级上强烈的冲撞。这种情况可以比做流沙，带有能量的流沙袭击后移去表层，在材料表面留下伤痕。然而，在使用离子束时，碰撞时也有化学反应发生，在溅射材料中产生许多复杂的分子。这些入射离子几乎可以是任何元素，但考虑到经碰撞的化学作用是否更易产生二次离子的因素，一般使用Cs^+，O_2^-，O_2^+或Ar^+。

■ SIMS 工具描述 在SIMS中使用离子的通常方法是双等离子法（见图7.32）。通过在热灯丝和阳极间形成低压电弧，将气体转换成等离子体，气体通常是O_2或Ar。吸引电极（吸极）用于从等离子中抽取带电原子。

Cs^+离子可以用不同的方法产生。一丸络酸铯可以在加热容器中蒸发。蒸气导入在离子化腔中高温（大约1000℃）并且多孔的钨塞中。通过塞子的孔蒸气扩散，并离子化，接着用抽取器收集离子并使它们形成离子流。

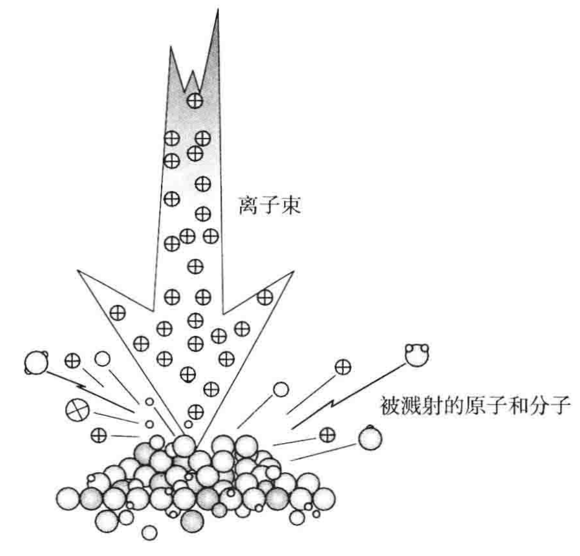


图 7.31　表面材料的离子束溅射

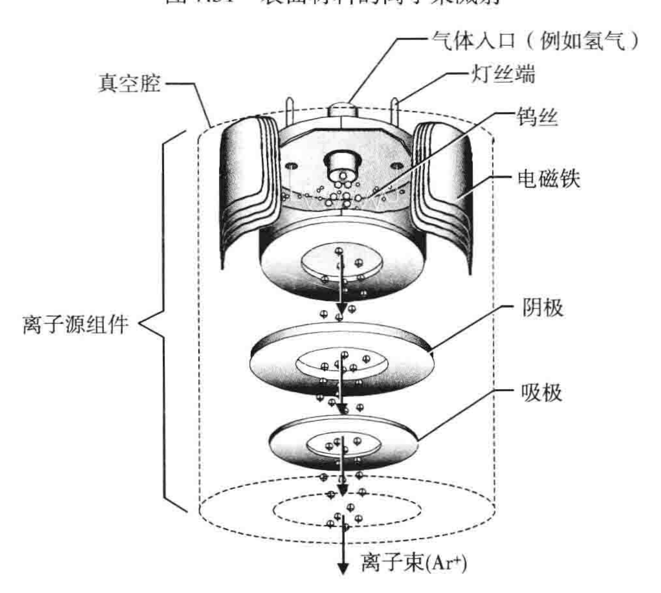


图 7.32　在双离子管中离子的产生

产生的离子通过磁分析器选出需要的（Cs^+或O^-）。然后，或者被聚焦为带磁性的小点（称为离子微探针），或者喷射样本表面。后者又叫离子显微镜，是当前最常用的技术。使用离子显微镜，可以在硅片表面许多点同时收集被溅射的二次离子，然后通过质谱仪分析它们的荷质比来鉴别它们。一种常用的四极质谱仪建立在一个振荡电场的基础上，它根据离子质量将它们分离为限定的振荡运动，并允许特定离子通过光栏并被识别。

使用SIMS，材料去除率的范围可以从很高的溅射率，到缓慢至数小时溅射单层原子的速率。前者称为动态SIMS，常用于离子注入机的标定。后者称为静态SIMS，常用于分析薄氧化硅和氮化硅膜中的沾污。SIMS技术灵敏到足以测量仅1~10 μm的结或接触点的每十亿原子分之几（ppba）的杂质。由于SIMS测量工具可鉴别出剂量和结深同时指出结处任何不满足要求的金属杂质，因此成为验证离子注入机性能的主要工具[27]。

■ 飞行时间SIMS 限制SIMS的一个因素是质谱仪仅能探测从样本发射的离子的0.001%。另一种途径是指SIMS的飞行时间（TOF-SIMS），它能探测出被样本发射的离子的10%到50%。TOF-SIMS测量一个离子通过固定路径的时间，由于带电粒子的速度是质量的函数（见图7.33）。这样相对于带四极谱仪的SIMS可以减小入射速流值达10^5倍。材料的去除率如此之慢以致在一小时内仅有单层表面的单层膜被去除。所以TOF-SIMS基本上是非破坏性的，并且对在硅片表面非常薄的膜很理想[28]。

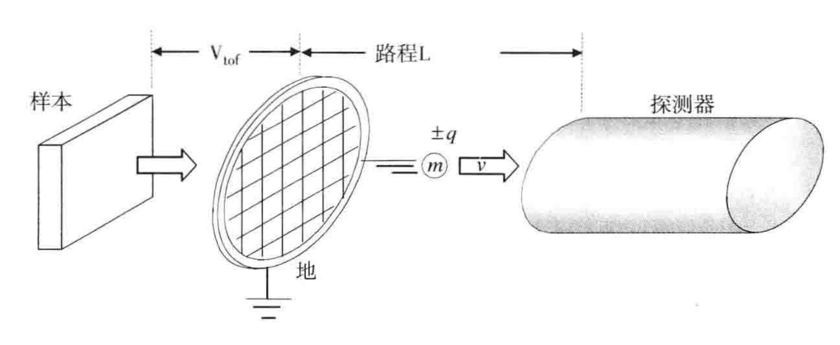


图7.33 TOF-SIMS原理

7.4.2 原子力显微镜

原子力显微镜（AFM）是一个表面形貌仪，用一个较小的平衡探针头扫描硅片表面产生三维的表面图形[29]。它在1986年被首次展示，使用光学技术，直接针尖接触，并用激光器感应出其在硅片上的位置（见图7.34）。探针和表面分开的距离非常小（在2 Å的数量级）以致原子力影响表面和针尖之间的探针。针尖的几何尺寸极为关键，必须分类以便准确测量。AFM测量非常慢，不适宜在生产环境在线测量。

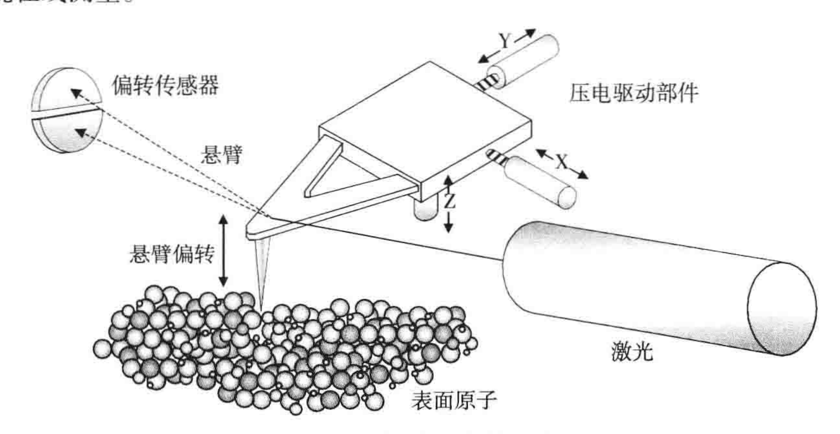


图7.34 原子力显微镜示意图

有几种不同的AFM技术[30]。在最简单的系统中，激光束从探针针尖顶上的表面反射，直接照到光敏二极管上。当表面形貌仪移动探针，它改变在光敏二极管中激光器的位置，产生表面形貌的电子图形。更高级的方法是让探针在很接近表面的地方振动。原子范德瓦尔兹力（Van der Waals）受针尖颤动的影响产生相移，该相移可以通过直接成像来探测。该方法的优点是它能测竖直光刻胶的轮廓。AFM是近来的测量技术，并且可能要取代扫描电子显微镜。

7.4.3 俄歇电子能谱仪

俄歇电子能谱仪（AES）测量入射电子束照射样本时，由样本表面发射的俄歇电子的能量。对于只有10 Å到50 Å深度的表面非常敏感。俄歇（读ōzhā´）电子于1923年由皮埃尔俄歇（pierre auger）在法国发现。俄歇电子由样本中产生的总电子（二次电子是主要部分）的一小部分（<0.1%）组成。与俄歇电子相关的能量提供了清楚的链接母体原子，它被用于样本元素的识别。

由于俄歇电子易于被样本吸收，只有那些在表面外部单层的俄歇电子逃逸并在AES中被检测。这使得俄歇技术特别适合于分析通常是约2 nm厚的材料的表面。金属氧化物、硅化物和硅片表面可很容易被俄歇电子能谱仪探测到。进一步来说，俄歇电子能谱仪使用高度聚焦的电子束（最小的在12 nm数量级），在微电路分析中非常有用。为了减小样本上沾污的形成，AES需要超高真空的环境。

7.4.4 X射线光电能谱仪

X射线光电能谱仪（XPS）主要用来识别样本表面的化学成分（与AES相等），分析大约2 nm样本厚度。除了H和He以外所有的元素都可探测（H和He的探测需要更好的光谱仪）。在XPS中，X射线的光子直接照到硅片表面，与被称为XPS电子的特定核级电子相会作用（见图7.35）。如果X射线的能量超出XPS电子的束缚能，那么电子就从样本中发射。用于电子的束缚能受其化学环境影响，XPS确定元素和它的化学性质[31]。

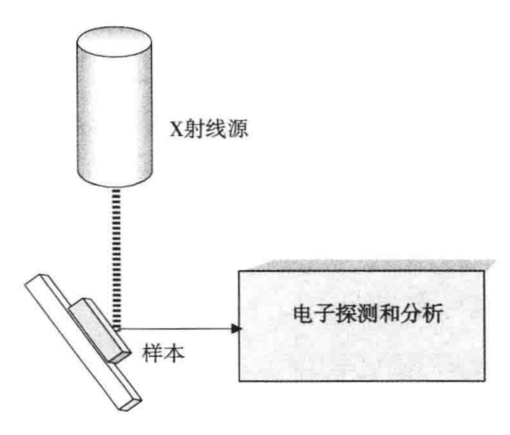


图7.35　XPS测量的示意图

7.4.5 透射电子显微镜

透射电子显微镜（TEM）与扫描电子显微镜的工作原理类似，其主要差别是电子束穿过超薄的样片（10到100 nm数量级）。根据诸如电子波长、加速电压和样本厚度的因素，形成图像并放大到具有大约2 Å分辨率的屏幕上（见图7.36）。

TEM是惟一能定量测量硅片上一些非常小特征尺寸的测量工具。例如，像被离子注入引入有源结的位错（这会导致结漏电），用TEM这些硅晶体的点缺陷可被成像在原子数量级上。表7.3列出了得益于TEM分析的硅片制造的一些工艺领域[32]。TEM最困难的方面是样本的准备，要使用各种技术，例如机械抛光、化学腐蚀和离子束铣等。

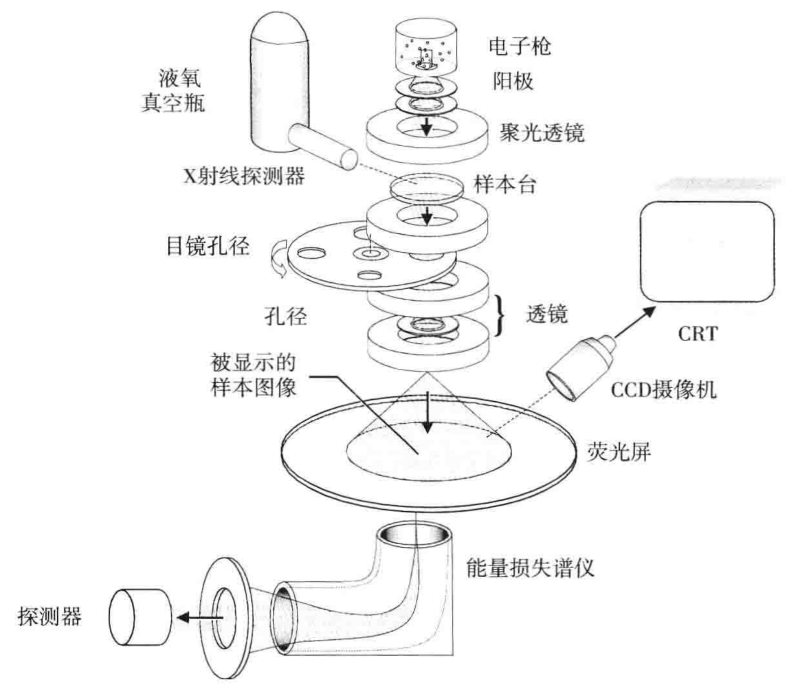


图 7.36 TEM 的示意图

表 7.3 半导体制造中 TEM 的应用举例

	TEM 测量
硅材料	在硅浅结中位错和层积缺陷的密度
光刻	在多晶硅和金属结构中准确的侧墙图形
金属化	金属硅化物与合金的性质
注入	表面与埋层注入损伤
沾污	在亚微米接触点界面的薄有机的和氧化物膜

7.4.6 能量弥散谱仪和波长弥散谱仪

由 SEM 入射电子束产生的有用信号是由样本材料发射具有原始电子能量特性的 X 射线。这些 X 射线携带与样本中出现的原子种类相关的信息，X 射线能鉴别在半导体制造中产生的不同薄膜、颗粒和缺陷。目前，几乎所有的电子显微镜上都配有 X 射线探测仪。

能量弥散谱仪（EDX）是为识别元素使用的最广的 X 射线探测方法，并且是对 SEM 补充。主要由于 EDX 能同时快速探测所有能量的 X 射线，这意味着它是比较快的测量方法。由于它在样本表面穿透性很好，所以不能被看成是表面分析。EDX 工作原理基于高质量的掺杂硅做的大二极管，并由薄的铍窗（大约 25 μm）与 SEM 真空腔隔离（见图 7.37）。X 射线通过窗口产生了一系列电子－空穴对，电子－空穴对能根据 X 射线的能级探测到并识别。EDX 可在几分钟内获得所有能量峰值并做出光谱图[33]。

波长弥散谱仪（WDX）根据衍射晶格和光计数器的原理工作。晶体根据波长分离并分散了入射的 X 射线，这些 X 射线之后在光计数探测器中收集。选择合适的晶体放在 X 射线的路线上。关键参数是 X 射线的波长、晶体的晶格间距、入射角和反射的阶数。WDX 是缓慢的测量，但是得到高准确率的极好的测量手段。

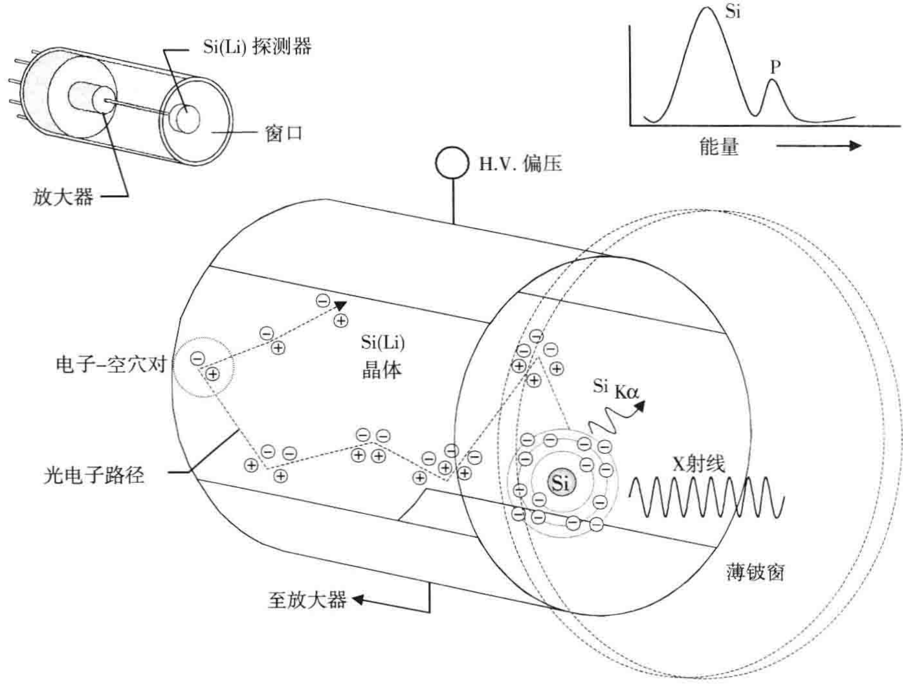


图 7.37 能量弥散谱仪（EDX）

7.4.7 聚焦离子束

传统意义上，直到现在经常使用的硅片分析过程是将硅片从净化间移到实验室中，然后制作剖面并在 SEM 上检查。这一过程从上世纪 90 年代初开始改变，由于聚焦离子束（FIB）系统具有方便的解剖能力而变得流行。在设计和工作方面，FIB 类似于 SEM 是破坏性的技术，不同的是主要的束流由 Ga^+ 离子替代了电子。这些离子通过一组透镜聚焦成一个小点。在离子撞击硅片的地方，原子被打出到真空中，在样本材料上产生了精确控制形状和深度的小空洞。

聚焦离子束（FIB）铣能在净化间中硅片上任何区域刻出 10 到 100 nm 厚的横截面（见图 7.38）。它能割开金属、多晶硅和氮化物的层，对附近结构仅造成很小的损伤或不造成损伤。典型情况是大电流（离子）束用做基本的切口，最终样本抛光用更高聚焦的小电流束。为此，设备供应商提供用户级 FIB 的特殊应用设计。

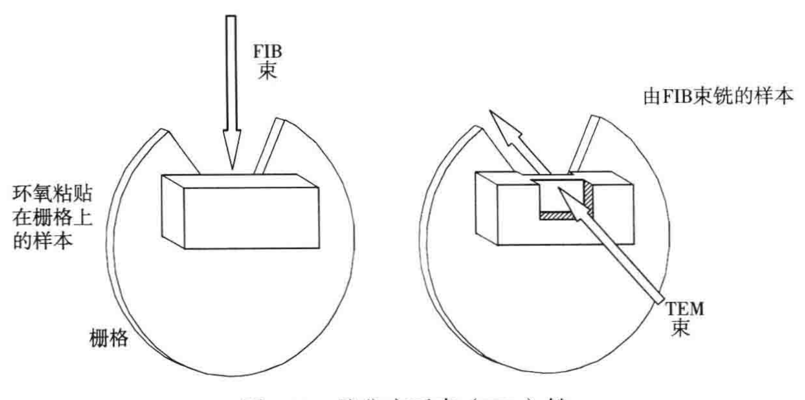


图 7.38 聚焦离子束（FIB）铣

7.5 小结

集成电路测量学使用代表性的测试片或生产硅片来测量生产工艺的特性。测量学工具要么独立使用要么集成在工艺设备中，它们经常使用高级的缺陷分析软件。在不同工艺使用的特殊质量分析来检验合格性。经常用四探针法的方块电阻（不透明的膜）、椭偏仪（透明膜）和反射光谱来测薄膜的厚度。X射线和光声学是很少使用的方法。通过测硅片的曲率可以确定规片上膜的压力。用椭偏仪可以测透明物质的折射率。用四探针法、红外线干涉和延长电阻探针来测掺杂浓度。用无图形或有图形的硅片来测表面缺陷，后者更加有效。为提高硅片与表面的对比度，使用更高性能的光学显微镜。为突出缺陷常结合产生的等值线图形用光线散射来探测硅片上的颗粒。近来的趋势是用有图形的硅片来做更多的表面缺陷分析。用扫描电子显微镜（SEM）做关键尺寸测量。测套刻标记的技术也得到提高。C-V测试提供了栅氧结构的质量信息以确保氧化物没有沾污。接触角检验合格硅片的表面质量。复杂的分析工具用于描绘硅片特性和检验合格的工艺特性。

关键术语

测量，测量学
缺陷
缺陷密度
测试片，样片，陪片
成品率
独立使用的测试仪
综合的测量仪器
自动缺陷分类（ADC）
质量测量
膜厚测量
方块电阻 R_s
方块电阻率 ρ_s
四探针法
范德堡法
等值线图
椭偏仪
可变角度椭偏仪（VASE）
光谱椭偏仪
X射线荧光技术（XRF）
全反射X射线荧光技术（TRXRF）
光声学
膜应力
折射
掺杂浓度（剂量）
热波系统
扩展电阻
无图形的硅片
亮场探测
暗场探测
光学显微镜
共焦反差显微镜
颜色干涉对比度
光散射（激光散射）
每步每片上的颗粒数（PWP）
有图形的硅片
扫描电子显微镜（SEM）
关键尺寸扫描电子显微镜
共形台阶覆盖
表面形貌仪，台阶仪
套准精度
相干探测显微镜（CPM）
电容－电压测试
接触角测量仪
二次离子质谱仪（SIMS）
动态二次离子质谱仪
静态二次离子质谱仪
飞行时间二次离子质谱仪（TOF-SIMS）
原子力显微镜（ATM）
俄歇电子能谱仪（AES）
X射线光电能谱仪（XPS）
透射电子显微镜（TEM）
能量弥散谱仪（EDX）
波长弥散谱仪（WDX）
聚焦离子束（FIB）

复习题

1. 什么是测量学？集成电路制造中（研究）测量学的目的是什么？
2. 缺陷的定义。硅片缺陷密度是怎样定义的？
3. 讨论测量学测量中测试片和生产片的区别。
4. 独立使用的测量仪器和综合测量仪的区别是什么？
5. 描述自动缺陷分类并解释为什么这种分析能改进测量学。
6. 半导体质量测量的定义。列出在集成电路制造中 12 种不同的质量测量。陈述使用不同质量测量的工艺。
7. 列出两种常用的薄膜厚度测量。
8. 列出薄膜扩展电阻的公式。解释矩形的方块电阻的意义。扩展电阻的单位是什么？
9. 薄膜的扩展电阻的公式是什么？
10. 解释四探针法，并给出测方块电阻四探针法的优点。
11. 什么是范德堡方法。
12. 解释等值线图。
13. 解释椭偏仪的基本原理。用椭偏仪测薄膜厚度有哪些优点？
14. 解释什么是 VASE。写出改进 VASE 的用途。
15. 描述光谱椭偏仪。
16. 描述反射分光显微镜。什么是双束光分光镜？
17. 用 X 射线怎样测薄膜的厚度？ XRF 是什么的缩写。什么是全反射 XRF？
18. 描述光声技术是怎样应用到膜厚测量中的。
19. 在硅片上怎样进行膜厚应力测量？
20. 在硅片上怎样进行折射测量。在折射中的变化表明了什么？
21. 四探针法能用来标明薄膜中的掺杂浓度改变吗？
22. 解释热波测量掺杂浓度的原理。
23. 描述用扩展电阻探针法测掺杂浓度的原理。
24. 什么是亮场探测？什么是暗场探测？
25. 描述用硅片表面缺陷探测光学显微镜的主要状况。
26. 什么是对比度？讨论提高硅片表面检查对比度的两种方法。
27. 解释光线散射如何用于检测表面缺陷。
28. 解释什么是每步每片上的颗粒数（PWP）。
29. 哪些是硅片关键尺寸的主要测量工具。
30. 解释 SEM 的主要操作。
31. 什么是 CD-SEM？
32. 台阶覆盖是怎样测量的？
33. 什么是套准精度？陈述并解释测量套准精度的主要技术。
34. 为什么要进行 C-V 测试。描述进行这一测试的 4 个步骤。
35. 陈述接触角测量测试的目的。
36. 描述二次离子质谱仪（SIMS）。
37. 什么是 TOF-SIMS，它在什么情况下使用？
38. 解释什么是原子加力显微镜。

39. 描述使用俄歇电子谱仪的技术。
40. 什么是X射线光电能谱仪?
41. 解释透射电子能显微镜。
42. 解释EDX和WDX的区别。
43. 描述聚焦离子束加工并解释它的好处。

测量设备供应商网站

Applied Materials	http://www.appliedmaterials.com/products/
Carl Zeiss Microelectronics	http://www.zeiss.de/
Cerprobe Corp.	http://www.cerprobe.com
FEI Company	http://www.feic.com
Gaertner Scientific Corp.	http://www.gaertnerscientific.com/
Hitachi	http://www.hitachi.com/semiequipment/products.html
Inspex	http://www.inspex.com/
International SEMATECH	http://www.sematech.org/public/index.htm
JA Woollam Co. Inc.	http://www.jawoollam.com/
JEOL	http://www.jeol.com/
Kaman Instrumentation	http://www.kamaninstrumentation.com/
Keithley Instruments	http://www.keithley.com/
Kernco Instruments Co.	http://www.kerncoinstr.com/cam.htm
Kevex Spectrace	http://www.kevexspectrace.com/
KLA-Tencor	http://www.kla-tencor.com/splash.html
Leica	http://www.leica.com/
Leybold Inficon Inc.	http://www.leyboldinficon.com/
The Micromanipulator Co. Inc.	http://www.micromanipulator.com/
Nanometrics	http://www.nanometrics.com/
National Institute of Standards	http://www.nist.gov/
Nicolet Instruments	http://www.nicolet.com/
Nikon	http://www.nikonusa.com/
Olympus America Inc.	http://www.olympus.com/
Perkin-Elmer	http://www.perkinelmer.com/
Rudolph	http://www.rudolphtech.com/home/
Schlumberger	http://www.1.slb.com/ate/diagsys
SEMI	http://www.semi.org/
Sonoscan Inc.	http://www.sonoscan.com/
Therma-Wave	http://www.thermawave.com/index.htm
Veeco Instruments	http://www.veeco.com/

参考文献

1. S. Butler, "Process Control Through Integrated Metrology," *Solid State Technology* (January 1999): p. 34.

2. C. W. Pearce, "Crystal Growth and Wafer Preparation," *VLSI Technology*, 2nd ed., ed. S. Sze, (Boston: McGraw Hill, 1988), p. 300.
3. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., (New York: McGraw-Hill, 1998), p. 117.
4. J. C. C. Tsai, "Diffusion," *VLSI Technology*, 2nd ed., ed. S. Sze, (Boston: McGraw-Hill, 1988), p. 300.
5. Semiconductor Industry Association, *The National Technology Roadmap for Semiconductors: Technology Needs*, (San Jose, CA: SIA 1997), p. 80.
6. P. Burggraaf, " Thin Film Metrology: Headed for a New Plateau," *Semiconductor International* (March 1994): p. 58.
7. R. DeJule, "Advances in Thin Film Measurements," *Semiconductor International* (May 1998): p. 64.
8. C. Morath et al., " Ultrasonic Multilayer Metal Film Metrology," *Solid State Technology* (June 1997), p. 85.
9. M. Dax, " X-Ray Film Thickness Measurements," *Semiconductor International* (August 1996), p. 98.
10. R. DeJule, "Advances in Thin Film Measurements," *Semiconductor International* (May 1998): p. 56.
11. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, (Boston: Kluwer Academic, 1995), p. 371.
12. Semiconductor Industry Association, *National Technology Roadmap*, p. 80.
13. E. Rimini, *Ion Implantation: Basics to Device Fabrication* (Boston: Kluwer Academic, 1995), p. 70.
14. D. Schroder, *Semiconductor Material and Device Characterization*, 2nd ed., (New York: Wiley, 1998), pp. 31–35.
15. J. Baliga, "Defect Detection on Patterned Wafers," *Semiconductor International* (May 1997): p. 64.
16. A. Braun, "Defect Detection Overcomes Limitations," *Semiconductor International* (February 1999): p. 52.
17. A. Braun, "Defect Detection and Review Enter New Era," *Semiconductor International* (May 1998): p. 61.
18. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., p. 227.
19. A. Braun, "Defect Detection and Review Enter New Era," *Semiconductor International* (May 1998): p. 66.
20. Semiconductor Industry Association, *National Technology Roadmap*, p. 14.
21. M. Davidson and A. Vladar, "The Physics of Metrology Instruments," *Solid State Technology* (June 1998): p. 135.
22. Material for description of CD-SEM taken from M. Davidson and A. Vladar, "Physics of Metrology Instruments," pp. 136-142.
23. A. Braun, "Analytical Techniques for Process Problem Solving," *Semiconductor International* (October 1997): p. 112.
24. KLA-Tencor, Product literature for *High Resolution Profiler, KLA-Tencor HRP-220*, (August 1998).
25. KLA-Tencor, Product literature for *Automated Overlay Metrology Tool, KLA-Tencor 5200 XP*, (May 1998).

26. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., p. 88.
27. Ibid., p. 402.
28. Ibid., p. 418.
29. K. Wilder, B. Singh, and W. Arnold, “Novel In-Line Applications of Atomic Force Microscopy,” *Solid State Technology* (May 1996), p. 109.
30. M. Davidson and A. Vladar, “Physics of Metrology Instruments,” p. 144.
31. D. Schroder, *Semiconductor Material and Device Characterization*, 2nd ed., p. 701.
32. W. Runyan and T. Shaffner, *Semiconductor Measurements and Instrumentation*, 2nd ed., p. 332.
33. Ibid.

第 8 章　工艺腔内的气体控制

半导体制造业是一系列主要工艺步骤的循环和重复。许多制备工艺都包含发生在工艺腔内的化学反应。这些化学反应工艺的目的在于：在适当环境下（例如真空）引入正确的化学品，同时提供反应所需的能量，从而优化所需的化学反应过程。同时尽量减小这些反应中的有害方面，如潮湿环境、有害环境及沾污物。通过谨慎地在工艺腔内导入必要初始化学品混合物（通常是一种混合气体），同时确保硅片表面达到预定的反应条件，从而获得理想化的条件。

目标

通过本章的学习，你将能够：

1. 解释为什么要在半导体制造业中使用工艺腔。
2. 描述真空的优点、真空的范围和适当的泵。
3. 解释工艺腔中气体的流动需要，并描述如何控制它。
4. 解释什么是 RGA，以及为什么它在工艺腔里是有益的。
5. 描述什么是等离子体及如何获得它。
6. 讨论工艺腔中的沾污以及如何尽量减小它。

8.1　引言

在半导体产业刚起步的时候，仅有两种硅片处理工艺需要用到真空腔。一种是只有一层金属的蒸铝工艺，另一种是在硅片背面蒸金以便将电路芯片固定在它的管壳上[1]。那时真空工艺是在类似钟罩的腔内进行的（见图 8.1）。

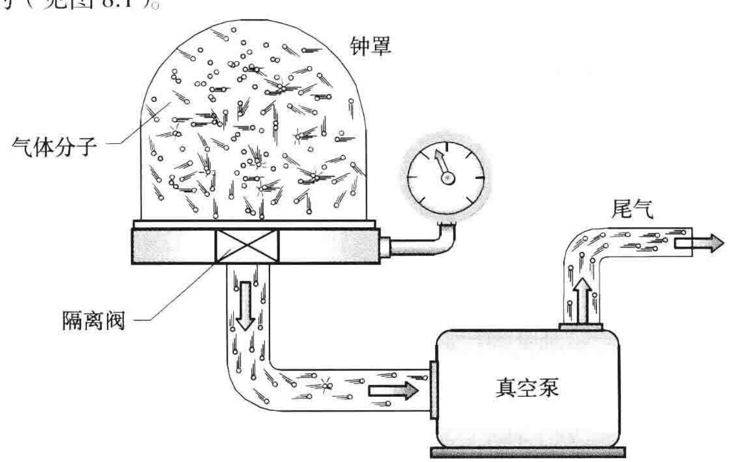


图 8.1　20 世纪 60 年代初期的真空钟罩

现在的硅片处理工艺通常要用到发生在工艺腔里的化学反应。所谓工艺腔是指一个受控的真空环境，使得化学反应能够在受控条件下进行。因此，用于化学反应的工艺腔有时被称为反应室。工艺腔的众多功能如下所示：

- 控制气态化学品的流入，并在尽量靠近硅片的地方发生反应
- 在真空环境中保持预定的压强
- 去除不需要的水汽、空气和附加反应
- 创建一个能够使化学反应（例如产生等离子体）发生的环境
- 控制硅片的加热和冷却

工艺腔中反应所需的多种化学品通常要先转换成气体的形式。源系统和腔中真空环境存在的压力差使得气流自动流入工艺腔。有时工艺腔内也会用到固体材料。在溅射过程中用做源材料的固定金属靶就是一个例子（参见第12章）。

从20世纪80年代后期，工艺腔被构造为多腔集成设备。多个工艺腔通过硅片传送系统（通常是一个机械臂）串接在一个中央传送腔的周围（见图8.2）。这种环境的设计实现了多重工艺步骤的集成。硅片在真空条件下从一个工艺腔传送到另一个工艺腔，避免了硅片上的原始氧化并减少了沾污。由于在硅片传送过程中无须泄放工艺腔，使用多腔集成设备还改进了硅片制造工艺的生产能力（定义为单位时间内处理的硅片数量）。

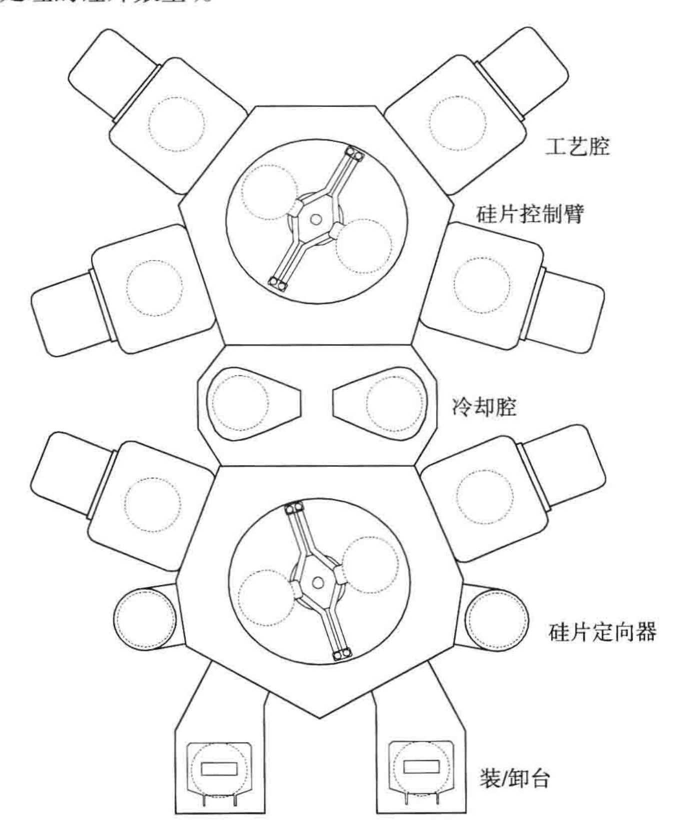


图8.2 集成多腔集成设备（承蒙Applied Materials, Inc.允许使用）

8.2 真空

硅片制造业中的许多化学反应都是在真空条件下进行的。真空存在于一个封闭的且压力比周围大气压小很多的环境中。在半导体制造业中，采用真空的益处参见表8.1。[2]

表 8.1　半导体制造业中采用真空的益处

真空条件可以		益处
1	创建洁净的环境	去除颗粒、不需要的气体、水汽和沾污物
2	降低分子密度	减少系统中的分子密度，以减少沾污，去除起妨碍作用的气体（降低分子干扰）
3	增大分子碰撞的距离（平均自由程）	提供必要的条件用以创造半导体制造业中溅射和刻蚀等工艺需要的等离子区
4	加速反应过程	降低反应蒸气的压强，使得它们可以更快地与其他原料反应，从而有助于加速反应进程
5	产生一种动力	创造一种动力，例如机械臂控制硅片所用的真空吸力

8.2.1　真空范围

下面将讨论不同的真空范围：低级真空、中级真空、高级真空（又叫高 vac）以及超高级真空（UHV）。这些范围数值参见表 8.2。作为参考，地球外层空间的真空大约是 10^{-16} 托。

低级真空(也叫初级真空)有两个重要的特征[4]：气流主要是由分子间碰撞产生的（也称滞流），压强高得足以用机械型压力测量仪测量。低级真空通常用于包含以下条件的制造工艺：依靠气相化学反应、分子间的动能传输以及气体与界面间的快速相互作用。中级真空的范围是 1 托到 10^{-3} 托，是低级和高级真空之间的过渡阶段。高级真空的定义是气体分子之间很少有碰撞（分子流）。这种条件导致非常洁净的硅片表面。超高级真空是高级真空的延伸，通过对真空腔的设计和材料的严格控制尽量减少不需要的气体成分。

表 8.2　真空范围

硅片制造工艺	初级 759~10^0	中级 10^0 ~ 10^{-3}	高级 10^{-3} ~ 10^{-6}	超高级 10^{-6} ~ 10^{-9}	本书的对应章节
氧化	硅片控制臂 气动工具				10
光刻	真空驱除 硅片控制臂				13 ~ 15
抛光	硅片控制臂 去除磨浆				18
刻蚀	等离子体剥离机 等离子体刻蚀机				16
淀积	淀积批处理工具 单硅片淀积工具				11
金属化	金属蒸发台 金属溅射台				12
离子注入	批处理式离子注入机 单硅片式离子注入机				17
测量	用于质量检测和诊断的硅片测试工具 用于研究和失效分析的分析工具				7

8.2.2　平均自由程

一个运动的气体分子在撞上另一个分子之前运动的平均距离叫做平均自由程（MFP）。当真空里的压强降低时，气体分子间的空间加大了，这成为气体流过系统及在工艺腔内产生等离子体的重要因素。空气在不同压强范围和标准温度下的平均自由程参见表 8.3。

表 8.3　平均自由程和分子密度与压力的关系

	760 托（大气）	1×10^{-3} 托	1×10^{-9} 托
分子个数 / 立方厘米	3×10^{19}	4×10^{13}	4×10^{7}
平均自由程	5×10^{-6} 厘米	5 厘米	48 公里

8.3 真空泵

在半导体制造业中有很多种不同的真空泵。我们把它们分成两类：初级泵和高级真空泵。初级泵有几种用途：在腔内创造近似中级真空（压力小于 10^{-3} 托）；清空多腔集成设备中接收硅片的区域（如真空锁）；为高级真空泵抽气（见图 8.3）。高级真空泵用来获得压力范围 10^{-3} 托到 10^{-9} 托的高级和超高级真空。新型晶片厂中使用的现代真空泵是干性的，意味着其内部没有任何可能回流到工艺腔中沾污硅片的油或润滑剂。本章只围绕干性泵进行讨论，因为我们的研究对象是现今的支持 0.25 微米以下工艺水平的技术。

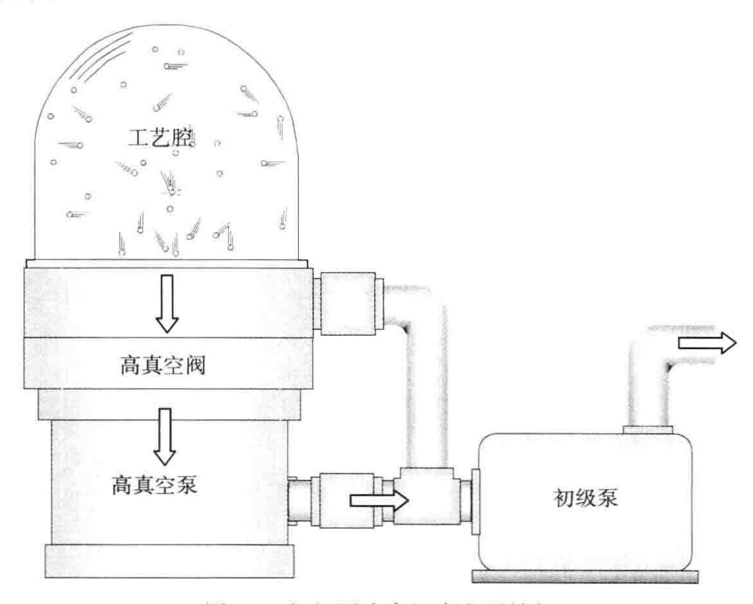


图 8.3 初级泵为高级真空泵抽气

8.3.1 初级泵

当腔内开始抽真空时，初级泵可以去除腔内 99.99% 的原始空气或其他成分。这样，高级真空泵就可以更加有效地去除那些附在腔壁上的残余水蒸气和气体分子。初级泵分很多种，每种都有特定的应用。其中有两种初级泵如下所示：

- 干性机械泵
- 增压 / 调压泵

■ **干性机械泵** 其机理是利用机械装置去除气体，如旋转支架干性泵（见图 8.4）。这种泵的原理是通过增加腔的容积来降低压力（即 Boyle 定律）。机械泵经常使用非金属材料作为运动表面，以避免使用填缝剂和润滑剂。

■ 增压 / 调压泵 由于这种机械泵具备很大的气体产量而且不需要润滑剂，所以被广泛应用。尤其适合需要用初级泵处理大量气体的情况。增压器通常被称为罗茨增压泵（Roots blower）或罗茨式增压泵。图 8.5 显示了增压器是如何与匹配的齿轮一同工作的原理。增压器通常需要初级泵来抽气，因为它无法在粘性的气流中直接向空气排气。现在正在设计新型的增压器，可以直接向空气排气而不需要使用初级泵。

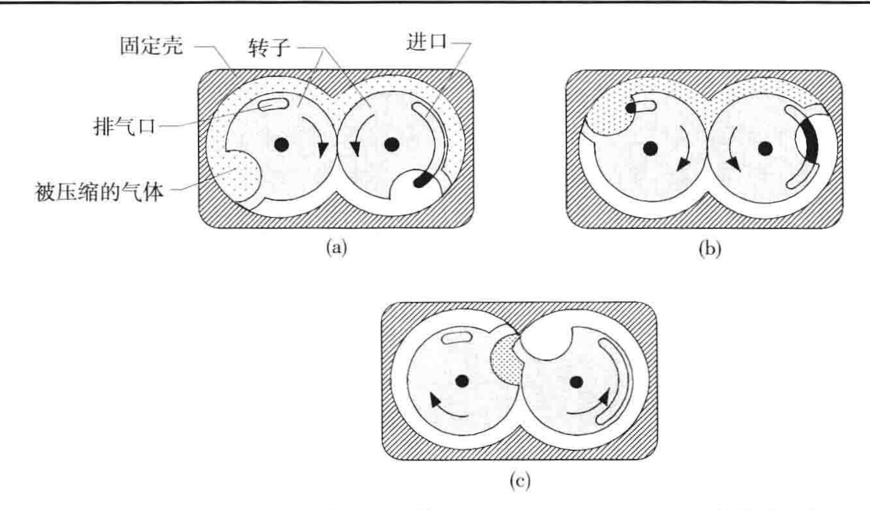


图 8.4 旋转支架干性机械泵（承蒙 International SEMATECH 允许使用）

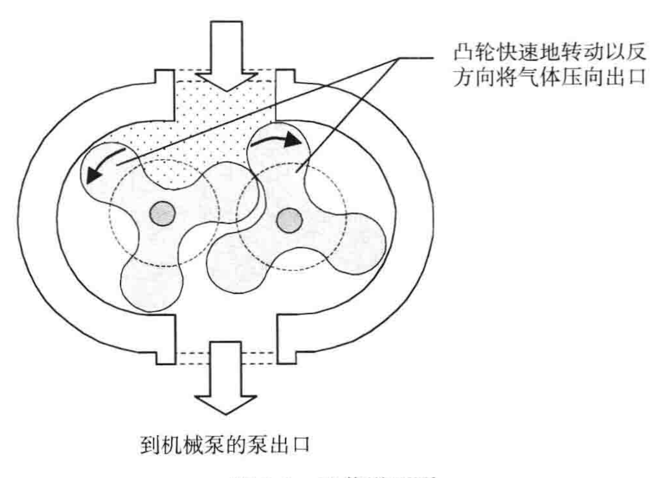


图 8.5 罗茨增压泵

8.3.2 高真空泵

常见的两种高级真空泵是：

- 加速分子泵
- 冷凝泵

■ **加速分子泵** 通常又叫涡轮泵，是一种多用途、可靠的洁净泵，可以广泛应用于硅片制备设备中。如果在工艺腔内烘烤去除湿气，涡轮泵可以达到10^{-10}托的压力。这种泵的启动速度也很快。

涡轮泵的运作机理是机械化的压缩。在固定的叶片之间有大量高速旋转的叶片（就像喷气发动机里的叶片），从而向气体分子传递动量和运动方向（见图 8.6）。每套这种旋转的和固定的叶片都是一个压缩阶段，一个泵大概会包括 10 到 40 个这样的阶段。涡轮泵的叶片速度达 90 000 RPM。涡轮泵排气到一个初级泵，因为它无法在大气压力下抽粘性气流。

涡轮泵是为半导体产业特殊设计的。通过运用磁悬浮轴承来避免使用润滑剂和特殊防震设计。采用涡轮叶片可以创造很大的气体产量以及对于轻气体快速抽真空的高压缩比。

导致涡轮泵出问题的最常见的原因有：突然将泵曝露于大气压之下（俗称泵泄放）、颗粒进入泵以及物理震动。当一个涡轮泵突然曝露在大气压下，涡轮叶片弯曲并互相碰撞，导致严重的损坏。由于涡轮泵的回转轴是精密平衡的，所以在使用过程中严禁移动或冲撞。涡轮泵不需要外部保养，大多数厂家会在泵坏了的时候直接换个新的[5]。

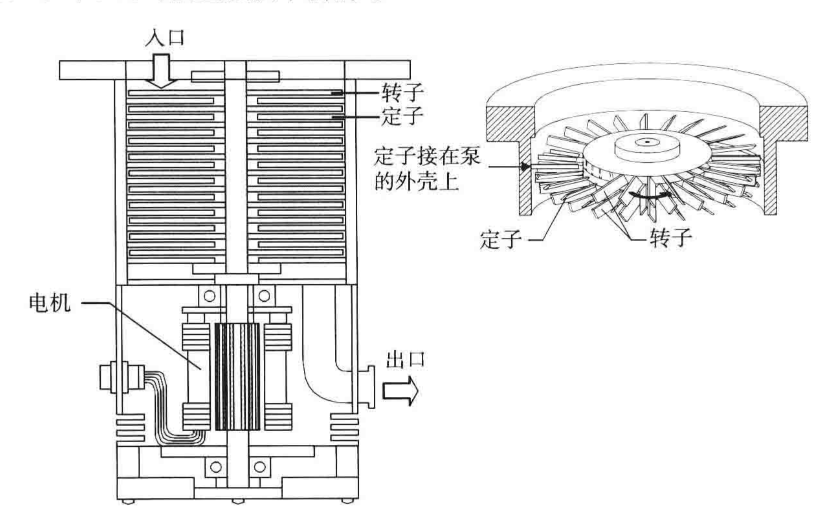


图 8.6 涡轮泵叶片（承蒙 Varian Vacuum Systems 允许使用）

■ 冷凝泵 冷凝泵是一种俘获式泵，它通过使气体变得如此之冷以致凝结并俘获在泵中的方式去除工艺腔体中的气体，以保证泵的运行。冷凝泵是产生高级和超高级真空半导体设备的行业标准。它具备极高的气体产量，并且有很高的水蒸气排气速度。这一特性在大气中排气以去除腔中湿气时很有用。冷凝泵非常洁净，没有曝露在真空里的油或运动部件。该特性非常适合硅片制造，也是这种泵在新型生产设备中很普遍的原因。冷凝泵主要有两部件：一个气态氦压缩机和一个带有冷冻头、缓冲区和机体的泵模块（见图 8.7）。

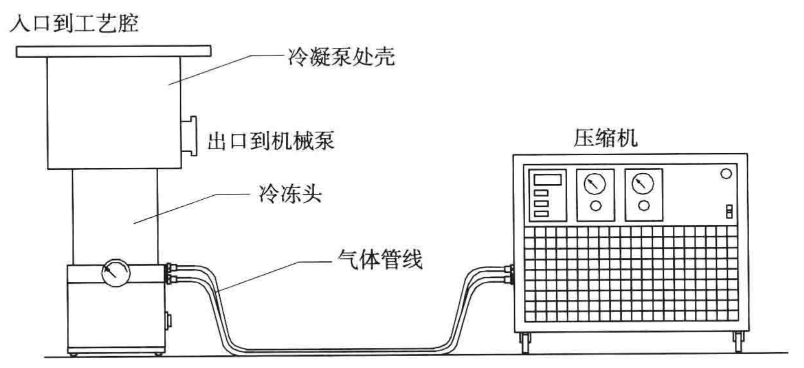


图 8.7 冷凝泵压缩器和泵模块（承蒙 Varian Vacuum Systems 允许使用）

气态氦压缩机的原理与常见的制冷压缩机的原理类似（例如家里的空调系统），只不过它提供了高压、高纯度、室温的氦给泵中的膨胀模块。当泵模块中的气体从高压状态变成低压状态膨胀的时候，氦吸收了热量，产生制冷。这个过程使得冷凝泵的温度降至 80 K 到 50 K。这种泵还能通过

再一次膨胀氦的体积使温度降至大约 20 K 到 10 K。当氦气膨胀时，它接触并冷却了一系列称为低温阵列的界面（见图 8.8）。正是在这些界面上来自真空腔的气体被冷却、浓缩或吸附。浓缩过的气体在冰冷的低温阵列表面直接凝结并被收集起来，这就是泵的原理。

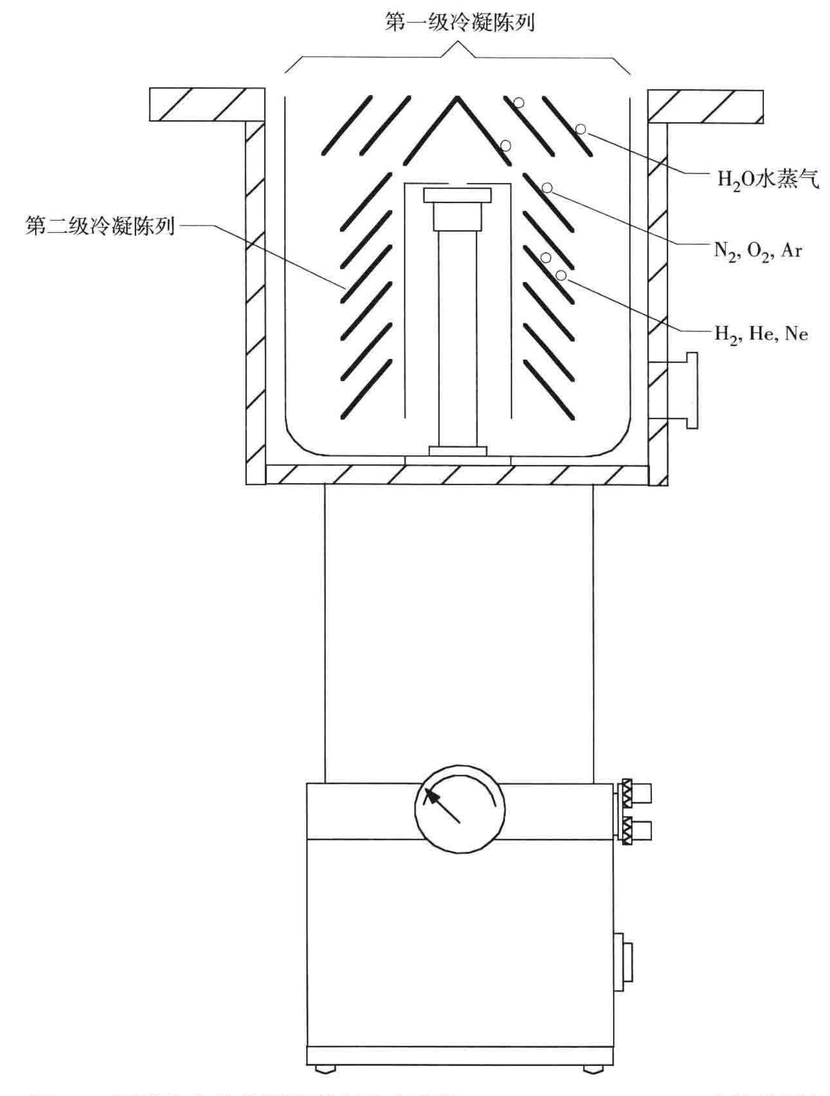


图 8.8　泵模块中的低温阵列表面（承蒙 Varian Vacuum Systems 允许使用）

由于冷凝泵是通过凝结分子而非压缩或驱赶来收集气体的，所以这些气体在低温阵列表面聚积成凝结的固体。这个过程类似冰（冷冻的水）在冷凝器内部的形成过程。这些收集起来的气体定期通过一个名为再生的过程去除，在这个再生过程中泵被加温到室温或更高温度，气体即被排放到专门的排泄管道中。冷凝泵需要通过初级泵来去除泵中和真空系统中的空气。

8.3.3　集成工具中的真空

集成多腔集成设备中的真空环境取决于每个独立的工艺腔的需要（见图 8.9）[6]。腔彼此隔离，其真空条件从真空锁区到工艺腔越来越好。真空锁区是硅片进入多腔集成设备的地方，它将工具的

内部与外部工作环境相隔离。整个系统就是为了实现一个控制良好、低沾污的硅片制备和加工环境而设计的。

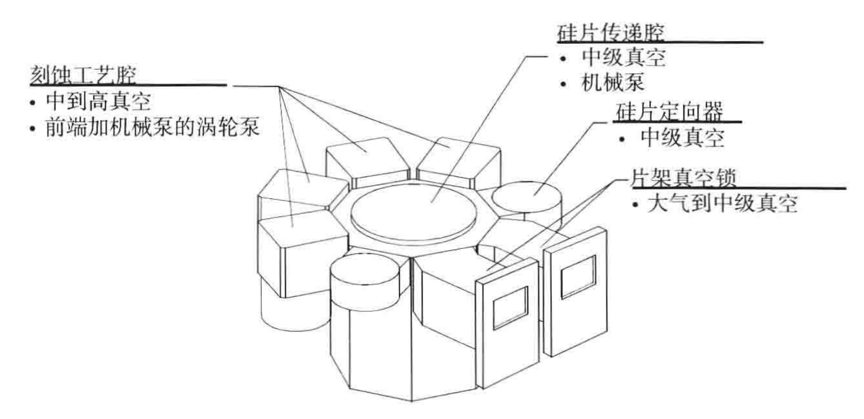


图 8.9　真空环境下的多腔集成设备布局

8.4　工艺腔内的气流

进入工艺腔的气流对于实现预期的化学反应非常关键。对工艺腔控制气流最基本的要求有[7]：

- 具备控制各种通用和特种气体的能力，包括很多腐蚀性或有毒的气体。
- 对进入工艺腔的气流的控制要精确且可重复。
- 在工艺进行过程中应当可以控制混合气体的比例。
- 腔体中的材料既不能受工艺气体的影响，也不能在气流中产生沾污。

当讨论气体传输系统或真空的时候，标准条件下气流的量被称为产量(Q)。产量就是在一段特定时间内通过真空系统中某一点的气体分子的净数目。产量决定了标准条件下系统中测定容积的气流。产量最常见的单位是托・升/秒、标准立方厘米/分（sccm）或者标准升/分（slm）。

泵常用泵速来描述，反映泵去除气体的效率。泵速通常用单位时间内的容积数量来表达（例如升/秒或立方英尺/分）。

产量和泵速在许多半导体工艺步骤中都是非常重要的。在硅片表面发生的化学反应可能需要很高的气流速度（意味着高产量）。其要素诸如泵的类型、泵速、泵在系统中的定位以及气体产量都是重要的变量，决定了在硅片表面发生一个化学反应可否接受。

8.4.1　质量流量计

化学反应中包含了以分子数目作为重要控制参数的物理过程。根据理想气体定律可知给定容积内气体分子的数目与压力和温度成正比。因此，仅通过容积控制进入腔体的气流无法做到每次都得到相同数目的分子，这是不利于控制化学反应的。

为了解决这个问题，进入腔体的气流通过质量流量计（MFC）来控制，如图8.10所示。MFC利用气体的热传输特性，直接测量进入腔体的质量流量比率。它使用一个温度传感器来探测气体质量流量中的变化。集成工具中通常包含许多MFC来控制各种不同的气体进入工艺腔。在使用MFC之前先用一个压力调节器来确保传给MFC的气体具备指定不变的压力。

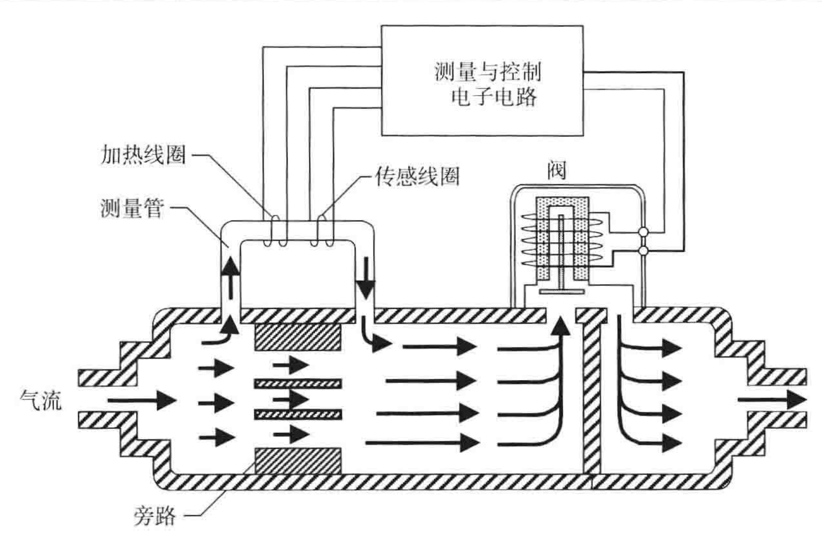


图 8.10　温度质量流量计（承蒙 International SEMATECH 允许使用）

8.5　残气分析器

残气分析器（RGA）是工艺腔设备的重要部分，用来检验残留在已清空系统中的气体分子的类型。基于此理，它可以用来探测泄漏、分析工艺腔内的沾污以及作为故障查询工具来解决腔内本底真空的问题[8]。它最常见的用途是检漏和工艺中的故障查询。

8.5.1　RGA 基础

RGA 的原理就是隔离、鉴别和测量腔中所有的气体分子。RGA 可以测量真空系统中每种气体成分的局部压力分布，以及所有气体分子的总压力。RGA 通常用于高级或超高级真空范围，但也可以用于 10 毫托的环境。



质量流量计
（承蒙 MKS Instruments, Inc.允许使用照片）

RGA 包括 4 个基本部分：一个离子发生器、一个孔径、一个分析器和一个探测器（见图 8.11）。这些几乎就是一个质谱仪的组成部分，但是RGA 比它更小，更适合工艺工具。这 4 个部分位于一个直接通向工艺腔的特制阀门入口处的RGA感应头上。

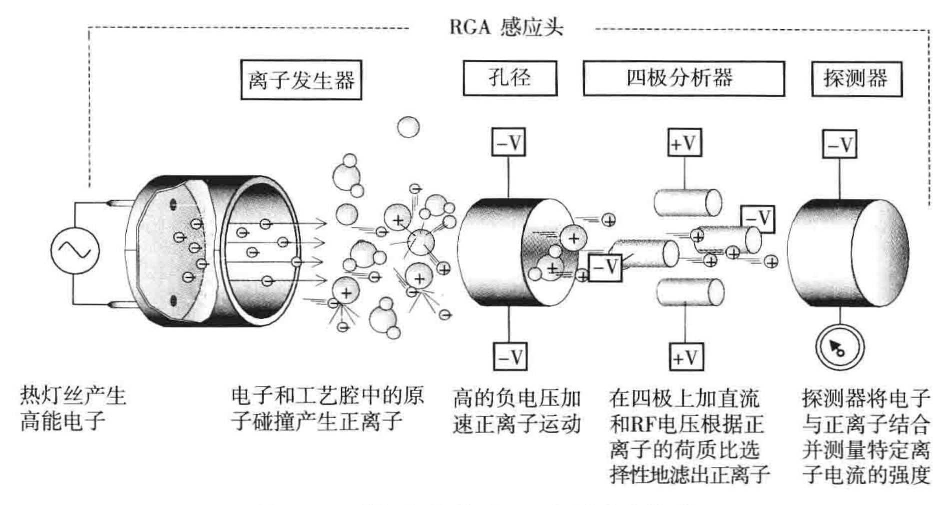


图 8.11 残气分析器（RGA）的基本构成

离子发生器通过用其自身产生的电子轰击腔中的分子产生气体离子。这种轰击从气体分子中轰出一个电子，生成一个正离子。通过在孔径内施加电场或磁场，使得这些离子向分析器运动。在分析器里，离子按质量分离。分析器有很多种，一种通用的是四极质量分析仪（QMA）。它包括4个圆柱型的棒，每个棒都具有恒定的直流电压和高频RF分量（见图8.12）。当在圆柱体上施加某个电压时，只有具备特定质量和电荷的离子可以通过这个过滤器。所有其他的离子都落到圆柱体上。现代的RGA上的探测器具有1原子质量单位（amu）的分辨率，以分辨不同的离子。随着过滤器上的电压阶段性改变，不同类型的离子分别通过过滤器。使用这种方法，不同类型的气体就被分离并鉴别出来。

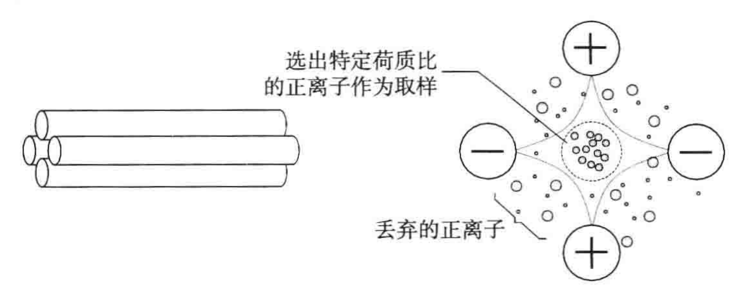


图 8.12 四级质量过滤器

8.5.2 实时监控的RGA

RGA数据是确认工艺腔工作的重要部分，尤其是对于大直径的硅片（见图8.13）。这是因为RGA数据可以提供关于工艺腔在抽真空时的清洁度和可靠性的实时信息。

将RGA作为在线实时工艺监控是最近开发的。当硅片处在工艺流程中时，RGA可以直接监控腔中的化学成分，以确保工艺正常进行[9]。RGA可以用于再现产生晶片质量问题时的条件，从而更快速地进行工艺问题诊断。

越来越多的地方需要用RGA来监控化学过程，如等离子体刻蚀和增强型等离子体化学气相淀积（PECVD）[10]。在等离子体的应用中，RGA可以在腔内发生反应的时候跟踪不同的化学反应物，以洞察等离子体的活动及化学元素的变化。

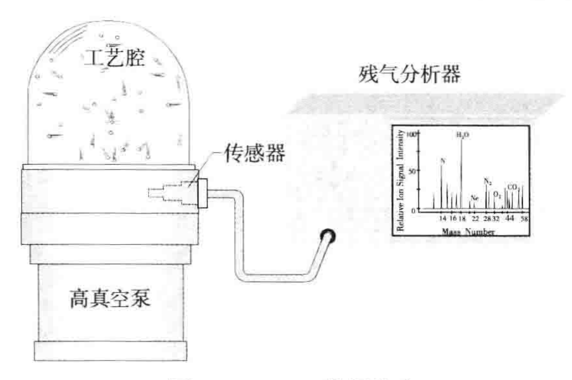


图 8.13　RGA 数据输出

8.6　等离子体

等离子体是一种中性、高能量、离子化的气体，包含中性原子或分子、带电离子和自由电子。当从中性原子中去除一个价电子时，形成正离子和自由电子。例如，当原子结构内的质子和电子数目相等时氟是中性的。当一个电子从它的核内分离出去后氟就离子化了（见图 8.14）。在一个有限的工艺腔内，利用强直流或交流电磁场或是用某些电子源轰击气体原子都会导致气体原子的离子化。更具体的细节后面将会介绍。

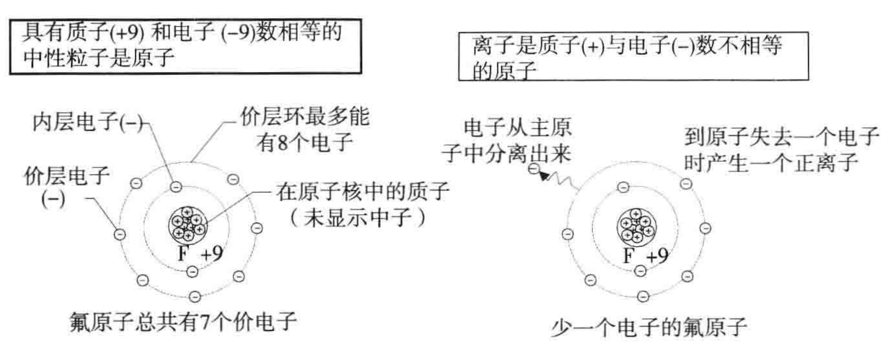


图 8.14　离子的形成

等离子体可以提供发生在硅片表面的气体反应所需的大部分能量，因此被广泛应用于晶片制造的各个步骤。例如，在高密度等离子体化学气相淀积（HDP-CVD）中，热能场内用等离子体离子化并激发一个气体源来淀积薄膜，具体情况将在第 11 章中介绍。等离子体的另一个应用是通过等离子刻蚀选择性地去除金属（参见第 16 章）。在工艺腔内存在等离子体的最常见的迹象是被称为辉光放电的特有的可视光（见图 8.15）。

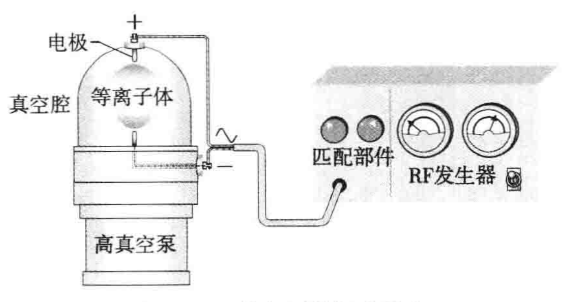


图 8.15　等离子体辉光放电

8.6.1 辉光放电

通过在混合气体中加入直流电压可以产生辉光放电，不过最常见的方法却是在射频（RF）范围内使用交流电。当施加电能时，混合气体中的自由电子很大程度上受电场的影响。电子被加速，穿过混合气体，然后与原子或分子相撞，在碰撞过程中释放出附加的电子。

在一个弱离子化的等离子体或辉光放电中，正如在晶片制造中广泛应用的那样，高能电子与中性原子或离子相撞并激发它们。这些受激发的原子或离子存在时间很短，短到需用十亿分之一秒来度量。当一个受激发的原子或离子返回其最低的能级时，能量以放射光子（或光）的形式将能量释放。这种释放导致了辉光放电中独有的发光（见图8.16），不同气体对应不同的发光颜色（例如氧气、氮气、氟气等）。等离子体内的高能电子通过碰撞及发生反应向中性原子和分子传输能量，这在高压环境中是无法发生的。维持辉光放电的典型因素包括RF能量和频率、压力、混合气体和发光率、真空泵泵速以及表面温度。

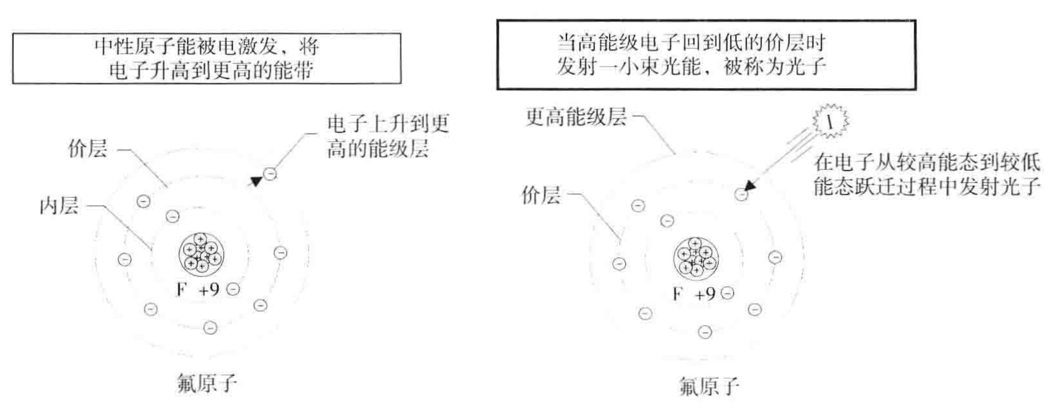


图 8.16 电性激发和释放原子

■ 原子团 原子团是高度反应的化学核素。当电子碰撞原子或分子时会产生不同的结果。当一个大分子变成较小的颗粒（见图8.17）时会产生分子的分裂。回顾一下价电子层的电子数目与原子的化学特性的关系。当一个中性分子被带有能量的电子轰击时产生了原子团。这一过程不需要增加或减少电子就可以切断化学链，创造出高度活性的核素。这种原子团是价电子层中不完整的链（或电子不配对的）不带电原子或分子的碎片。

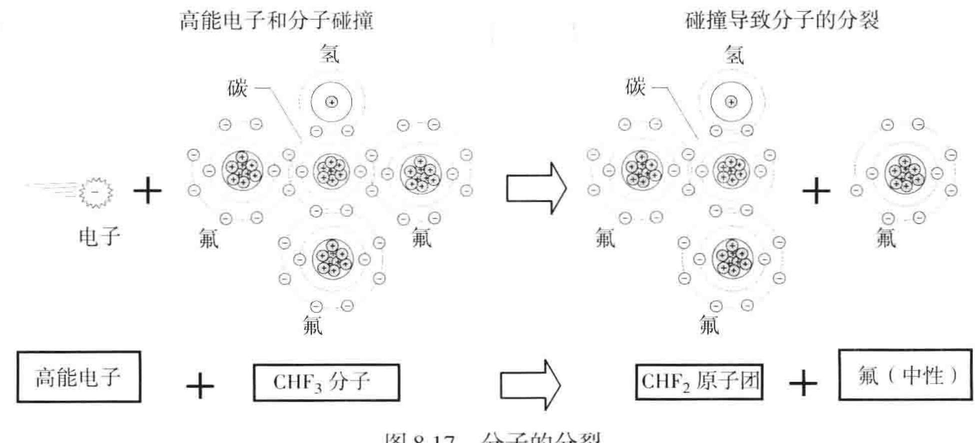


图 8.17 分子的分裂

■ **RF 能量**　等离子体的能量是通过对几百伏特有效值（rms）应用交流电（AC）电场中 RF 放射的吸收来获取的。RF 能量的使用，通常是在 13.56 MHz [这是经 FCC（联邦通信协议）批准的行业标准]，可以产生一个高功效的等离子体。在最近几年，等离子体的产生可以使用多种不同频率，如 400 kHz、2 MHz、4MHz 和 2.45 GHz。频率直接影响到离子的迁移率，同时影响工艺一致性和工艺速率（例如刻蚀中去除金属的速率）。RF 场存在于一个阴极和一个阳极之间，像电极那样。在将 RF 能量应用于一个并行的电极时，硅片通常是放在与地电极相反的极板上（见图 8.18）。

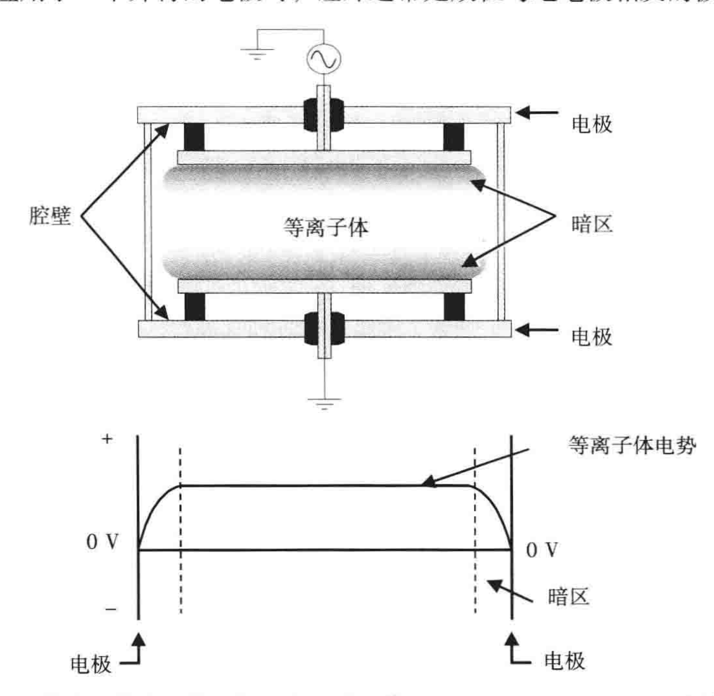


图 8.18　传统的等离子体电场示意图（承蒙 International SEMATECH 允许使用）

电子、离子和其他产生于辉光放电的物质会向着电极运动。比起那些缓慢运动的大团正离子，辉光放电中产生的电子向正极运动的速度要快得多，运动使得在辉光放电区域产生一个正电势。正离子向阴极运动，并穿过一个与阴极相邻的暗区，或称之为离子外壳。暗区是由于强电场中缺乏电子而产生的。与辉光放电区域相比，暗区具有很大的压降和很强的电场。这使阳性离子向阴极运动的速度加快，导致后者又弹出第二个电子。这第二个电子被阴极反射回来，穿过暗区，同时维持了辉光放电现象。

8.7　工艺腔的沾污

带有真空的晶片制造设备可以分成两大类：处理大批硅片或单个硅片带有真空锁和集成工艺腔的多腔体工具。总的来说，单硅片反应中的腔沾污比大批量处理工具中的沾污要小。改进单硅片多腔集成设备的方法在于保持工艺腔相对稳定的温度和压力条件，以尽量减小会产生颗粒的因素。

在带有真空的工艺腔内，痕量水可以说是最显著的沾污源[11]。由于水在化学反应和真空中会被分解成离子或 H_2、O_2 等气体分子，所以它成为真空系统的一个问题所在。它顽强地粘在表面上，清除起来很缓慢而且是反应器中的毒素。例如，水粘在腔壁上非常顽固，以致据估算腔壁上的水分子数目是真空里一立方米工艺腔空间中的水分子数的 10 000 倍。在抽真空的过程中由于水颗粒的形成，产生了颗粒沾染[12]。

为了尽量降低工艺腔内吸附的水产生的沾污，需要减少以清洗为目的的开启或拆开的工艺反应室。通过在线清洁技术（在工艺进行过程中清洗）可以实现这一点。尽管如此，工艺设备仍然需要迫使设备停机和修理的维护。表8.4列出了在维修硅片制造设备中减少沾污的建议[13]。由维护技师在服务期间采用的专门步骤对设备中沾污的控制有显著效果。

表 8.4 在维修硅片制造设备中减少沾污的建议

建议
1. 保持放置设备的净化间环境中适合的温度和湿度
2. 在处理硅片时控制设备的泵和排风循环系统，尽量减少紊乱，阻止颗粒的产生
3. 避免使用研磨性的清洁材料
4. 使用原装的备用部件和材料以避免产生敏感的设备沾污和裂缝
5. 使用产生颗粒少的气体控制部件，如有产生颗粒趋势的调节器和自动阀门

8.8 小结

工艺腔在硅片制造中有很多用途，如控制气流。工艺腔内的真空可以创造一个具有低分子密度和高平均自由程的洁净环境。真空分为低级、中级、高级和超高级。硅片制造中最常见的真空泵可以分为初级泵（干性机械泵和增压器/调压器）和高级真空泵（涡轮泵和冷凝泵）。机械泵是低级真空泵。增压器是具备大产量的中级真空泵。涡轮泵是使用涡轮的高级真空泵。冷凝泵是通过凝结方法去除气体的俘获泵。工艺腔中的气流是通过质量流量计（MFC）来控制的。残气分析器（RGA）用于探测裂缝或分析腔体中抽真空后的残留气体。它还可以实现工艺进行过程中对腔内反应的实时监控。等离子体是高能气体，通常用于工艺腔内以激发反应中的气体源。它包括一种由带有能量并发光的电子碰撞产生的辉光放电现象。等离子体能量是通过吸收RF放射的发光来获取的。工艺腔内的清洁工作很关键，而水分子是最严重的沾污。

关键术语

工艺腔
反应室
多腔集成设备
真空
托
中级真空
低级真空（初级真空）
高级真空
超高级真空
平均自由程（MFP）
初级泵，机械泵
高级真空泵
干性机械泵
增压器（调压泵或齿轮泵）
加速分子泵
冷凝泵
低温阵列
再生
真空锁
产量
泵速
质量流量计（MFC）
残气分析器（RGA）
四极质量分析仪（QMA）
等离子体
辉光放电
原子团，自由基
暗区

复习题

1. 什么是工艺腔？它的五项功能是什么？

2. 描述一种多腔集成设备，解释为什么它对 IC 制造非常有用。
3. 什么是真空?
4. 半导体制造业中的真空由有什么优点?
5. 列出最常见的真空单位，并解释。
6. 列出并描述 4 种真空范围。
7. 什么是平均自由程? 为什么它很重要?
8. 给出使用初级泵和真空泵的理由。
9. 描述两种初级泵。哪一种的气体产量更高?
10. 描述两种类型的高级真空泵。
11. 涡轮泵最常见的损坏原因是什么?
12. 描述冷凝泵的原理，并解释其过程。
13. 什么是再生?
14. 画一张多腔集成设备的图，要具备并标明至少三种不同的真空级别。
15. 什么是多腔集成设备中的真空锁?
16. 列出气流控制中 4 个基本的对工艺腔的要求。
17. 描述气体产量。
18. 什么是泵速?
19. 质量流量计的原理是什么?
20. 残气分析器是做什么的?
21. 列出并描述 RGA 的三个基本分量。
22. 四极质量分析仪在 RGA 上是如何工作的?
23. 什么是等离子体? 它对工艺腔有什么益处?
24. 描述等离子体辉光放电区域。
25. 什么是等离子体的原子团?
26. 为什么要在等离子体中使用 RF 能量?
27. 为什么潮湿是工艺腔的一大问题?
28. 列出减小设备维修中的沾污的必要步骤。

真空设备提供商网站

Alberta University Vacuum page	http://nyquist.ee.ualberta.ca/~schmaus/vacf/
Alcatel Vacuum Products	http://www.alcatel.com
Apiezon Products	http://www.apiezon.com
AVS,American Vacuun Society	http://www.vacuum.org
BOC Edwards	http://www.boc.com/edwards/
CTI Cryogenics	http://www.ctivacuum.com
Ebata Technologies	http://www.ebaratech.com
Granville-Phillips	http://www.helixtechnology.com
Inticon Inc,	http://www.leyboldinficon.com
Leybold Vacuum	http://www.leyboldvac.de
Milipore Corp.	http://www.milipore.com

MKS Instruments	http://www.mksinst.com
Omega Engineering Inc.	http://www.omega.com
Osaka Vacuum Ltd.	http://www.osakavacuum.com
Parker Hanniflin Corp.	http://www.veriflo.com
Pfeiffer Vacuum Tech. ,Inc.	http://www.pferffer-vacuum.com
SEMI	http://www.semi.org
Unit Instruments	http://www.unit.com
Varian Inc.	http://www.varianinc.com
Varian Vacuum Technologies	http://www.varianinc.com/vacuum/
VAT Valve	http://www.vatvalve.com
Veeco Instruments Inc.	http://www.veeco.com

参考文献

1. R.Waits, "Semiconductor Manufacturing and Vacuum Technology: A Memoir," *Solid State Technology* (May 1997): p.105.
2. H.Tompkins, The *Fundamentals of Vacuum Technology*, (New York: American Vacuum Society, 1997), p.6.
3. C.Tilford and J. P. Looney,"Vacuum Measurement: The Basics," *Semiconductor International* (May 1994): p.73.
4. Ibid.
5. J. Baliga, "Vacuum Pump Designs Adjust to Harsher Conditiongs," *Semiconductor International* (October 1997): p.88.
6. S. Hansen, *Introduction to the Creation and Control of the Vacuum Process Environment*, (Andover: MKS Instruments,1995), p.118.
7. Ibid., p.110.
8. L. Pters, "Residual Gas Analysis: A Technology at a Crossroads," *Semiconductor International* (October 1997): p.95.
9. T.Banks, G.Diamond, and S.Ruck, "Integrating Mass Spectrometry Data into the Fab Environment," *Semiconductor International* (June 1997):p.138.
10. Ibid., p.98.
11. A. Rapa and A. Bross"Contamination Control in Multilevel Interconnection Manufacturing," *Handbook of Semiconductor Interconnection Technology, ed G. Schwartz,* K. Srikrishnan, and A.Bross, (New York: Marcel Dekker, 1998), p.552.
12. Ibid.
13. Ibid., p.553.

第9章　集成电路制造工艺概况

典型的集成电路硅片制造工艺可能要花费六到八周的时间,包括350或者更多步骤来完成所有的制造工艺。这种工艺的复杂性是无以复加的。

众所周知,大多数半导体流程都发生在硅片顶层的几微米以内。这一有源区对应于工艺流程的前端工艺。所有硅上方的材料都是互连芯片上各个器件所需的分层结构的一部分。为了增加多层金属及绝缘层,工艺流程要求硅片在不同工艺步骤中循环。一旦了解了工艺流程,你就会认识到要制造一块高性能的微芯片,只需要多次运用有限的几种工艺。

目标

通过本章的学习,你将能够:

1. 画出典型的亚微米 CMOS 集成电路制造流程图。
2. 对6种主要工艺和硅片制造中的拣选/测试在概念上有一个大概的了解。
3. 描述 CMOS 制造工艺 14 个步骤的主要目的。
4. 讨论每一步 CMOS 制造流程的关键工艺和设备。

9.1　引言

本章简单介绍了 0.18 μm 的 CMOS 集成电路硅工艺的主要步骤。这有助于读者对半导体制造有一个更好的了解。每一步工艺的具体细节将在本书专门的章节中详细介绍。

首先给出了整个硅片制造工艺的简介,通过一个模型描述了硅片是怎样在有限工艺流程中重复循环的。这种描述简化了概念,将芯片的制造流程控制在一个可管理的水平。必须认识到工艺中的各种变化,例如参数和工具的变化,这种变化的结果只能在几星期后的最终测试中了解。正因为这种制造的复杂性,使得每一步都必须通过精确测量以便绝对正确地完成任务,这是至关重要的。

9.2　CMOS 工艺流程

集成电路制造就是在硅片上执行一系列复杂的化学或者物理操作。简而言之,这些操作可以分为四大基本类:薄膜制作(layer)、刻印(pattern)、刻蚀和掺杂。图 9.1 展示了工艺的复杂性,即使制造单个 MOS 管也不例外。由于 CMOS 技术在工艺家族中最有代表性,我们就以它为例介绍硅片制造流程。最典型的例子是0.18 μm的CMOS集成电路制造工艺。由于这是集成电路制造的概述,所以会接触到大量的术语和概念,这些将在随后各章中得到详细阐述。在学习本章的过程中必须时刻牢记,在制造过程当中要进行一系列有着特定目的的操作。注意每一步操作的目的、所采用设备及材料的种类以及随后的质量测量手段,这些决定了每一步工艺的集成。

UV光
掩膜版
氧
二氧化硅
硅衬底
光刻胶
曝过光的光刻胶
氧化硅

氧化（场氧） 光刻胶涂胶 掩膜版－硅片对准与曝光 曝过光的光刻胶 光刻胶显影

RF源
光刻胶
离子化的CF_4气体
氧化硅
离子化的氧气
栅氧化硅
掺杂气体
硅烷气体
多晶硅
离子化的CCl_4气体
oxide
多晶硅栅

氧化硅刻蚀 光刻胶去除 氧化（栅氧化硅） 多晶硅淀积 多晶硅光刻与刻蚀

扫描离子束
氮化硅
氮化硅顶部
接触孔
金属接触

离子注入 有源区 氮化硅淀积 接触刻蚀 金属淀积与刻蚀

图 9.1　CMOS 工艺流程中的主要制造步骤（承蒙 Advanced Micro Devices 公司允许使用）

9.2.1　硅片制造厂的分区概述

集成电路是在硅片制造厂中制造完成的。如图 9.2 所示的硅片制造厂可以分成 6 个独立的生产区：扩散（包括氧化、膜淀积和掺杂工艺）、光刻、刻蚀、薄膜（thin film）、离子注入和抛光。这 6 个主要的生产区和相关步骤以及测量工具都在硅片厂的超净间中。其中抛光区是高性能半导体集成电路制造业的新成员，并且在工业中的应用越来越普遍。虽然对硅片上的独立管芯进行测试的测试/拣选区就在硅片厂的附近，但是测试区并不与硅片制造厂的其他部分在同一超净环境当中。装配和封装则在其他工厂进行，甚至在别的国家完成。

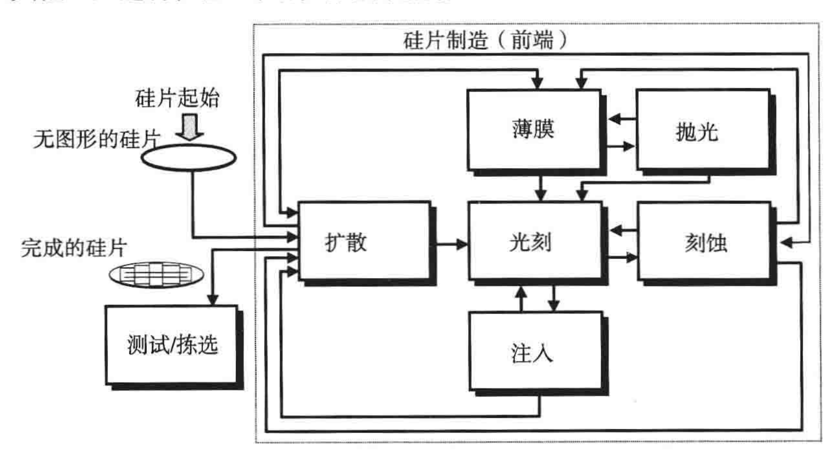


图9.2　在亚微米CMOS IC 制造厂典型的硅片流程模型（承蒙Advanced Micro Devices 公司允许使用）

■ **扩散**　扩散区一般认为是进行高温工艺及薄膜淀积的区域。扩散区的主要设备是高温扩散炉和湿法清洗设备。高温扩散炉（见图 9.3）可以在近 1200°C 的高温下工作，并能完成多种工艺流程，包括氧化、扩散、淀积、退火以及合金。这些工艺将在后续章节中具体描述。湿法清洗设备是扩散区中的辅助工具。硅片在放入高温炉之前必须进行彻底地清洗，以除去硅片表面的沾污以及自然氧化层。

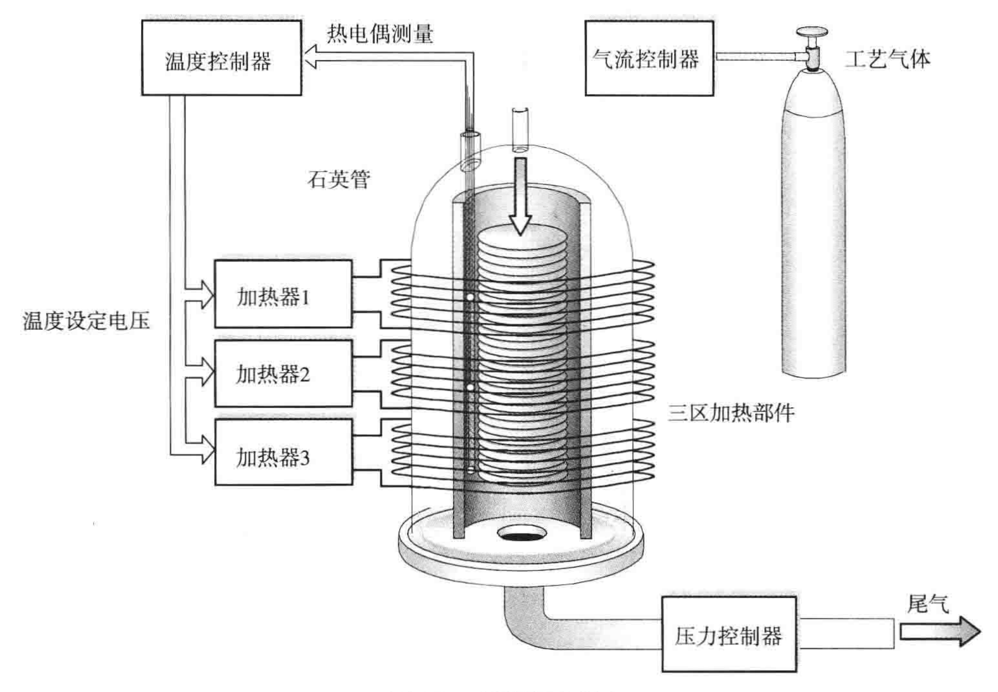


图 9.3　高温炉示意图

■ **光刻**　使用黄色荧光管照明使得光刻区与芯片厂中的其他各个区明显不同。光刻的目的是将电路图形转移到覆盖于硅片表面的光刻胶上。光刻胶是一种光敏的化学物质，它通过深紫外线曝光来印制掩膜版的图像。光刻胶只对特定波长的光线敏感，例如深紫外线和白光，而对黄光不敏感。



在亚微米制造厂的光刻区
（承蒙 Advanced Micro Devices 公司允许使用）

涂胶 / 显影设备（coater/developer track）是用来完成光刻的一系列工具的组合。这一工具首先对硅片进行预处理、涂胶、甩胶、烘干，然后用机械臂将涂胶的硅片送入对准及曝光设备。步进光

刻机（stepper）用来将硅片与管芯图形阵列对准，这一阵列由镀铬石英版刻蚀而成。在恰当地对准和聚焦后，步进光刻机先曝光硅片上的一小片面积，随后步进到硅片的下一块区域并重复上述过程，直到硅片表面全部曝光了管芯图形为止（见图9.4）。完成后，硅片回到涂胶/显影设备对光刻胶进行显影，随后清洗硅片并再次烘干。

如图9.2所示，光刻区位于硅片厂的中心。之所以这样是基于如下事实：硅片从硅片制造厂的所有其他区流入光刻区。由于在光刻过程中缺陷和颗粒可能植入光刻胶层，沾污的控制显得格外重要。光刻掩膜版上的缺陷以及步进光刻机上的颗粒能够复印到所有用这些设备处理的硅片上。

为了减少沾污，敞口盛放的化学试剂在光刻区中是禁止使用的。因此，清洗装置以及光刻胶剥离机通常安排在硅片厂的其他区域，而不是光刻区。参看图9.2，经过光刻处理的硅片只流入两个区：刻蚀区和离子注入区。因此只有三个区会处理涂胶的硅片，它们是光刻区、刻蚀区和离子注入区。

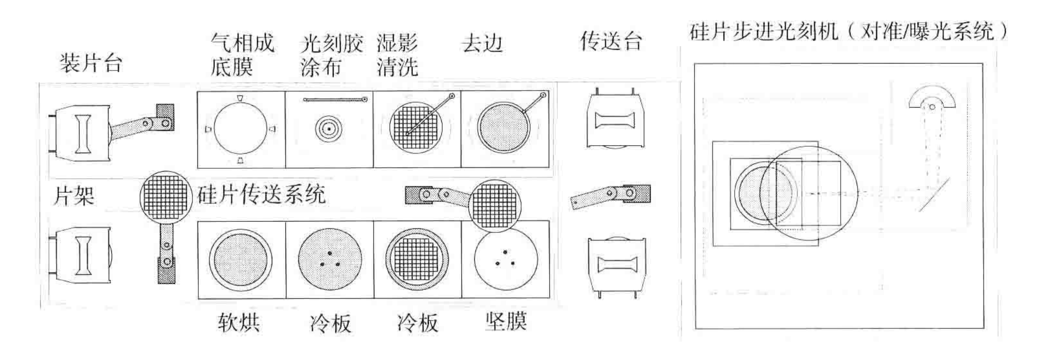


图9.4　光刻工艺模块示意图

■ **刻蚀**　刻蚀工艺是在硅片上没有光刻胶保护的地方留下永久的图形。刻蚀区最常见的工具是等离子体刻蚀机、等离子体去胶机和湿法清洗设备。目前，虽然仍采用一些湿法刻蚀工艺，但大多数步骤采用的是干法等离子体刻蚀（见图9.5）。等离子体刻蚀机是一种采用射频（RF）能量在真空腔中离化气体分子的一种工具。等离子体是一种由电激励气体发光的物质形态。等离子体与硅片顶层的物质发生化学反应。刻蚀结束后利用另一种称为去胶机的等离子体装置，用离化的氧气将硅片表面的光刻胶去掉。紧接着用一种化学溶剂彻底清洗硅片。

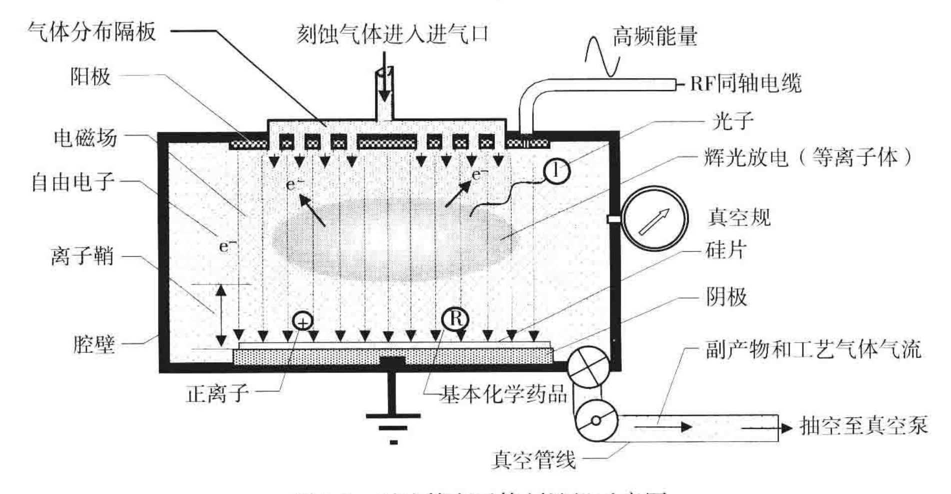


图9.5　干法等离子体刻蚀机示意图

■ **离子注入**　离子注入机是亚微米工艺中最常见的掺杂工具。气体带着要掺的杂质，例如砷(As)、磷(P)、硼(B)在注入机中离化（见图 9.6）。采用高电压和磁场来控制并加速离子。高能杂质离子穿透了涂胶硅片的表面。离子注入完成后，要进行去胶和彻底清洗硅片。

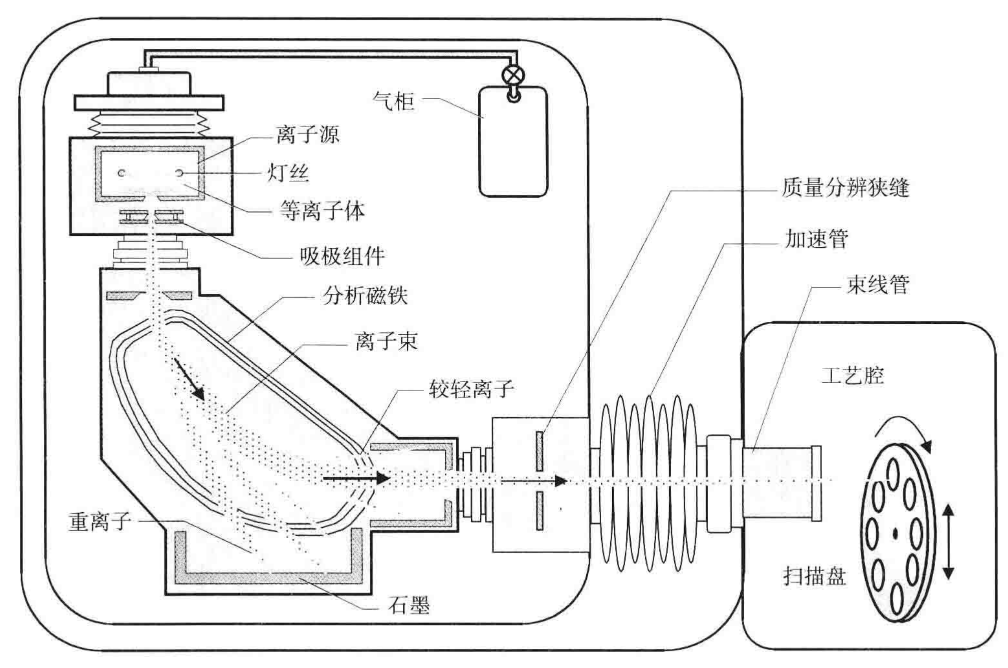


图 9.6　离子注入机示意图

■ **薄膜生长**　薄膜区主要负责生产各个步骤当中的介质层与金属层的淀积。薄膜生长中所采用的温度低于扩散区中设备的工作温度。薄膜生长区中有很多不同的设备。所有薄膜淀积设备都在中低真空环境下工作（见图9.7），包括化学气相淀积（CVD）和金属溅射工具（物理气相淀积，PVD）。该区中用到的其他设备可能会有SOG(spin-on-glass)系统、快速退火装置（RTP）系统和湿法清洗设备。SOG用来填充硅片上的低凹区域以实现硅片表面的平坦化（使平滑）。快速退火装置用于修复离子注入引入的衬底损伤，也用于金属的合金化步骤。

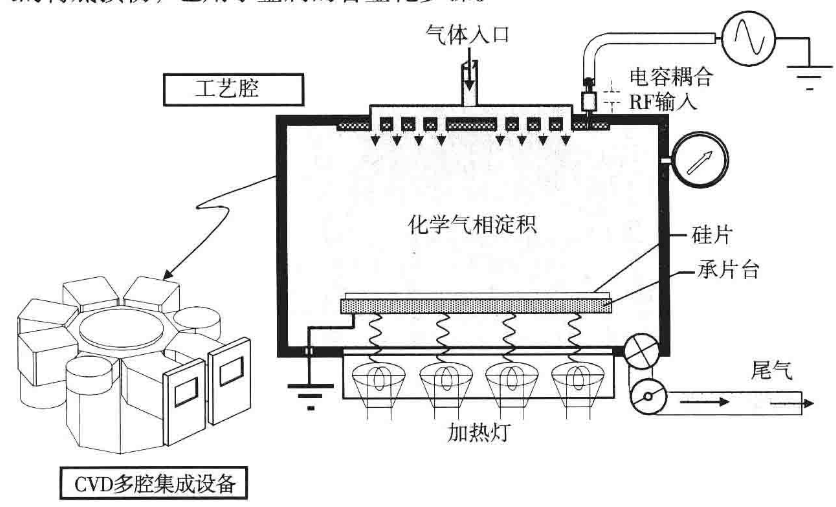
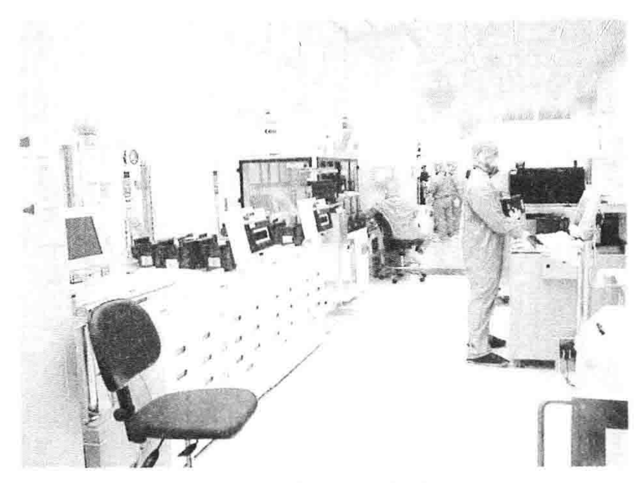


图9.7　CVD多腔集成设备和工艺腔的示意图

■ **抛光** CMP（化学机械平坦化）工艺的目的是使硅片表面平坦化，这是通过将硅片表面突出的部分减薄到下凹部分的高度实现的。硅片表面凹凸不平给后续加工带来了困难，而CMP使这种硅片表面的不平整度降到最小。抛光机是CMP区的主要设备，而这一步工艺也可以叫抛光。CMP用化学腐蚀与机械研磨相结合，以除去硅片顶部希望的厚度。其他辅助CMP的设备包括刷片机（wafer scrubber）、清洗装置和测量工具。



在亚微米制造厂的抛光区
（承蒙Advanced Micro Devices公司允许使用）



薄膜金属化工作区
（承蒙Advanced Micro Devices公司允许使用）

9.3 CMOS制作步骤

本章以下部分将集中讨论一个硅片在典型CMOS流程当中的主要制作步骤。虽然流程中的有些步骤可以一次处理一批硅片，下面只描述单片的制作步骤。为了进一步简化描述，下面只介绍一个CMOS反相器，由两个晶体管构成——一个nMOS和一个pMOS，它仅占微小的面积。在每一个主要步骤中将会给出产品的剖面图。

CMOS制作步骤如下所示：

1. 双阱工艺
2. 浅槽隔离工艺

3. 多晶硅栅结构工艺
4. 轻掺杂漏（LDD）注入工艺
5. 侧墙的形成
6. 源/漏（S/D）注入工艺
7. 接触孔的形成
8. 局部互连工艺
9. 通孔1和金属塞1的形成
10. 金属1互连的形成
11. 通孔2和金属塞2的形成
12. 金属2互连的形成
13. 制作金属3直到制作压点及合金
14. 参数测试

1. 双阱工艺

在一般的CMOS流程中，第一步往往是定义MOSFET的有源区。现在的亚0.25 μm的工艺通常是采用双阱工艺（也称双管）来定义nMOS和pMOS晶体管的有源区。双阱包括一个n阱和一个p阱，每个阱都至少包括三到五步主要步骤来完成制作。通常采用倒掺杂技术来优化晶体管的电学特性。这一技术采用高能量、大剂量的注入，深入外延层大概一微米左右。随后的阱注入在相同区域进行，只是注入能量、结深以及掺杂剂量（杂质为磷、硼，度量单位为原子数/平方厘米）都有大幅度的减小。阱注入决定了晶体管的阈值工作电压同时避免CMOS电路常见的一些问题，如闩锁效应和其他一些可靠性方面的问题。图9.8和9.9分别介绍了形成n阱和p阱所要求的主要步骤。

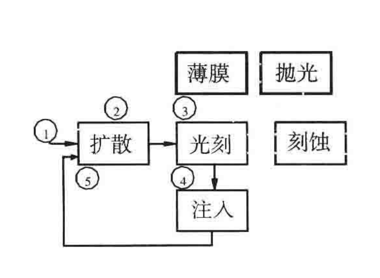
■ **n阱的形成**　形成n阱的5个主要步骤在下表以及图9.8中描述。

形成n阱的5个主要步骤：

步骤	描述
1. 外延生长	硅片在到达扩散区之前已经有了一个薄的外延层。外延层与衬底有完全相同的晶格结构，只是纯度更高，晶格缺陷更少而已。外延层已经进行了轻的p型杂质（硼）掺杂
2. 原氧化生长	在扩散区，硅片在一系列化学溶液中清洗以除去颗粒、有机物和无机物沾污以及自然氧化层。硅片漂洗、甩干之后放入高温（1000°C）炉中。工艺腔中通入氧气使之与硅发生反应，得到大约150 Å的氧化层。这一氧化层主要有以下作用：1）保护表面的外延层免受沾污，2）阻止了在注入过程中对硅片过度损伤，3）作为氧化物屏蔽层，有助于控制注入过程中杂质的注入深度
3. 第一层掩膜，n阱注入	光刻中，硅片在涂胶/显影机中经历了一系列的工艺步骤。涂胶/显影机，预处理硅片的上表面涂胶、甩胶、烘焙。设备内部的自动传送装置将硅片在各操作位之间转移。另一套传送装置将经过涂胶处理的硅片每次一片地送入对准与曝光系统（一个极端复杂又精确的照相机）。光刻机将特定掩膜的图形直接刻印在涂胶的硅片上。在这一步，掩膜版决定了产品当中的哪些区域将进行注入以得到n阱，n阱是用来制作pMOS管的。曝光后的硅片重新回到了涂胶/显影机中，当用显影液喷到硅片上时，图形第一次显现出来。显影后的硅片再次烘焙，并在转入离子注入区前进行检测。检测刻印图形的线宽是否得当，又叫特征尺寸（CD）。如果有重大缺陷，可以将硅片去胶然后返工。光刻区是工厂中惟一硅片能够轻易返工的地方
4. n阱注入（高能）	刻印后的硅片来到离子注入区。光刻胶图形覆盖了硅片上的特定区域，将其保护起来免于离子注入。未被光刻胶覆盖的区域允许高能杂质阳离子穿透外延层的上表面（结深约为1 μm）。在这一步中掺入的杂质为磷。离子注入机是注入区的主要设备。其主要目的是离化杂质原子，使其加速获得高能（约为200 KeV），选出最恰当的元素注入，并聚焦离子成为极窄的一束，最后扫描使硅片不受光刻胶保护的区域得到均匀掺杂。在这一步中杂质离子穿透了硅的晶格结构，对其共价原子结构造成损伤。这种损伤将在以后的扩散以及退火步骤中得到修复

（续表）

步骤	描述
	注意：在每一步离子注入后，一个氧基等离子反应器将每一个硅片去胶。随后，经过一系列化学湿法清洗过程去除硅片上残留的光刻胶以及等离子体处理过程中形成的聚合物。这一点适用于随后的每一个注入操作但以后将不再列出
5. 退火	注入后的硅片被转移到扩散区，在这里硅片经过清洗处理后被放入退火炉。退火产生下列4个结果：1）裸露的硅片表面生长了一层新的阻挡氧化层，2）高温使得杂质向硅中移动（扩散），3）注入引入的损伤得到修复，4）杂质原子与硅原子间的共价键被激活，使得杂质原子成为晶格结构中的一部分（电学激活）



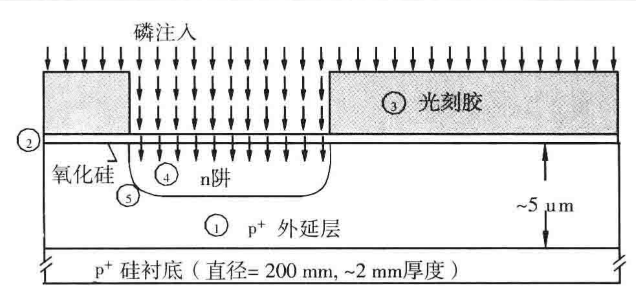
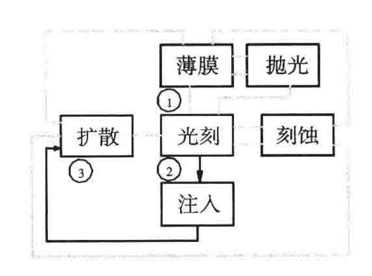


图 9.8　n 阱的形成

■ **p 阱的形成**　形成 p 阱的三个主要步骤在下表及图 9.9 中描述。

形成 p 阱的三个主要步骤

步骤	描述
1. 第二层掩膜，p 阱注入	P阱注入掩膜的光刻步骤与第一层掩膜的完全相同。惟一不同的是该掩膜是n阱注入掩膜的直接反相。比较图 9.8 与图 9.9 可以看出其中的差别
2. p 阱注入（高能）	P阱倒掺杂注入离子的能量明显低于n阱。这主要是取决于注入成分的质量显著不同。比较硼的原子量（～11）与磷的原子量（～31）可以看出，硼只有磷原子量的三分之一。所以注入硼所需的能量只相当于注入磷所需能量的三分之一，就能够得到相同的结深
3. 退火	这一步退火与第一步退火基本上一样



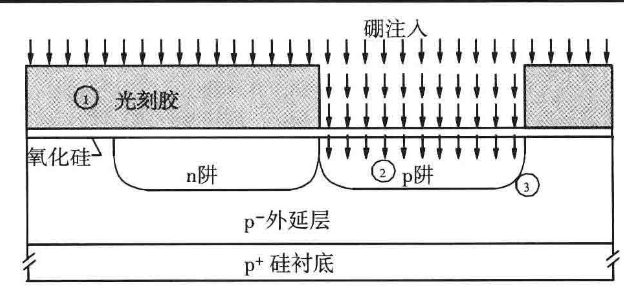


图 9.9　p 阱的形成

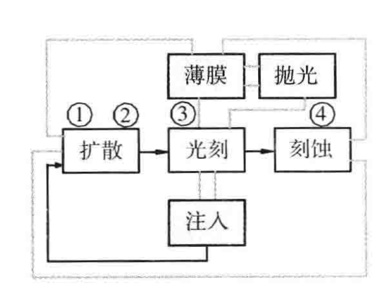
2. 浅槽隔离工艺

浅槽隔离（STI）是在衬底上制作的晶体管有源区之间隔离区的一种可选工艺[1]。这一方法在制作亚 0.25 μm 器件时尤其有效。先前的隔离工艺是硅的局域氧化工艺（LOCOS），这一工艺于20世纪70年代早期研发成功，直到上世纪90年代末还在使用[2]。尽管更为复杂，浅槽隔离在ULSI芯片制造中仍得到了广泛的应用。下面将浅槽隔离分为三个主要步骤来介绍：槽刻蚀（见图 9.10）、氧化物填充（见图 9.11）和氧化物平坦化（见图 9.12）。

■ **STI 槽刻蚀**　STI 槽刻蚀的 4 个主要步骤在下表及图 9.10 中描述。

STI 槽刻蚀的 4 个主要步骤

步骤	描述
1.隔离氧化层	硅片到达扩散区后，进行清洗以除去沾污和氧化。经过漂洗和甩干之后，硅片进入高温氧化设备。又一层厚度约为 150 Å 的氧化层生长在硅片表面。这层氧化物将作为隔离层保护有源区在去掉氮化物的过程中免受化学沾污
2.氮化物淀积	硅片被放入高温（~750°C）的低压化学气相淀积（LPCVD）设备。在设备的腔体中氨气和二氯硅烷发生反应，在硅片表面生成一薄层氮化硅（Si_3N_4）。这层氮化硅在整个浅槽隔离形成的过程中有两个作用：1）氮化硅是一层坚固的掩膜材料，有助于在 STI 氧化物淀积过程中保护有源区，2）氮化硅可以在化学机械抛光(CMP)这一步中充当抛光的阻挡材料
3. 第三层掩膜，浅槽隔离	硅片从扩散区转移到光刻区。这一光刻步骤与先前的光刻步骤非常相似，惟一的差别是采用了不同的掩膜版。由于光刻的尺度更小，此次光刻的要求比第一次光刻更加苛刻。光刻后的硅片检测包括特征尺寸检测、缺陷检测（DI）以及目检（VI）。这一系列测量要求检测相对于既定标准的对准曝光系统的精度
4. STI 槽刻蚀	要求光刻胶的刻印图形保护硅片上那些不需要刻蚀的区域。没有光刻胶保护的区域被离子和强腐蚀性的化学物质刻蚀掉氮化硅、氧化硅以及硅。能够有效刻蚀出深沟的设备是干法离子刻蚀机。刻蚀机利用大功率的射频能量在真空反应腔中将氟基或氯基的气体离化。射频能量分解分子、离化原子，使反应腔中充满了多种等离子体成分。这些等离子体成分通过物理刻蚀、化学刻蚀将硅片上定义为隔离区的硅移走。沟槽倾斜的侧壁及圆滑的底面有助于提高填充的质量和隔离结构的电学特性 注意：在每一步刻蚀工艺完成之后，硅片都要去胶并在一系列化学试剂中湿法清洗。关键的检测步骤包括核实正确的台阶高度（Å）、刻蚀速率（Å/min）、特征尺寸检测以及缺陷检测。这适用于以后的每一步刻蚀工艺，但将不再做提醒



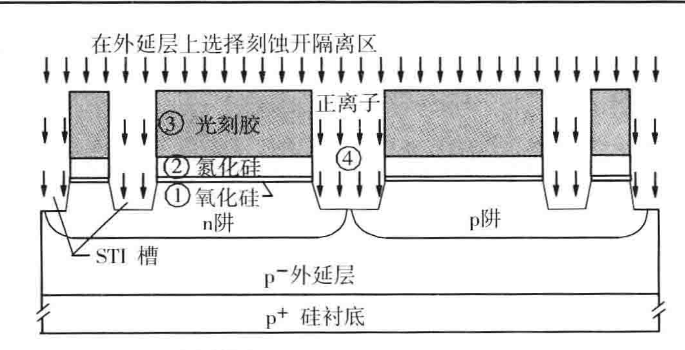
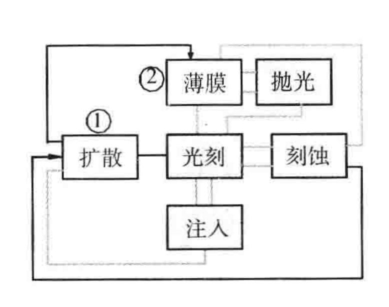


图 9.10　STI 槽刻蚀

■ **STI 氧化物填充**　STI 氧化物填充的基本步骤将在下表及图 9.11 中描述。



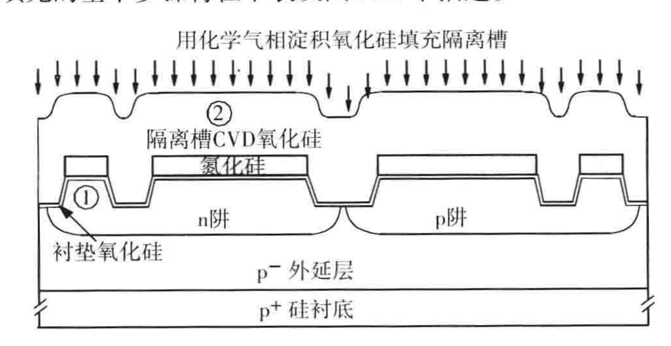
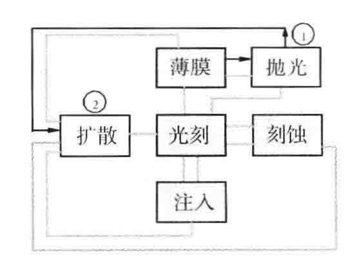


图 9.11　STI 氧化硅填充

STI 氧化物填充的基本步骤

步骤	描述
1，沟槽衬垫氧化硅	硅片在扩散区再一次经过清洗以除去氧化物以及沾污。经过漂洗及甩干之后，硅片进入高温氧化设备。在曝露隔离沟槽的侧壁上生长了一层厚约为 150 Å 的氧化层。氮化物掩蔽层的存在阻止了氧分子向有源区的扩散。生长衬垫氧化层是为了改善硅与沟槽填充氧化物之间的界面特性
2，沟槽 CVD 氧化物填充	这一淀积步骤既可以在扩散区利用低压化学气相淀积炉，也可以在薄膜区利用各种氧化物化学气相淀积设备完成。利用这些炉子可以实现高产出率和高速淀积

■ STI 氧化层抛光 – 氮化物去除 硅片表面的平坦化可以通过多种方法实现。过去能够通过使用 SOG（spin-on-glass）填充间隙实现硅片的平坦化，SOG 由 80%的溶剂与 20%的二氧化硅构成。淀积之后烘焙 SOG，蒸发掉溶剂，将二氧化硅留在间隙当中。也可以进行全部表面的反刻，以减少整个硅片的厚度。但是到目前为止，CMP（也称为抛光）是最有效的一种平坦化技术。下表及图 9.12 将描述这一工艺。



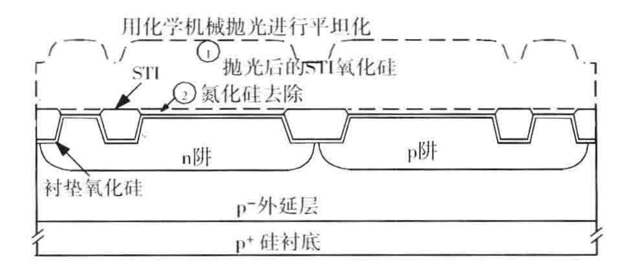


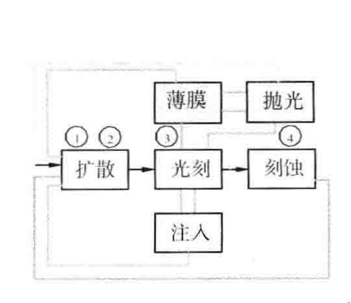
图 9.12 STI 的形成

STI 氧化层抛光 – 氮化物去除的基本步骤

步骤	描述
1. 沟槽氧化物抛光（化学机械抛光）	在化学机械抛光区，硅片反转过来并通过真空吸附在载片台。当抛光垫贴紧一个正在旋转的抛光台时，硅片做同向旋转。抛光液在抛光过程中使得硅片和抛光垫保持湿润，同时与硅片表面的二氧化硅发生反应，这有助于研磨硅片。比二氧化硅更加坚韧的氮化硅充当抛光阻挡层，阻止隔离结构的过度抛光 注意：下面的描述适用于所有的抛光操作，以后不再重复。抛光工艺引入了额外的颗粒和化学沾污，所以在硅片进入硅片厂的其他区域时这些颗粒和沾污必须得到彻底清除。特制的清洗设备清洗硅片的上表面和下表面，并能够进行漂洗和烘干。在硅片进入下一个流程之前还应该检测薄膜厚度、颗粒以及缺陷
2.氮化物去除	在扩散区一般都配有热磷酸槽用来从硅片上去除氮化物。在扩散区硅片表面的氮化物被去除，然后清洗、漂洗、烘干，最后检查隔离氧化层的厚度

3. 多晶硅栅结构工艺

晶体管中栅结构的制作是流程当中最关键的一步，因为它包括了最薄的栅氧化层的热生长以及多晶硅栅的刻印和刻蚀，而后者是整个集成电路工艺中物理尺度最小的结构（见图 9.13）。多晶硅栅的宽度通常是整个硅片上最关键的 CD 线宽。



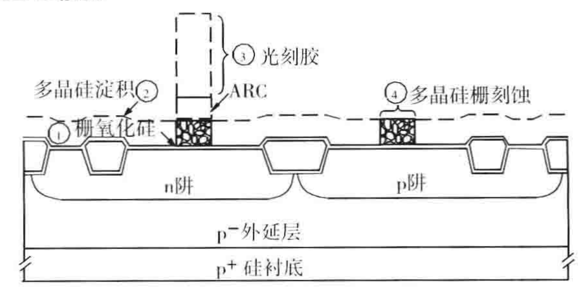


图 9.13 多晶硅栅结构工艺

多晶硅栅结构制作的基本步骤

步骤	描述
1.栅氧化层的生长	清洗硅片，除掉沾污和氧化层。这一步必须在硅片进入氧化炉前的几个小时内进行。只要曝露在空气中，硅片表面就会被其中的氧气氧化。当硅片进入氧化炉后，硅片表面生长了一薄层厚约为 20～50 Å 的二氧化硅
2.多晶硅淀积	硅片被立即转入低压化学气相淀积设备，该设备的工艺腔中通入硅烷。硅烷分解，多晶硅淀积在硅片表面。淀积多晶硅的厚度约为 5000 Å。淀积过后，马上进行一种称为多晶硅掺杂的操作。这一步既可以在相同的工艺腔中进行，也可以在不同的设备中进行
3.第四层掩膜，多晶硅栅	在光刻区，利用深紫外线光刻技术（适用于亚 0.25 μm 工艺）刻印多晶硅栅的精细结构。在多晶硅与光刻胶之间通常有一层抗反射涂层（ARC）以减少不希望的反射。用于定义栅光刻胶的宽度是整个集成电路上最窄的结构，因此必须进行各种不同的质量检测，包括特征尺寸检测、套准精度（OL）检测和缺陷检测（DI）
4.多晶硅栅刻蚀	最后，集成电路中最精细的一步刻蚀工艺要求使用芯片厂内最好的各向异性等离子体刻蚀机。如图 9.13 所示，这种单向的刻蚀机刻蚀多晶硅，以得到垂直的剖面

4. 轻掺杂漏注入工艺

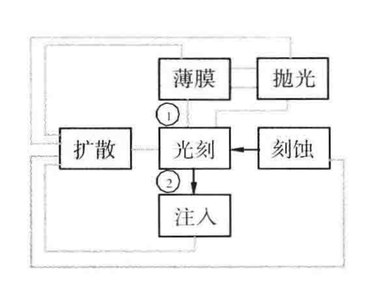
随着栅的宽度不断减小，栅结构（源漏间的硅区域）下的沟道长度也不断减小。晶体管中沟道长度的减少增加了源漏间电荷穿通的可能性，并引起不希望的沟道漏电流。可以用一些技术手段来减少这些沟道漏电流的发生。

接下来的一系列离子注入步骤开始定义晶体管的源漏区。每个晶体管都要经过两次注入—— 一次是称为轻掺杂漏（LDD）注入的浅注入，随后是中等或高剂量的源/漏注入。轻掺杂漏注入（见图9.14和图9.15）使用砷和BF_2这些较大质量的掺杂材料使硅片的上表面成为非晶态（即非长程有序或单晶的无序结构）。大质量材料和表面非晶态的结合有助于维持浅结，浅结还有助于减少源漏间的沟道漏电流效应。

■ **n^- 轻掺杂漏注入**　制作 n^- 轻掺杂漏的步骤在下表及图 9.14 中描述。

n^-LDD 注入步骤

步骤	描述
1. 第五层掩膜，n^-LDD 注入	这一步掩膜步骤的目的是刻印硅片，以得到可以使 n 型晶体管被注入的光刻胶图形。其他所有的区域都被光刻胶保护着
2. n^-LDD 注入（低能量，浅结）	在未被光刻胶保护的区域，用砷离子进行选择注入。能量、剂量和结深都明显低于先前的 n 阱注入步骤。选择砷而不选择磷的原因是砷的分子量更大，有利于硅表面非晶化，在注入中能够得到更均匀的掺杂深度



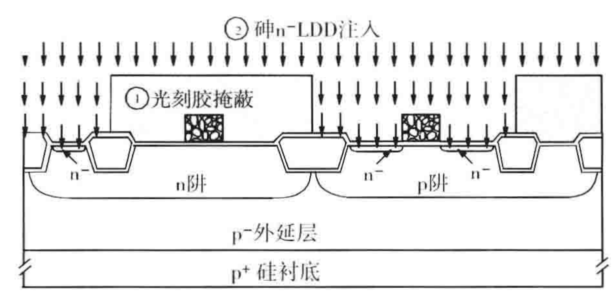
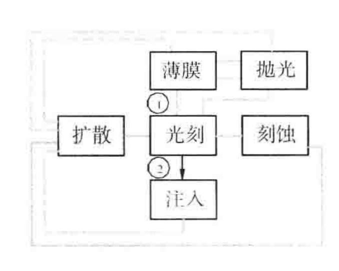


图 9.14　n^-LDD 注入

■ **p^- 轻掺杂漏注入**　制作 p^- 轻掺杂漏的步骤在下表及图 9.15 中描述。

p^- 轻掺杂漏注入步骤

步骤	描述
1. 第六层掩膜，p^- 轻掺杂漏注入	这一步掩膜步骤的目的是刻印硅片，以得到可以使p型晶体管被注入的光刻胶图形。其他所有的区域都被光刻胶保护着
2. p^- 轻掺杂漏注入（低能量，浅结）	该步注入中通常使用 BF_2 代替硼。BF_2 比硼的分子量更大。更重的 BF_2 有助于硅表面非晶化



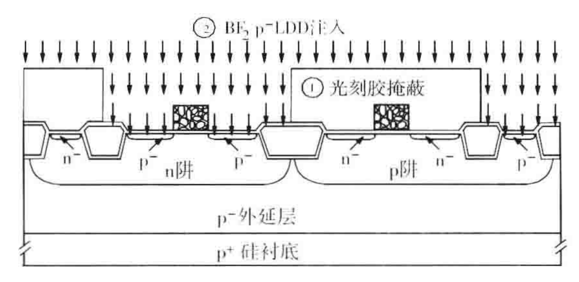


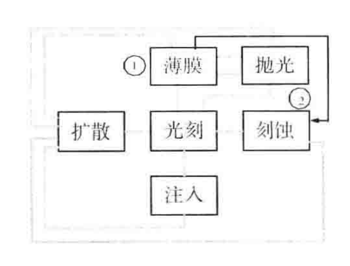
图 9.15 p^-LDD 注入

5. 侧墙的形成

侧墙用来环绕多晶硅栅，防止更大剂量的源漏（S/D）注入过于接近沟道以致可能发生源漏穿通。侧墙的形成有两步主要工艺（见图 9.16）。首先，在整个硅片表面淀积一层二氧化硅，随后利用干法刻蚀工艺反刻掉这层二氧化硅。由于所用的各向异性刻蚀工具使用离子溅射掉了绝大部分二氧化硅，故反刻不需要掩膜。当多晶硅露出来之后停止反刻。但并不是所有的二氧化硅都除去了。多晶硅栅的侧墙上保留了一部分二氧化硅。

制作侧墙的两个主要步骤

步骤	描述
1. 淀积二氧化硅	这一步工艺在薄膜区进行。利用化学气相淀积设备淀积一层厚约 1000 Å 的二氧化硅。这层二氧化硅用来在多晶硅栅的四周形成侧墙
2. 二氧化硅反刻	干法离子刻蚀机除掉了化学气相淀积的大部分二氧化硅，在多晶硅栅的侧墙上留下了一层二氧化硅



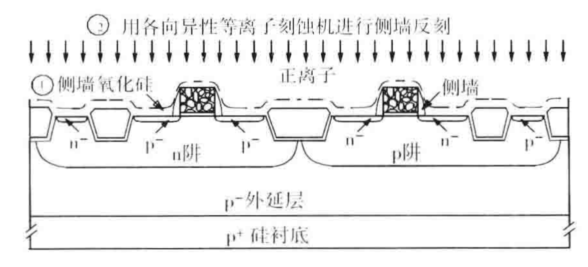


图 9.16 侧墙的形成

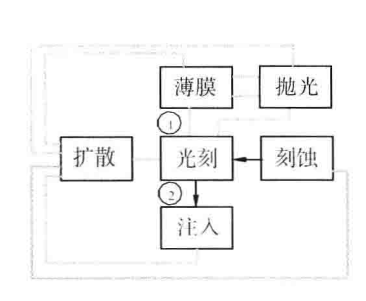
6. 源/漏注入工艺

为了完成倒掺杂技术，用中等剂量的掺杂稍稍超过LDD的结深，但是比最初的双阱掺杂的结深浅（见图9.17、图9.18）。上一步形成的侧墙能够保护沟道，在注入过程中阻止掺杂原子的进入。

■ **n^+ 源/漏注入** n^+ 源/漏注入的步骤由下表以及图 9.17 描述。

n^+ 源/漏注入步骤

步骤	描述
1.第七层掩膜，n^+ 源/漏注入	这一步掩膜操作定义了要进行注入的n型晶体管区域
2. n^+ 源/漏注入（中等能量）	这一步中等能量注入进入硅的深度大于LDD的结深。二氧化硅构成的侧墙阻止了砷杂质侵入狭窄的沟道区



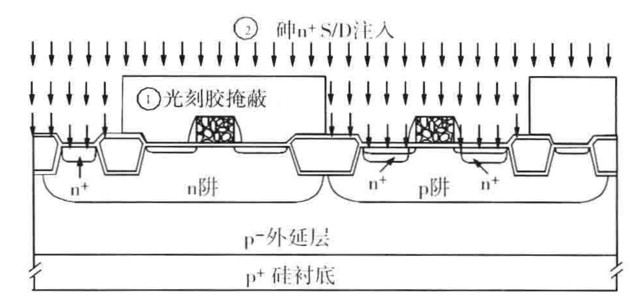
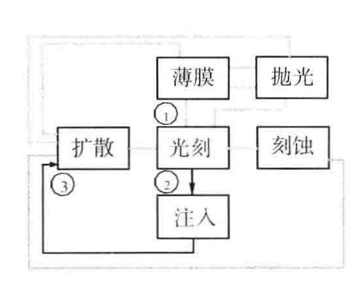


图 9.17　n⁺S/D 注入

■ p⁺源 / 漏注入　p⁺ 源 / 漏注入的操作与 n 型源 / 漏区的形成非常相似。P⁺ 源漏注入的操作由下表及图 9.18 描述。

p⁺ 源 / 漏注入步骤

步骤	描述
1. 第八层掩膜，p⁺ 源 / 漏注入	这一步掩膜操作定义了要进行注入的 p 型晶体管区域
2. p⁺ 源 / 漏注入（中等能量）	这一步形成的结深比LDD形成的结深略大。二氧化硅侧墙阻止了硼杂质向狭窄沟道区的侵入
3. 退火	注入后的硅片在快速退火（RTP）装置中退火。快速退火装置能够迅速达到 1000°C 左右的高温并在设定温度保持数秒。这种状态对于阻止结构的扩展以及控制源/漏区杂质的扩散都非常重要



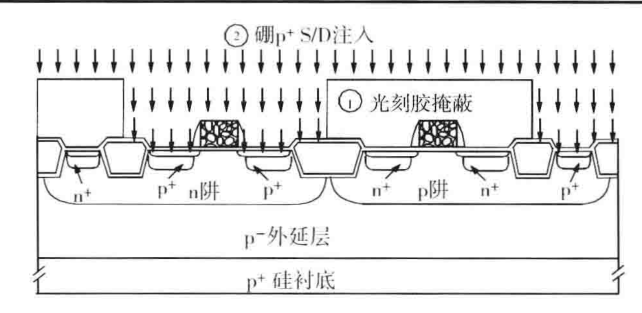


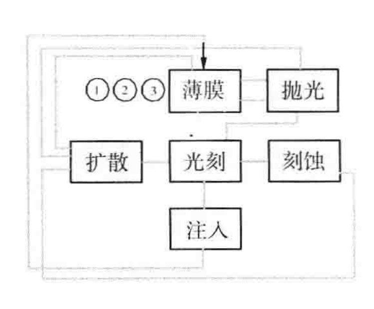
图 9.18　p⁺S/D 注入

7. 接触（孔）的形成

接触形成工艺的目的是在所有硅的有源区形成金属接触。这层金属接触可以使硅和随后淀积的导电材料更加紧密地结合起来（见图 9.19）。钛是做金属接触的理想材料，也是可行的选择。钛的电阻很低，同时能够与硅发生充分反应。当温度大于 700°C 时，钛和硅发生反应生成钛的硅化物（$TiSi_2$）。钛和二氧化硅不发生反应，因此这两种物质不会发生化学的键合或者物理聚集。因此钛能够轻易地从二氧化硅表面除去，而不需要额外掩膜。钛的硅化物在所有有源硅的表面保留了下来（例如：源、漏和栅）。

钛金属接触的主要步骤

步骤	描述
1.钛的淀积	彻底清洗硅片，从表面清除沾污和氧化物。利用溅射工艺在硅片表面淀积钛（Ti）。溅射是一种物理气相淀积（PVD）过程，即在一个等离子的腔体中带电的氩离子轰击金属靶，释放出金属原子，使其淀积在硅片表面
2.退火	硅片移入快速退火装置。高温触发钛和硅发生反应，生成了 $TiSi_2$(硅化钛)
3.刻蚀金属钛	用化学方法刻蚀掉没有发生反应的金属钛，将钛的硅化物留在了硅的表面



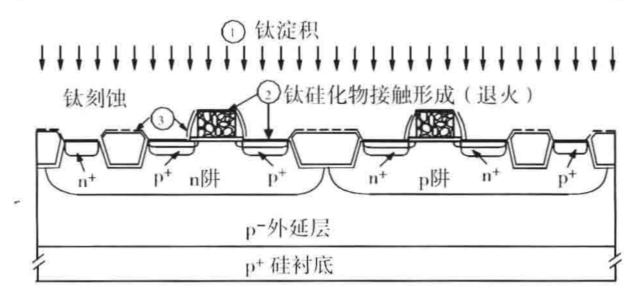


图 9.19　接触的形成

8. 局部互连工艺

集成电路工艺流程的下一步是在晶体管以及其他钛硅化物接触之间布金属连接线。在下面的工艺流程中用到的方法称为局部互连(LI)。形成局部互连的步骤与形成浅槽隔离的步骤一样复杂。工艺首先要求淀积一层介质薄膜，接下来是化学机械抛光、刻印、刻蚀和钨金属淀积，最后以金属层抛光结束（见图 9.20 和图 9.21）。这种工艺称为大马士革（damascene），名字取自几千年前叙利亚大马士革的一位艺术家发明的一种技术[3]。这步工艺的最后结果是在硅片表面得到了一种类似精制的镶嵌首饰或艺术品的图案。图 9.22 描绘了这些金属线是如何嵌入氧化物侧壁之间的。

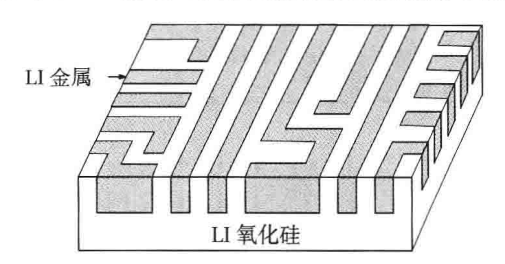
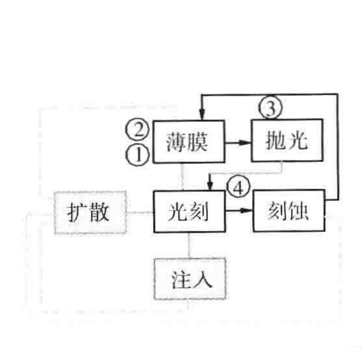


图 9.20　作为嵌入 LI 金属的介质的 LI 氧化硅

形成局部互连氧化硅介质的步骤

步骤	描述
1.氮化硅化学气相淀积	用化学气相淀积工艺先淀积一层氮化硅作为阻挡层。这层氮化硅将硅有源区保护起来，使之与随后的掺杂淀积层隔绝
2.掺杂氧化物的化学气相淀积	局部互连结构中的局部互连介质成分是由化学气相淀积的二氧化硅提供的。二氧化硅要用磷或硼轻掺杂。二氧化硅中引入杂质能够提高玻璃的介电特性。随后的快速退火能够使玻璃流动，得到更加平坦的表面
3.氧化层抛光（CMP）	利用化学机械抛光工艺平坦化局部互连的氧化层。抛光后的氧化层厚度约为 8000 Å
4.第九层掩膜，局部互连刻蚀	硅片在光刻区刻印然后在刻蚀区刻蚀。在局部互连的氧化层中制作出窄沟槽，这些沟槽定义了局部互连金属的路径形式



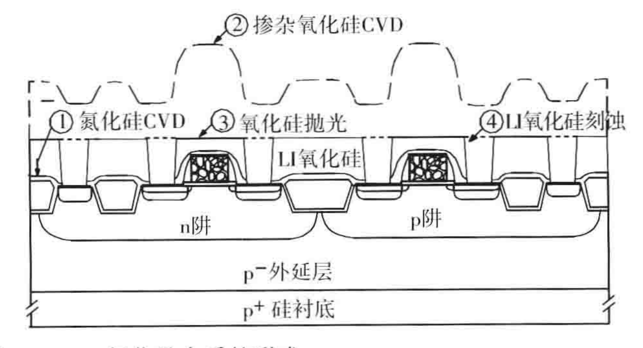
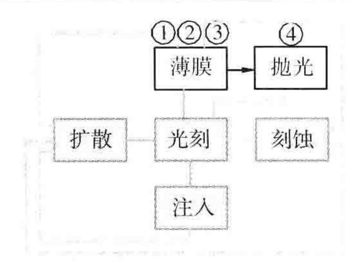


图 9.21　LI 氧化硅介质的形成

制作局部互连金属的步骤

步骤	描述
1.金属钛淀积（PVD 工艺）	一薄阻挡层金属钛衬垫于局部互连沟道的底部和侧壁上。这一层钛充当了钨（W）与二氧化硅间的黏合剂
2.氮化钛淀积	氮化钛（TiN）立即淀积于钛金属层的表面充当金属钨的扩散阻挡层
3.钨淀积（化学气相淀积工艺平坦化）	钨填满局部互连的沟槽并覆盖硅片表面。之所以用钨而不是铝来做局部互连金属是因为钨能够无空洞地填充孔，形成钨塞（plug）。另一个原因是钨良好的磨抛特性
4. 磨抛钨	钨被磨抛到局部互连介质层的上表面



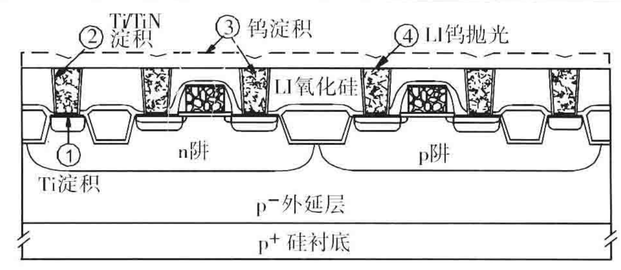


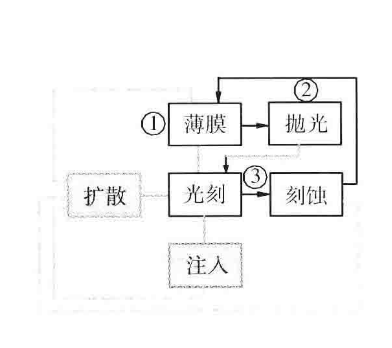
图 9.22　LI 金属的形成

9. 通孔 1 和钨塞 1 的形成

层间介质（ILD）充当了各层金属间以及第一层金属与硅之间的介质材料。层间介质上有许多小的通孔，这些层间介质上的细小开口为相邻的金属层之间提供了电学通道。通孔中有导电金属（通常是钨，称为钨塞）填充，钨塞放置在适当的位置，以形成金属层间的电学通路（见图 9.23 和图 9.24）。第一层层间介质是下面将介绍的一系列互连工艺的第一步。

制作通孔 1 的主要步骤

步骤	描述
1. 第一层层间介质氧化物淀积（化学气相淀积）	在薄膜区利用化学气相淀积设备在硅片表面淀积一层氧化物。这层氧化物（第一层层间介质）将充当介质材料，通孔就制作在这一层介质上
2.氧化物磨抛	用化学机械抛光的方法磨抛第一层层间介质氧化物。磨抛后氧化层的厚度约为8000 Å。清洗硅片除去抛光工艺中引入的颗粒
3. 第十层掩膜，第一层层间介质刻蚀	硅片先在光刻区刻印然后在刻蚀区刻蚀。直径不到 0.25 μm 的小孔刻蚀在第一层层间介质氧化物上。这一步要进行严格的 CD、OL 以及缺陷检测



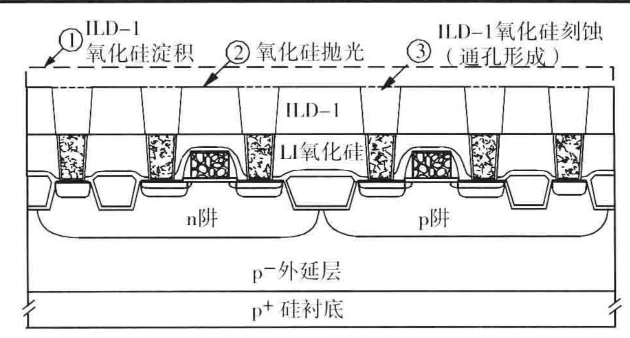


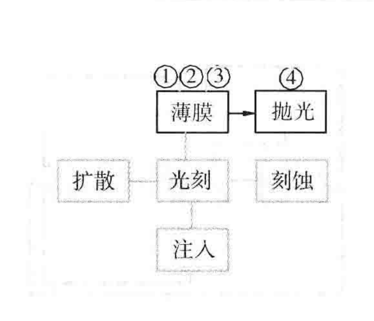
图 9.23　通孔 1 的形成

制作第一层钨塞的主要步骤

步骤	描述
1.金属淀积钛阻挡层（PVD）	在薄膜区利用物理气相淀积设备在整个硅片表面淀积一薄层钛。钛衬垫于通孔的底部及侧壁上。钛充当了将钨限制在通孔当中的粘合剂

（续表）

步骤	描述
2.淀积氮化钛（CVD）	在钛的上表面淀积一薄层氮化钛。在下一步淀积中，氮化钛充当了钨的扩散阻挡层
3.淀积钨（CVD）	用另一台化学气相淀积设备在硅片上淀积钨。钨填满小的开口形成钨塞
4.磨抛钨	磨抛被钨涂覆的硅片直到第一层层间介质的上表面



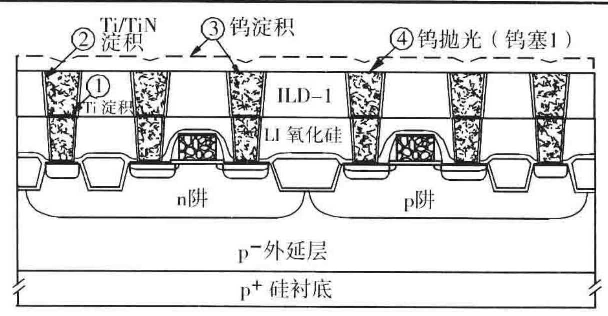
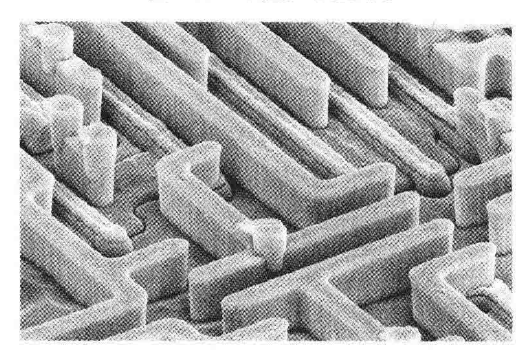


图 9.24　钨塞 1 的形成



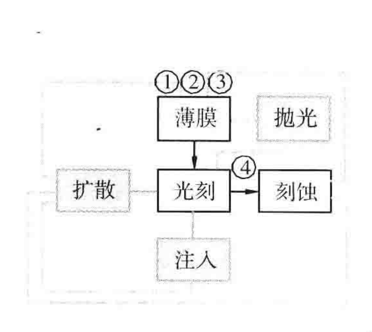
多晶硅、钨LI和钨塞的SEM显微照片
（多晶硅表示为较高的LI线之间的细线）
（承蒙Integrated Circuit Engineering 公司允许使用）

10. 第一层金属（金属 1）互连的形成

以下一系列操作包括在硅表面淀积三层金属薄膜，称为三明治结构，随后是遮蔽和刻蚀步骤（见图9.25）。多层的三明治金属结构由多种不同的难熔金属构成，包括钛、铝铜合金和氮化钛。完成上述操作以后，就完成了构成器件的五层金属叠加结构中的第一层。金属层的数目随着管芯复杂程度的不同有所变化，目前最先进的管芯有八层金属叠加结构。包括局部互连金属在内，本工艺流程介绍当中的器件总共有六层金属。

制作金属 1 互连的步骤

步骤	描述
1. 金属钛阻挡层淀积（物理气相淀积）	与其他金属工艺一样，钛是淀积于整个硅片上的第一层金属。它提供了钨塞和下一层金属铝之间的良好键合。同样它与层间介质材料的结合也非常紧密，提高了金属叠加结构的稳定性
2. 淀积铝铜合金（物理气相淀积）	在薄膜区利用物理气相淀积设备将铝铜合金（99%铝，1%铜）溅射在有钛覆盖的硅片上。铝中加入1%的铜提高了铝的稳定性
3. 淀积氮化钛（物理气相淀积）	在铝铜合金层上淀积一薄层氮化钛充当下一次光刻中的抗反射层
4. 第十一层掩膜，金属刻蚀	先用光刻胶刻印硅片，然后用等离子体刻蚀机刻蚀三明治金属结构



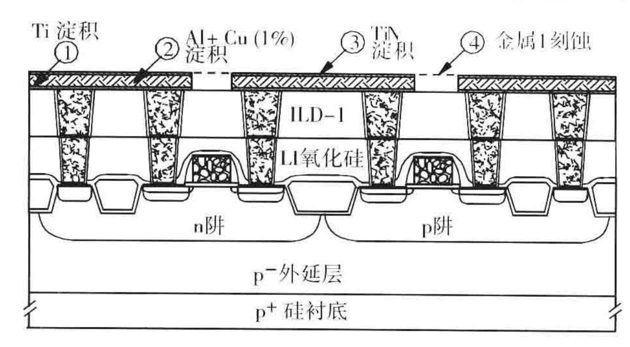


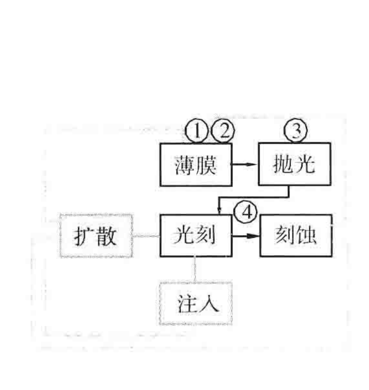
图 9.25　金属 1 互连的形成

11. 通孔 2 和钨塞 2 的形成

接下来四步操作的结果是形成了第二层层间介质（ILD-2）和其上的通孔（见图9.26和图9.27）。除了要填充第一层金属上刻蚀出的或大或小的间隙，第二层层间介质的制作与第一层层间介质（ILD-1）的制作非常相似。间隙的填充使用介电材料填充间隙，这些材料能够进入细小的空间从而避免了能够影响电学性能的空洞和其他缺陷的形成。有两种常见的方法填充间隙：SOG 反刻和高浓度等离子体化学气相淀积（HDPCVD）。在亚 0.25 μm 工艺中更常用的是高浓度等离子体化学气相淀积。间隙填满以后，可利用等离子体优化的化学气相淀积系统完成剩余的ILD-2氧化物的淀积。ILD-2 淀积完成后，氧化物被平坦化、刻印，然后刻蚀形成钨塞所需的通孔。

制作通孔 2 的主要步骤

步骤	描述
1. ILD-2 间隙填充	在ULSI器件中，最新的间隙填充方法是利用高浓度等离子体工艺交替地淀积和刻蚀层间介质氧化物，刻蚀是与淀积同时进行的。最后在金属的间隙间形成了没有空洞或空洞极少的致密氧化物
2. ILD-2 氧化物淀积	利用等离子体增强化学气相淀积系统淀积 ILD-2 氧化层剩余的部分
3. ILD-2 氧化物平坦化	在下一步刻印步骤前磨抛硅片，平坦化其表面
4. 第十二层掩膜，ILD-2 刻蚀	利用光刻胶刻印硅片，随后利用等离子体刻蚀机刻蚀 ILD-2 氧化物



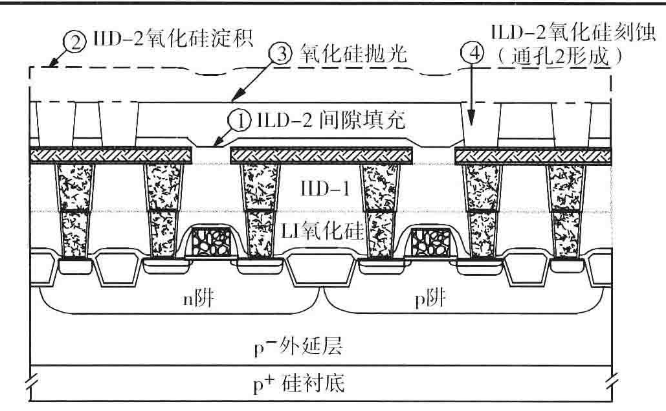


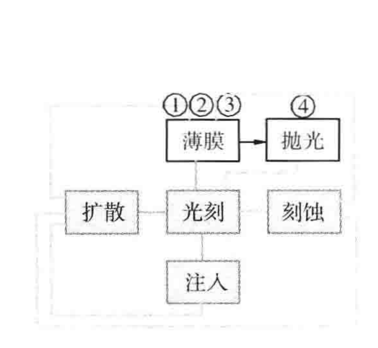
图 9.26　通孔 2 的形成

制作第二层钨塞的主要步骤

步骤	描述
1. 金属淀积钛阻挡层（物理气相淀积）	与其他金属工艺一样，在硅片上淀积的第一层金属是钛。钛可以使钨塞和铝之间紧密地结合起来。同样，它与层间介质材料的结合也非常紧密，所以它能够提高金属叠加结构的稳定性

（续表）

步骤	描述
2. 淀积氮化钛（化学气相淀积）	一薄层氮化钛淀积在钛层的上表面。氮化钛充当钨淀积过程中的阻挡层
3. 淀积钨（化学气相淀积）	利用另一台化学气相淀积设备在硅片上淀积钨。钨填充细小的通孔，形成钨塞
4. 磨抛钨	磨抛有钨涂覆的硅片直到ILD-2氧化物的上表面，留下通孔中的钨塞



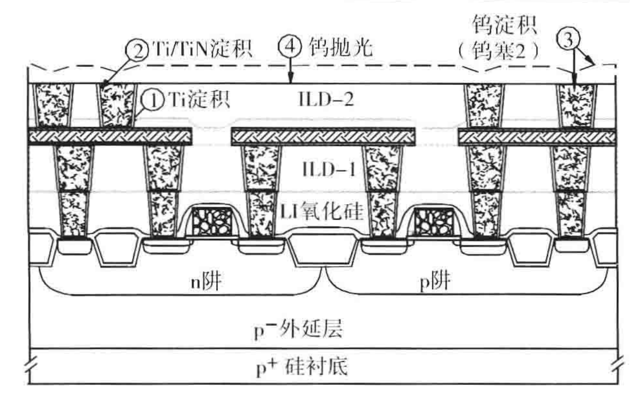
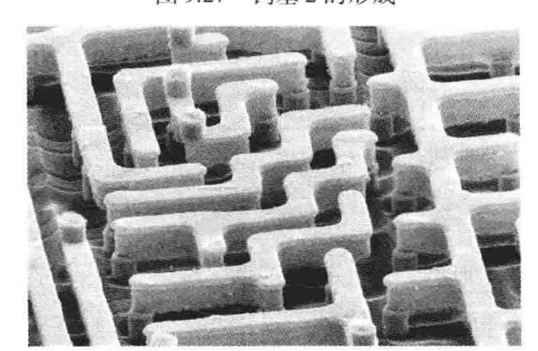


图 9.27 钨塞 2 的形成



第一套钨通孔上第一层金属的SEM显微照片

（承蒙Integrated Circuit Engineering 公司允许使用）

12. 第二层金属（金属 2）互连的形成

下面介绍制作层间互连的工艺（见图9.28）。所介绍的工艺在剩下的金属叠加结构中不断地重复。

制作金属 2 互连的步骤

步骤	描述
1. 淀积、刻蚀金属 2	金属 2 三明治结构的淀积与金属 1 三明治结构的淀积完全一样。三明治结构由三层构成：钛、铝铜合金和氮化钛。利用等离子体刻蚀机通过刻印后光刻胶中的窗口刻蚀金属 2 线
2. 填充第三层层间介质间隙	金属 2 刻蚀以后，利用 HDPCVD 设备填充金属间隙，得到致密的二氧化硅填充物
3. 淀积、平坦化 ILD-3 氧化物	利用等离子体优化的方法淀积 ILD-3 氧化物。随后平坦化氧化物得到平整的表面
4. 刻蚀通孔 3，淀积钛 / 氮化钛，淀积钨，平坦化	首先刻蚀通孔 3，接着淀积金属阻挡层（钛 / 氮化钛）。在硅片的整个表面淀积钨。平坦化钨直到 ILD-3 氧化物的上表面。通孔中留下的钨塞为金属 2 和金属 3 间提供互连

13. 制作第三层金属（金属 3）直到制作压点和合金

重复工艺制作第三层和第四层金属后，完成第四层金属的刻蚀，紧接着利用薄膜工艺淀积第五层层间介质氧化物（ILD-5）（见图9.29）。由于所刻印的结构比先前工艺中形成的0.25 μm尺寸要大很多，所以这一层介质不需要进行化学机械抛光。刻蚀ILD-5使得在第五层金属的淀积过程中，通

孔能够被金属填充。第五层金属淀积的厚度比先前的金属三明治结构厚一些。刻蚀第五层金属，在必要的地方形成压焊点，在不需要的地方将金属除去。

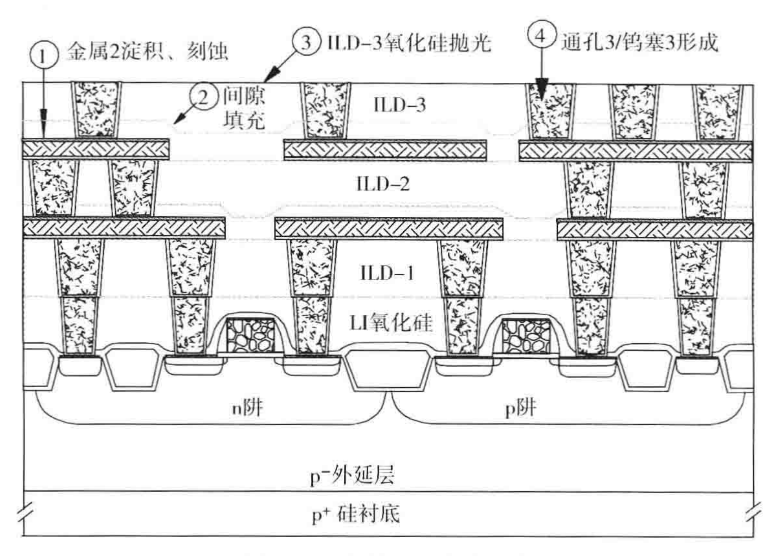


图9.28　金属2互连的形成

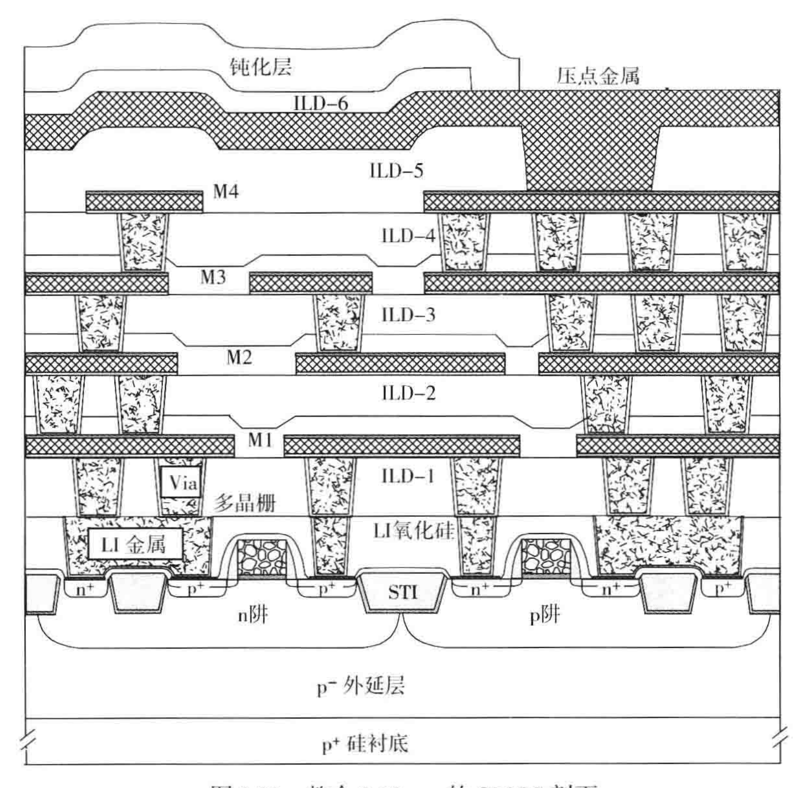
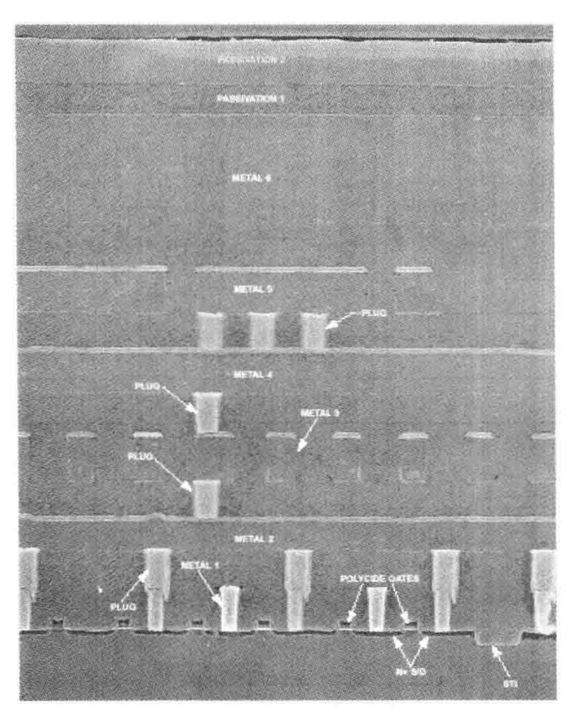


图9.29　整个0.18 μm的CMOS剖面

该产品与0.18 μm工艺技术兼容，包括双阱技术、倒掺杂、浅槽隔离、源/漏区浅结、侧墙、钛硅化物接触、钛金属阻挡层、钨局部互连、钨塞、三明治金属结构、HDP氧化层间隙填充以及作为层间介质的PECVD二氧化硅。

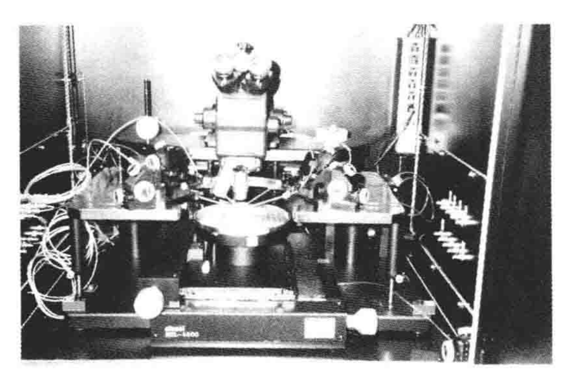
工艺的最后一步包括再次生长二氧化硅层（第六层层间介质）以及随后生长顶层氮化硅（厚约为2000 Å）。这一层氮化硅称为钝化层。它的目的是保护产品免受潮气、划伤以及沾污的影响。最后，在扩散炉中进行低温合金步骤。这一步加热过程有助于提高互连金属间的冶金接触，从而提高器件的电学性能和可靠性。在这一步合金操作中必须特别小心以免产品过加热，这可能引起永久性的结构缺陷。



微处理器剖面的SEM显微照片
（承蒙Integrated Circuit Engineering 公司允许使用）

14. 参数测试

硅片要进行两次测试以确定产品的功能可靠性：第一次测试在首层金属刻蚀完成后进行，第二次是在完成芯片制造的最后一步工艺后进行。金属刻蚀完成以后，利用电学测试设备的微型探针仪测试硅片上特定器件测试结构的特定电学参数。这种在线参数测量的程序称为硅片电学测试（中测）或WET。



使用微探针仪进行硅片电学测试
（承蒙 Advanced Micro Devices 公司允许使用照片）

对硅片的最后一步操作是芯片厂外进行的硅片测试/拣选。利用电学测试/拣选设备自动对硅片进行探查和测试。检测硅片上每一个管芯的电学功能。通过软件利用正交坐标系（此前用墨点标出）将失效的管芯标出，这就保证了在后续操作当中能够将好管芯和坏管芯分辨出来。这些数据用来计算管芯的成品率：硅片上好管芯和坏管芯的比例。此后，硅片能够被运往装配部门。在有些公司，装备厂位于世界的其他地方。

如果硅片通过了硅片拣选，硅片被送入背面减薄部门。在这里，用设备减薄硅片的背面。这一步工艺使得硅片更薄，使分割独立管芯的划片过程更容易。

9.4　小结

芯片厂大概可以分为6个主要的生产区域：扩散区、光刻区、刻蚀区、离子注入区、薄膜区和抛光区，加上工艺最后的片上测试和拣选。扩散是针对高温工艺、光刻利用光刻胶在硅片表面刻印；刻蚀将光刻胶的图形复制在硅片上；离子注入对硅片掺杂；薄膜区淀积介质层和金属层；抛光平坦化硅片的上表面。

简化的CMOS工艺由14个生产步骤组成：（1）双阱注入在硅片上生成n阱和p阱。（2）浅槽隔离用于隔离亚0.25 μm技术节点下的硅有源区。（3）通过生长栅氧化层、淀积多晶硅和刻印得到栅结构。（4）LDD注入形成源漏区的浅注入。（5）制作侧墙在随后的源/漏注入当中保护沟道。（6）中等能量的源/漏注入，形成的结深大于LDD的注入深度。（7）金属接触形成硅化物接触将金属钨和硅紧密结合在一起。（8）局部互连（LI）形成晶体管和触点间的第一层金属连线。（9）第一层层间介质（ILD）淀积介质，并制作连接局部互连金属和第一层金属的通孔1。（10）用于第一次金属刻蚀的第一层金属淀积金属三明治结构并刻印该层金属。（11）淀积第二层层间介质（ILD-2）并制作通孔2。（12）第二层金属到通孔3淀积第二层金属叠加结构，并淀积和刻蚀第三层层间介质。（13）第三层金属到压点刻蚀、合金化重复这些成膜工艺直到第五层金属压焊点淀积完毕，随后是第六层层间介质（ILD-6）和钝化层的制作。（14）最后一步工艺是参数测试，验证硅片上每一个管芯的可靠性。

关键术语

扩散
高温扩散炉
湿法清洗机
光刻
涂胶/显影轨道
步进光刻机
刻蚀
等离子体刻蚀机
等离子体去胶机
离子注入机
薄膜
化学机械抛光（CMP）
硅片擦洗机
双阱
干法等离子体刻蚀机
隔离区
旋涂玻璃（SOG）
反刻
抛光，磨抛
栅氧化层
多晶硅栅
抗反射层（ARC）
硅烷
各向异性等离子体刻蚀机
沟道长度
穿通
轻掺杂漏（LDD）注入
源/漏注入

倒掺杂
闩锁
硅外延层
自然氧化物
对准和曝光系统
线宽
特征尺寸（CD）
结深
离子注入机
退火
浅槽隔离（STI）
低压化学气相淀积（LPCVD）
侧墙衬垫层
套准精度（OL）
缺陷检测（DI）
目检（VI）
放射性化学品
无定性，非晶
侧墙
快速热处理（RTP）
金属接触
钛硅化物
局部互连（LI）
大马士革
层间介质（ILD）
通孔
钨塞
金属复合结构
三明治结构
间隙填充
高密度等离子体化学气相淀积（HDPCVD）
等离子体增强的化学气相淀积（PECVD）
钝化层
硅片电学测试，中测（WET）

复习题

1. 列出芯片厂中6个不同的生产区域并对每一个区域做简单的描述。
2. 在扩散区进行什么活动?
3. 举出在高温设备中进行的5步工艺。
4. 光刻的目的是什么?
5. 涂胶/显影机用来做什么? 举出使用该设备的5步操作。
6. 关注光刻中颗粒沾污的主要目的是什么?
7. 确定有光刻胶覆盖硅片的三个生产区域。
8. 刻蚀工艺的目的是什么? 这个区中最常用的设备是什么?
9. 离子注入机用来做什么?
10. 薄膜区的目的是什么?
11. 举出薄膜区用到的4种不同的设备或工艺。
12. 化学机械抛光用来干什么，其目的是什么? 它的另一个名字是什么?
13. 列出典型的CMOS工艺的14个主要生产步骤。
14. 描述一下硅片表面的外延层。
15. 什么是双阱?
16. 解释倒掺杂技术。它有助于解决什么问题?
17. 离子注入后进行退火工艺的原因是什么?
18. 为什么倒掺杂工艺中p阱注入的能量等级小于n阱注入的能量等级?
19. 什么是浅槽隔离? 它取代了什么工艺?
20. 浅槽隔离中使用什么设备刻蚀硅? 为什么?
21. 使用什么设备在浅槽隔离氧化物填充中淀积二氧化硅?

22. 描述一下最有效的硅片平坦化技术。
23. 为什么晶体管栅结构的形成是非常关键的工艺步骤？
24. 更小的栅宽可能引发什么问题？
25. 轻掺杂漏（LDD）注入是如何减小沟道漏电流效应的？
26. 解释侧墙的目的。
27. 轻掺杂漏以后中等剂量的掺杂是用来做什么的？
28. 金属接触的目的是什么？
29. 什么是局部互连（LI）？
30. 层间介质（ILD）的目的是什么？
31. 什么是通孔？什么是钨塞？
32. 描述一下金属复合结构当中用到的材料。
33. 什么是间隙填充？
34. 为什么最后一层层间介质不需要进行化学机械抛光？
35. 钝化层的目的是什么？
36. 描述一下硅片检测/拣选区中进行的操作。

参考文献

1. S.Ghandhi, Chap. 11 in *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), pp. 704-800.
2. S.Wolf, *Process Integration* , vol. 2, *Silicon Processing for the VLSI Era*, (Sunset Beach: Lattice Press, 1990), pp. 17-19.
3. P. Singer, "Making the Move to Dual-Damascene Processing." *Semiconductor International* (January 1999): pp. 70-82.

第10章 氧　　化

硅基集成电路制造技术的基础之一是在硅片表面来热生长一层氧化层的能力。氧化物掩蔽技术是一种在热生长的氧化层上通过刻印图形和刻蚀达到对硅衬底进行扩散掺杂的工艺技术，也是上个世纪50年代以来最主要的发展，这是大规模晶体管发展的关键因素[1]。从这层意义上讲，氧化在硅的平面工艺发展中扮演了重要的角色，同时也解释了氧化直至今日仍能在硅基制造业中得到广泛应用的原因。

通过适当的制造控制，氧化层具有高质量、稳定和期待的介质特性。由于这些特性，氧化是至关重要的，特别是对于MOS工艺中的栅结构。热氧化物可用来做介质材料，如隔离器件、注入的氧化层屏蔽，应力消除（stress-relief）氧化物（垫氧）以及为光刻胶粘附和应力释放的氮化物和多晶硅表面再氧化。

氧化物可以通过淀积和生长得到。本章讨论的中心是热生长氧化物。我们将看到氧化膜的性质和它们如何生长，包括生长设备和高温生长炉的详细信息。

目标

通过本章的学习，你将能够：

1. 描述半导体制造中氧化膜，包括它的原子结构、各种用途以及它的优点。
2. 描述氧化的化学反应以及如何在Si上生长氧化物。
3. 解释选择性氧化并给出两个实例。
4. 识别三种热氧化工艺设备，描述立式炉体的五部分，并讨论快速升温立式炉的优点。
5. 解释什么是快速热处理、它的用途和设计。
6. 描述氧化工艺的经典概念，包括质检和一些常见的故障检查及排除。

10.1　引言

硅片上的氧化物可以通过热生长或者淀积的方法产生。在升温环境里，通过外部供给高纯氧气使之与硅衬底反应，可以在硅片上得到一层热生长的氧化层。高温氧化工艺发生在硅片制造厂的扩散区域，是硅片进入制造过程的第一步工艺（见图10.1）；淀积的氧化层可以通过外部供给氧气和硅源，使它们在腔体中反应，从而在硅片表面形成一层薄膜。本章将介绍氧化的基本工艺技术并阐述热氧化的高温工艺。第11章将介绍氧化物和其他材料的淀积。

由于硅片表面非常平整，使得在硅片上生长或淀积的氧化物主要为层状结构，称之为薄膜。一旦在硅片上形成薄膜，利用掩蔽工艺对薄膜修改，则可以获得槽电容和栅极氧化物等电路元器件设计需要的三维形状。这种在硅表面上做三维形状的修改工艺称为形貌学或表面技术。

通过将硅片曝露在高温的氧气氛围里，能生长氧化物，这是种自然现象。硅常被认为是最普遍应用的半导体衬底材料，一个主要原因就是硅片的这种生长氧化层的能力（另一个主要原因是硅相对高的熔点温度）。我们用“生长”一词来表明：在温度作用下，氧化物从硅半导体材料上生长出来，在生长过程中实际消耗了硅。

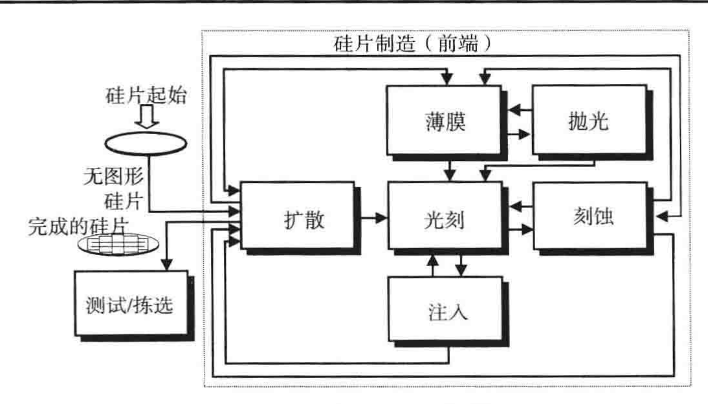


图 10.1　硅片制造厂的扩散区
（承蒙 Advanced Micro Devices 公司允许使用）

工艺中硅曝露需要的热能（如将温度乘以时间）称为热预算（thermal budget）。硅基制造业中需要的热预算正在快速下降[2]，半导体工艺的目标之一是尽量降低硅需要的热能。当器件结构的临界尺寸降到0.18 μm及其以下时，根据按比例缩放的要求，这需要有更浅的结深。为了将浅结区外的不可接受杂质扩散降至最小，热预算必需适当地增加。额外热预算引起的另外一个问题是增加互连线的金属层的欧姆电阻（参见第12章），这将全面增加导线的电阻。决定大多数硅基半导体工艺条件的一个因素是通过降温或者减少时间使热预算最小化的能力。

10.2　氧化膜

通常硅上热生长氧化层的温度在750°C ~ 1100°C之间。硅上生长的氧化层称为热氧化硅（thermal oxide）或热二氧化硅（SiO_2）。由于硅的氧化物只有一种，所以上面过两个词常常互换，它的另外一种说法是玻璃。二氧化硅是一种介质材料，不导电。

10.2.1　氧化膜的性质

当硅片曝露在氧气中时，会立刻生长一层无定形的氧化膜。虽然不掺杂的硅是半导体材料，可SiO_2却是种绝缘体。这种SiO_2膜的原子结构（见图10.2）是由一个硅原子被四个氧原子包围着的四面体单元组成的。无定形的SiO_2在原子水平上没有长程有序的晶格周期，这是因为四面体单元在晶体内没有以规则的三维形式排列[3]。

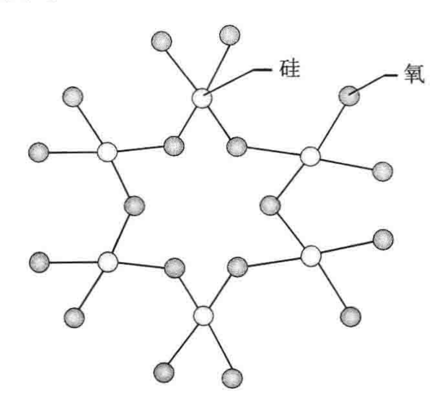


图 10.2　二氧化硅的原子结构
（承蒙 International SEMATECH 允许使用）

SiO_2是具有熔点温度1732°C的本征（纯）玻璃体[4]。热生长的SiO_2能紧紧粘附在硅衬底上，并具有优良的介质特性。硅表面总是覆盖一层SiO_2，这是因为硅片只要在空气中曝露，就会立刻在其上形成几个原子层的自然氧化膜。即使长时间曝露在25°C的室温下，这层氧化膜的厚度也只能达到40 Å左右。这种氧化物是不均匀的，在半导体工艺中常被认为是种污染物。自然氧化物在硅基半导体工艺中仍然有一些用途，如用做储存器单元的复合介质层。虽然自然氧化物在空气中生长会被污染，但是在化学清洗槽中使用高纯化学试剂生长的自然氧化物是非常洁净的。

10.2.2 氧化膜的用途

由于氧化物制备容易并且与硅衬底有着优良的界面，使其对于硅基半导体工艺很重要，同时也成为最普遍应用的膜材料。氧化层在制造微型芯片中的应用有以下几个方面：

- 保护器件免划伤和隔离沾污
- 限制带电载流子场区隔离（表面钝化）
- 栅氧或储存器单元结构中的介质材料
- 掺杂中的注入掩蔽
- 金属导电层间的介质层

■ **器件保护和隔离** 硅片表面上生长的二氧化硅可以作为一种有效阻挡层，用来隔离和保护硅内的灵敏器件。这是因为SiO_2是种坚硬和无孔（致密）的材料，可用来有效隔离硅表面的有源器件。坚硬的SiO_2层将保护硅片免受在制造工艺中可能发生的划伤和损害。通常晶体管之间的电隔离可以用LOCOS工艺，在它们之间的区域热生长厚SiO_2隔离实现（这将在本章后面讨论）。然而，这对于0.25 μm工艺技术不接受，但可用浅槽隔离（STI）来代替。STI工艺技术用淀积的氧化物来做主要的介质材料（参见第9章和第11章）。

■ **表面钝化** 热生长SiO_2的一个主要优点是可以通过束缚硅的悬挂键，从而降低它的表面态密度，这种效果称为表面钝化，它能防止电性能退化并减少由潮湿、离子或其他外部沾污物引起的漏电流的通路。坚硬的SiO_2层可以保护Si免受在后期制作中有可能发生的划擦和工艺损伤。在Si表面生长的SiO_2层可以将Si表面的电活性污染物（可动离子沾污）束缚在其中。钝化对于控制结器件的漏电流和生长稳定的栅氧化物也很重要[7]。氧化层作为一种优质的钝化层，它要有均匀的厚度、无针孔和空隙等质量要求。

用氧化层做Si表面钝化层的另一个要素是氧化层的厚度。必须有足够的氧化层厚度以防止由于在硅表面电荷积累引起的金属层充电，这非常类似于普通电容器的电荷存储和击穿特性。这种充电会导致短路和其他一些不受欢迎的电学效应。抑止金属层的电荷堆积的厚氧化层称为场氧化物层（field oxide layer），其典型厚度在2500～15 000 Å之间（见图10.3）。

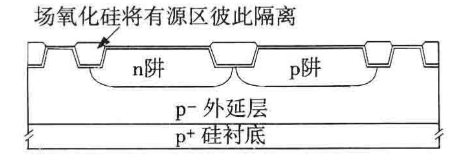


图10.3 场氧化层

二氧化硅还有与硅非常类似的热膨胀系数。硅片在高温工艺中将膨胀，而在冷却过程中收缩。SiO_2以与Si很接近的速率膨胀或收缩，使得硅片在热旅程中产生的翘曲最小，这也避免了由于膜应力使氧化膜从硅衬底上分离。

■ 栅氧电介质　对于MOS技术中常用的重要栅氧结构（见图10.4），用极薄的氧化层做介质材料。因为栅氧与其下的Si具有高质量和稳定性的特点，栅氧一般通过热生长获得。SiO_2具有高的电介质强度（10^7 V/cm）和高的电阻率（约$10^{17}\Omega$-cm）

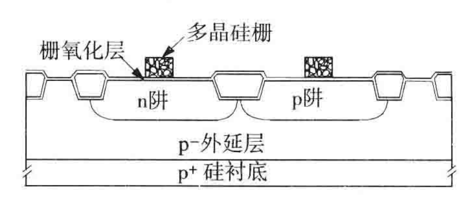


图10.4　栅氧层介质

根据器件技术的比例要求，规范化地选取栅氧厚度。对于0.18 μm工艺，典型的栅氧厚度是20 ± 1.5 Å。栅氧有着规范化的厚度，以便于它和完整的栅氧结构有适当比例，栅结构允许在氧化膜下面的硅内的感应电荷。在ULSI时代，MOS技术的广泛应用已经使得栅氧形成成为工艺发展中的关注焦点。器件可靠性的关键是栅氧完整性。MOS器件中的栅结构可以控制电流的流动。因为这种氧化物是基于场效应技术的微芯片功能实现的基础，所以具有高质量、极好膜厚均匀性、无杂质是它的基本要求。任何可以使栅氧结构功能退化的沾污都必须严格加以控制。

■ 掺杂阻挡　二氧化硅可做为硅表面选择性掺杂的有效掩蔽层（见图10.5）。一旦硅表面形成氧化层，那么将掩膜透光处的SiO_2刻蚀，形成窗口，掺杂材料可以通过此窗口进入硅片。在没有窗口的地方，氧化物可以保护硅表面，避免杂质扩散，从而实现了选择性杂质注入。与Si相比，掺杂物在SiO_2里的移动缓慢，所以只需要薄氧化层即可阻挡掺杂物（注意这种速率是依赖于温度的）。

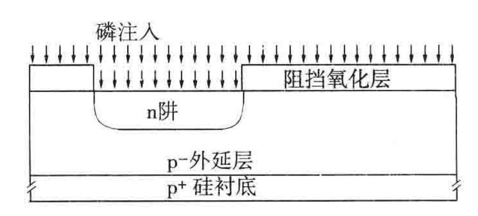


图10.5　氧化层掺杂阻挡层

薄氧化层（如150 Å）也可以用于需要离子注入的区域。它可用来减小对硅表面的损伤，还可通过减小沟道效应，获得对杂质注入时结深的更好控制（参见第17章）。注入后，可以用HF（氢氟酸）选择性地除去氧化物，使硅表面再次平坦。

■ 金属层间的介质层　一般条件下二氧化硅不能导电，因此SiO_2是微芯片金属层间有效的绝缘体。SiO_2能防止上层金属和下层金属间短路，就像电线上的绝缘体可以防止短路一样。氧化物质量要求无针孔和空隙。它常常通过掺杂获得更多有效的流动性，更好地使沾污染扩散减到最小（例如，它作为俘获中心）。通常用化学气相淀积方法获得（不是热生长），这将在第11章详述。

表10.1概述了各种氧化物及其在半导体制作中的用途[9]。

表10.1　氧化硅的应用

应用	目的	结构	说明
自然氧化层	这种氧化硅是沾污并且通常是不希望的。有时用于存储器存储或膜的钝化	二氧化硅（氧化硅） p+ 硅衬底	在室温下生长速率是每小时15 Å到最大40 Å

（续表）

应用	目的	结构	说明
栅氧化层	用做MOS晶体管栅和源漏之间的介质	栅氧化层 栅 源 漏 晶体管位置 p⁺硅衬底	通常栅氧化膜厚度从大约20 Å到几百Å。干热氧化是优选的生长方法
场氧化层	用做单个晶体管之间的隔离阻挡层使它们彼此隔离	场氧化层 晶体管位置 p⁺硅衬底	通常场氧化膜厚度从2500 Å到15 000 Å。湿氧氧化是优选的生长方法
阻挡层氧化	保护有源器件和硅免受后续工艺的影响	阻挡氧化层 金属 扩散电阻 p⁺硅衬底	热生长几百埃的厚度
掺杂阻挡层	作为掺杂或注入杂质到硅片中的掩蔽材料	掺杂阻挡侧墙 离子注入 Gate 侧墙保护窄沟道免遭高能注入	通过选择性扩散掺杂物扩散到硅片未被掩蔽的区域
垫氧化层	做氮化硅缓冲层以减小应力	钝化层 压点金属 氮化硅 垫氧 M-4 ILD-5 M-3 ILD-4	热生长并非常薄
注入屏蔽氧化层	用于减小注入沟道和损伤	屏蔽氧化层 离子注入 p⁺硅衬底 硅上表面大的损伤 + 更强的沟道效应 硅上表面小的损伤 + 更弱的沟道效应	热生长
金属层间绝缘阻挡层	用做金属连线间的保护层	压点金属 钝化层 层间氧化层 M-4 ILD-5 ILD-4 M-3	这种氧化硅不是热生长的，而是淀积的

10.3 热氧化生长

热生长氧化物的各种运用对厚度有不同的要求。表10.2总结了对不同要求二氧化硅厚度的范围。附录D中的彩色图表显示二氧化硅颜色对应的不同厚度，这在早期的硅片制作中可以用来估计氧化物的厚度。在半导体制造中，氧化层的一些重要质量参数有厚度、均匀性、针孔和空隙。

表10.2　各种要求下的氧化物厚度范围

半导体应用	典型的氧化物厚度（Å）
栅氧（0.18 μm工艺）	20 ~ 60
电容器的电介质	5 ~ 100
掺杂掩蔽的氧化物	400 ~ 1200 （依赖于掺杂剂、注入能量、时间和温度）
STI隔离氧化物	150
LOCOS垫氧	200 ~ 500
场氧	2500 ~ 15 000

10.3.1 关于氧化的化学反应

热氧化物依靠硅和氧之间的化学反应生长。可通过把硅曝露在高纯氧的高温气氛围里完成均匀氧化层的生长。如果生长发生有干氧，也就是没有水汽的氛围里，则化学反应方程式为：

$$Si（固）+ O_2（气）\rightarrow SiO_2（固）$$

该反应的时间和质量不同，并受硅片表面氧气的纯度和反应温度影响。当硅片在室温下曝露于空气中，反应也会自然发生。反应速率会随着温度增加而增快。硅片制造过程中，硅的氧化温度通常在750°C ~ 1100°C之间，而且在不同的氧化工艺步骤中是可变的。在任何一反应里，炉温都是精确控制的。与温度和时间相对应的干氧化物厚度速率显示在图 10.6 中[10]。

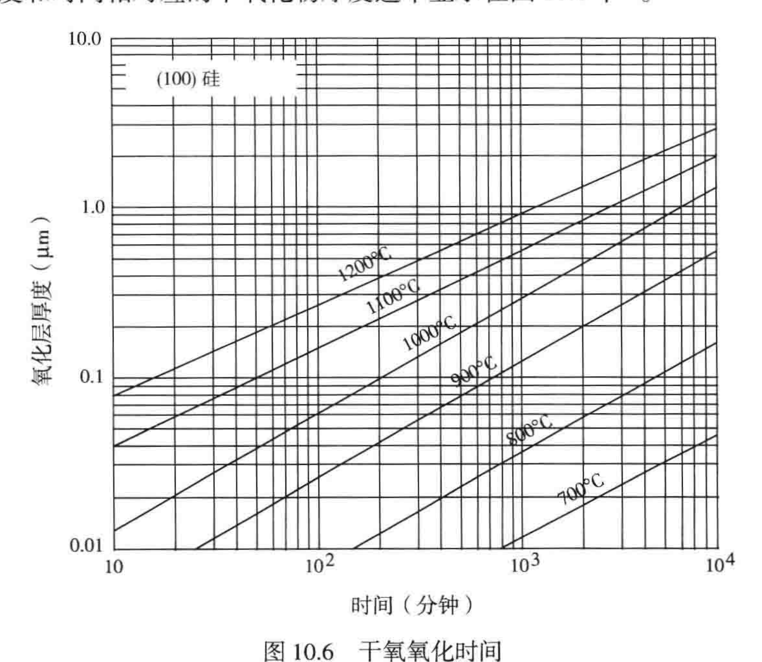


图 10.6　干氧氧化时间

■ **湿氧氧化**　当反应中有水汽参与，即湿氧化时，氧化反应速率会大大加快。湿氧的化学反应方程式为：

$$Si（固）+ 2H_2O（水汽）\rightarrow SiO_2（固）+ 2H_2（气）$$

对于湿氧氧化，用携带水蒸气的氧气代替干氧作为氧化气体。水蒸气也常由蒸汽供给，称为热蒸汽（pyrogenic steam）（见图 10.7）。在氧化生长中，湿氧反应会产生一层二氧化硅膜和氢气。潮湿环境有更快的生长速率是由于水蒸气比氧气在二氧化硅中扩散更快、溶解度更高[11]。然而反应生成的氢分子会束缚在固态的二氧化硅层内，这使得氧化层的密度比干氧要小。这种情况可以通过在惰性气体中加热氧化来改善，以得到与干氧化生长相类似的氧化膜结构和性能。

10.3.2 氧化生长模式

无论是干氧或者湿氧工艺，二氧化硅的生长都要消耗硅，如图 10.8 所示。硅消耗的厚度占氧化物总厚度的 0.46，[12] 意味着每生长 1000 Å 的氧化物，就有 460 Å 的硅被消耗。

在硅片和氧化物的界面处，通过氧化物的氧气运动控制并限制氧化层的生长。对于连续生长氧化层，氧气必须进去和硅片接触紧密。然而，SiO_2将隔离开氧气和硅片。氧化物生长发生在氧分子

通过已生成的SiO_2层运动进入硅片的过程中。这种运动称为扩散（更精确地说是气体穿过固态阻挡层的扩散）。扩散是一种材料在另一种材料中的运动。

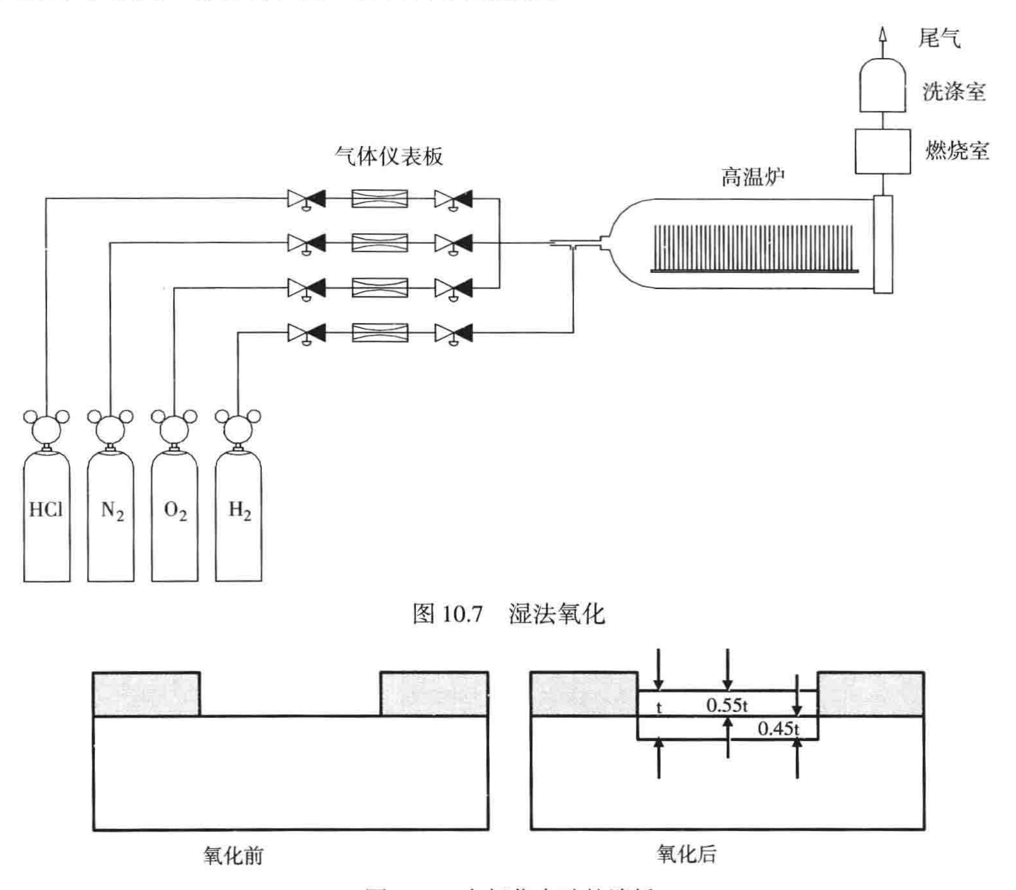


图 10.7　湿法氧化

图 10.8　在氧化中硅的消耗

对于固体、液体或者气体，原子是从高浓度区域向低浓度区域扩散的，而且热能会促进这种扩散。这是发生在日常生活中的自然物理过程。例如液态扩散，在一杯水中滴入一粒红色食品着色剂（见图 10.9）。当着色剂滴入水中时，最初它浓缩在一起，然后慢慢在水中扩散，直至全都变红为止。如果将水加热，扩散会变得更快。

硅片制造厂中进行氧化的工作间（workbay）仍被称为扩散或扩散区，在早期的硅片制造中，扩散对 pn 结的形成至关重要。由化学源为硅提供掺杂物质，并且通过提高硅片的温度达到扩散需要的结深。虽然直至今日我们仍普遍采用扩散区（diffusion bay）一词，但是在硅片制造中已不再用杂质扩散来制作 pn 结了，取而代之的是离子注入（参见第 17 章）。然而，物质扩散（这里是氧气）在工艺中是常常发生的，如氧化工艺。用一些扩散定律可以很好地对氧化进行定义和说明，这些定律基于一套菲克定律（Fick's laws）数学公式。菲克定律根据温度、浓度和扩散的激活能描述扩散材料的运动速率。本文没有涵盖菲克定律的细节研究。

■ SiO_2–Si 界面　在单晶硅到无定形 SiO_2 间的 Si/ SiO_2 界面上存在着突变。我们知道，在 SiO_2 分子中，每个硅原子和四个氧原子键合，每个氧原子和两个硅原子键合。但在 Si/ SiO_2 界面上有些硅原子并没有和氧原子键合（见图 10.10）。距 Si/ SiO_2 界面 2 nm 以内的硅的不完全氧化是带正电的固定氧化物电荷区。界面处积累的其他一些电荷包括界面陷阱电荷、可移动氧化物电荷（mobile oxide

charge)。前者由结构缺陷、氧化诱生缺陷或者金属杂质引起的正的或负的电荷组成，后者是由于可动离子沾污(MIC)引起的。在远离界面的氧化物体内，也可能有正的或负的电荷氧化物陷阱电荷[13]。对于器件的正常工作，界面处的电荷堆积是不受欢迎的，这会导致MOS器件的开启电压值变得无法接受[14]。通过在氢气或氢–氮混合气中低温（450°C）退火可以减少这种不可接受的电荷。

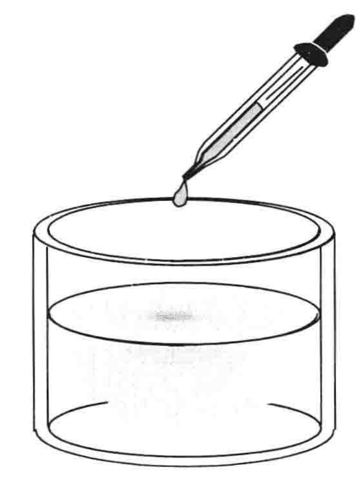


图 10.9 液态扩散

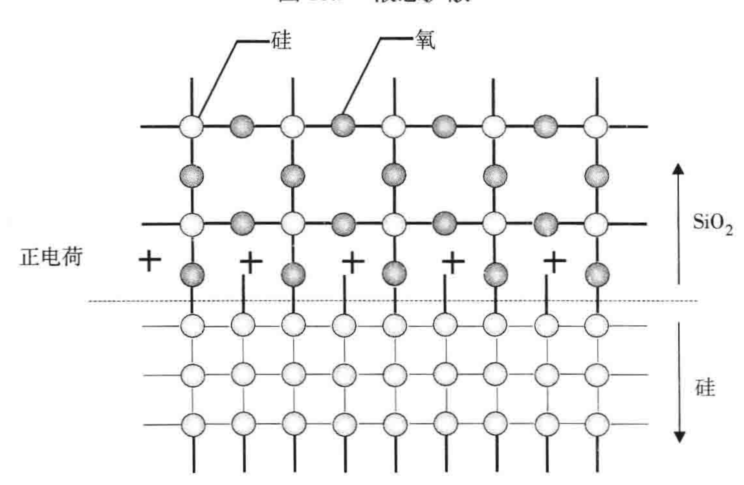


图10.10 在Si/ SiO_2界面的电荷积累
（承蒙 International SEMATECH允许使用）

氯化物在氧化中的应用 在氧化工艺中用含氯气体可以中和界面处的电荷堆积。氯离子能扩散进入正电荷层，并形成中性层。氯化物浓度保持在3%以下，否则过多的氯化物离子将引起器件的不稳定。在热氧化工艺中加入氯化物离子的另一重要优点是它们能使氧化速率提升10%~15%。进而，氯的存在实际上能固定（称为俘获）来自炉体、工艺原材料和处理的可动离子沾污。

早期采用的是氯气或气态的氯化氢(HCl)。氯气有剧毒，HCl气体混合水蒸气有腐蚀性。通常使用的含氯化合物是二氯乙烯(DCE)或它的衍生物[16]。其他腐蚀性较小的氯源有三氯乙烯(TCE)和1,1,1三氯乙烷(TCA)[17]。TCE是致癌物质已不再使用，TCA也因会对臭氧造成破坏而失宠。现在一些半导体公司已转回使用HCl，而这归功于传输它的管路和配件质量的显著提高。

■ 氧化物生长速率 氧化物生长速率用于描述氧化物在硅片上生长的快慢。影响它的参数有温度、压力、氧化方式（干氧或湿氧）、硅的晶向和掺杂水平。生长速率受关注是因为如果扩散得快，硅工艺时间将减少，而这将减少热预算。硅片上的氧化物生长模型是由迪尔（Deal）和格罗夫（Grove）发展的线性－抛物线性模型，一种能在较宽厚度范围内精确描绘氧化物生长的模型（最理想的范围是 300~20 000 Å）[18]。氧化物由两个生成阶段描述：线性阶段和抛物线阶段。

二氧化硅生长的最初阶段是线性阶段，硅片表面上硅的消耗与时间呈线性关系。这就意味着，在硅内氧化层是随时间消逝以线性速率生长的。氧化物生长线性阶段的有效性是氧化物的厚度大约生长到 150 Å 左右[19]。用线性等式描述为[20]：

$$X = \left(\frac{B}{A}\right)t$$

其中，X = 氧化物生长厚度

（B/A）= 线性速率系数

t = 生长时间

在线性阶段，氧化随时间线性变化。氧化在线性区域是反应速率控制（reaction-rate controlled）的，这是因为对于氧化生长，其制约因素是发生在 Si/ SiO_2 界面上的反应。我们注意到线性速率系数 B/A 是这种线性关系的斜率，所以才能控制反应速率。温度升高，B/A 值会增加，这意味着氧化速率也会增大。

氧化生长的抛物线阶段是氧化生长的第二阶段，而且是在氧化物厚度大约150 Å以后才开始的。用于描述抛物线阶段的公式是[21]：

$$X = (Bt)^{\frac{1}{2}}$$

其中，X = 氧化物生长厚度

B = 抛物线速率系数

t = 生长时间

注意，这个公式表示了抛物线形状。在抛物线阶段的氧化物生长要比在线性阶段慢得多。这是因为当氧化层变厚时，参与反应的氧扩散必须通过更长的距离才能达到Si/ SiO_2 界面（见图10.11），所以反应受到通过氧化物的氧扩散速率的限制。正是如此，氧化物生长的抛物线阶段被称为扩散控制。当抛物线速率系数变大时，氧化物生长的速率也会增大。例如，我们发现湿氧的抛物线速率系数 B 要比干氧的大许多[22]，所以湿氧化的速率要快。

在图10.12中的曲线显示了线性和抛物线两个阶段[23]。这是通过由迪尔（Deal）和格罗夫（Grove）于 1965 年发表的用于硅的热氧化的原始曲线，简化得到的[24]。

■ 影响氧化物生长的因素 除了温度和 H_2O 的存在，还有其他一些因素能影响氧化物的生长速率。我们将回顾其中的一些因素。

掺杂效应 重掺杂的硅要比轻掺杂的氧化速率快。在抛物线阶段，硼掺杂比磷掺杂氧化得快。氧化膜中硼趋向混合，这将减弱它的键结构，使通过它的氧扩散随之增大[25]。硼掺杂和磷掺杂的线性速率系数相差不大。

晶向 线性氧化速率依赖于晶向的原因是（111）面的硅原子密度比（100）面的大。因此，在线性阶段，（111）硅单晶的氧化速率将比（100）稍快，但是（111）的电荷堆积要多。

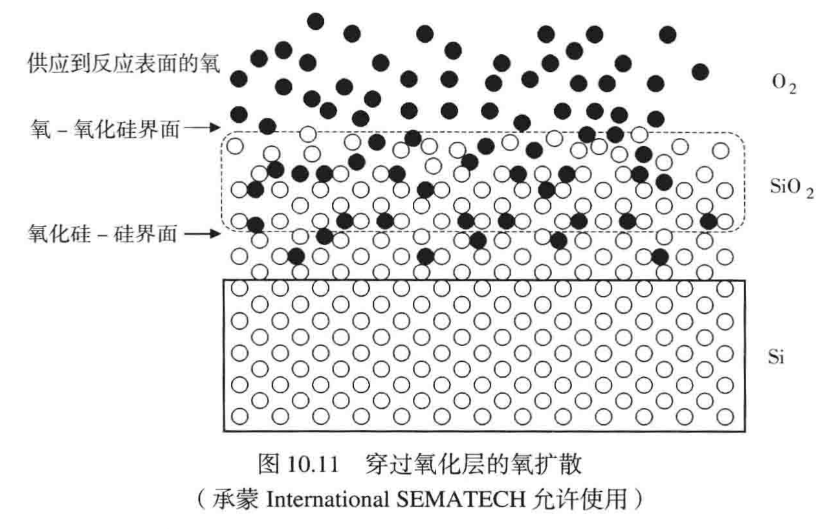


图 10.11　穿过氧化层的氧扩散
（承蒙 International SEMATECH 允许使用）

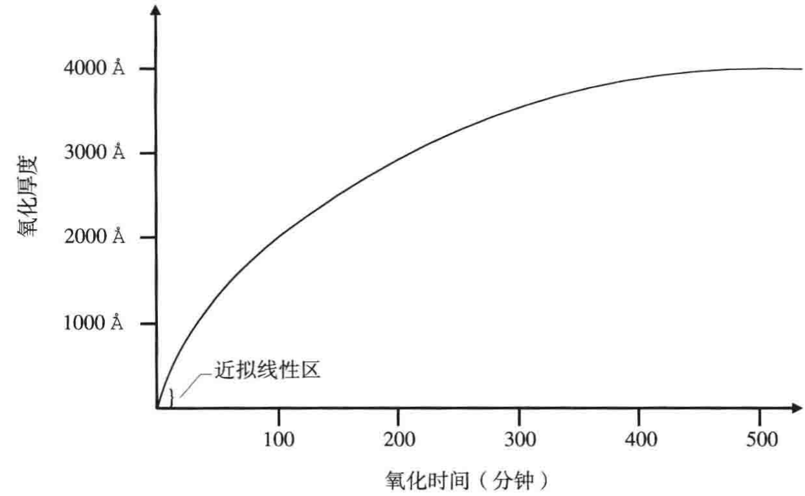


图 10.12　在 1100℃干氧氧化生长的线性和抛物线阶段
（承蒙 International SEMATECH允许使用）

在抛物线阶段，抛物线速率系数B不依赖于硅衬底的晶向。对于（111）和（100）向，在抛物线阶段的氧化生长速率没有差别。这是合理的，因为氧化生长的抛物线速率由通过已生成的SiO_2的氧扩散决定，而且它对Si/ SiO_2界面处的反应没有影响[26]。然而，电荷堆积依然很高，因为这是由表面的原子密度来决定的。

压力效应　由于氧化层的生长速率依赖于氧化剂从气相运动到硅界面的速度，所以生长速率将随着压力增大而增大。高压强迫氧原子更快地穿越正在生长的氧化层，这对线性和抛物线速率系数的增加很重要。这就允许降低温度但仍保持不变的氧化速率，或者在相同温度下获得更快的氧化生长。氧化生长的经验法则表明，每增加一个大气压的压力，相当于炉体温度降低30°C。[27]这个比率可用来降低热预算。例如，高压氧化工艺可用于生长厚的场氧层。

等离子增强　等离子增强氧化是另一种可在低温下提高氧化速率的方法，这也将减少热预算[28]。通常在产生等离子中采用的技术是RF源。给硅施以比等离子区低的偏压，这可收集硅片上等离子区内的电离氧。这种行为导致硅的快速氧化，并且允许氧化物生长在低于600°C的温度下进行。这一技

术带来的问题是产生颗粒、较高的膜应力（这与热生长氧化物不同）以及比热生长氧化要差的膜质量[29]。基于这个原因，这种方法没有在硅基制造业中广泛应用。

■ 初始生长阶段 迪尔和格罗夫的线性－抛物线性模型能精确预计超过 300 Å 的氧化生长厚度。然而，在这厚度之下，我们发现干氧化要比预计的快。这是一段很重要的氧化生长范围，因为对于 0.25 μm 以下 MOS 技术的栅氧厚度现在是 20~60 Å 左右。制造工艺必须有能力生产具有高成品率和长期可靠的这些氧化物。

由于栅氧变得如此之薄，还没有一个模型可以精确预计氧化速率。一个特殊模型的发现，在干氧生长的非常薄的氧化层中，存在着直径大约为 10 Å 左右的孔隙。这些孔隙允许氧化剂在早期生长阶段与硅直接接触，这导致氧化物在初始阶段的快速生长[30]。对薄栅氧的研究是正在发展的一个研究领域。

■ 选择性氧化 硅片上的选择性氧化区域是利用SiO_2来实现对硅表面相邻器件间的电隔离。传统的 0.25 μm 工艺以上的器件隔离方法是硅的局部氧化（LOCOS）。用淀积氮化物膜（Si_3N_4）作为氧化阻挡层。因为淀积在硅上的氮化物不能被氧化，所以刻蚀后的区域可用来选择性氧化生长（见图 10.13）。热氧化之后，氮化物和任何掩膜下的氧化物都将被除去，露出赤裸的硅表面，为形成器件做准备。

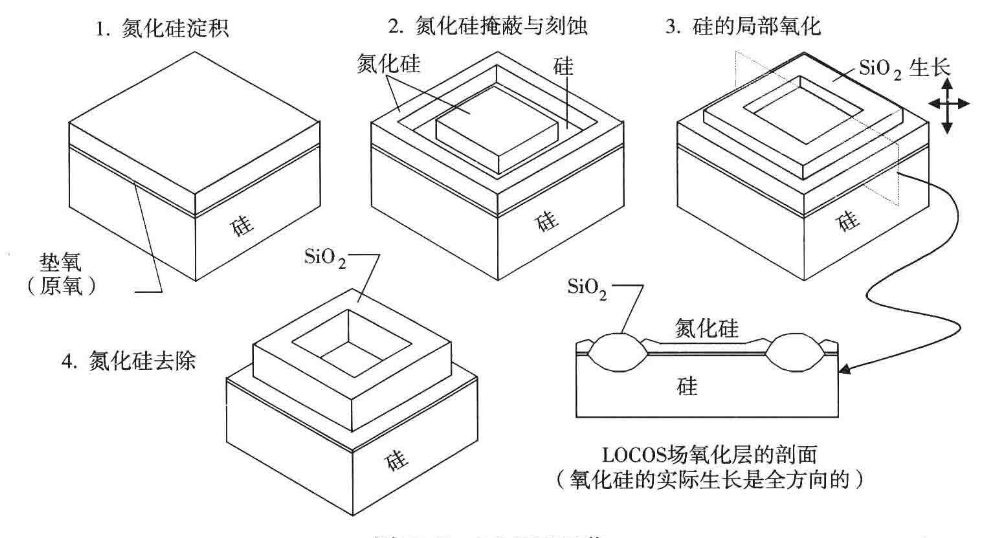


图10.13 LOCOS工艺

当氧扩散穿越已生长的氧化物时，它是在各个方向上扩散的。一些氧原子纵向扩散进入硅，另一些氧原子横向扩散。这意味着在氮化物掩膜下有着轻微的侧面氧化生长。由于氧化层比消耗的硅更厚，所以在氮化物掩膜下的氧化生长将抬高氮化物的边缘。我们称之为“鸟嘴效应”。这种现象是 LOCOS 氧化工艺中不受欢迎的副产物（见图 10.14）。氧化物较厚时，“鸟嘴效应”更显著。为了减小氮化物掩膜和硅之间的应力，在它们之间热生长一层薄氧化层，称之为垫氧（pad oxide）。

浅槽隔离 用于亚 0.25 μm 工艺的选择性氧化的主要技术是浅槽隔离（STI）。STI 技术中的主要绝缘材料是淀积氧化物（参见第 11 章）。选择性氧化利用掩膜来完成，通常是氮化硅（Si_3N_4）。掩膜经过淀积、图形化、刻蚀硅后形成槽。在掩膜图形曝露的区域，热氧化 150~200 Å 厚的氧化层之后，才能蚀硅形成槽（见图 10.15）。这种热生长的氧化物使硅表面钝化，并且可以使浅槽填充的淀积氧化物与硅相互隔离。它还能作为有效的阻挡层，避免器件中的侧墙漏电流产生。

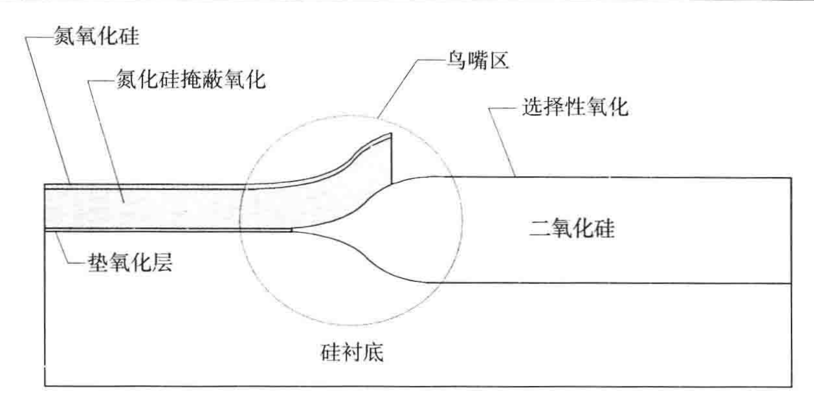


图 10.14　选择性氧化和鸟嘴效应
（承蒙 International SEMATECH允许使用）

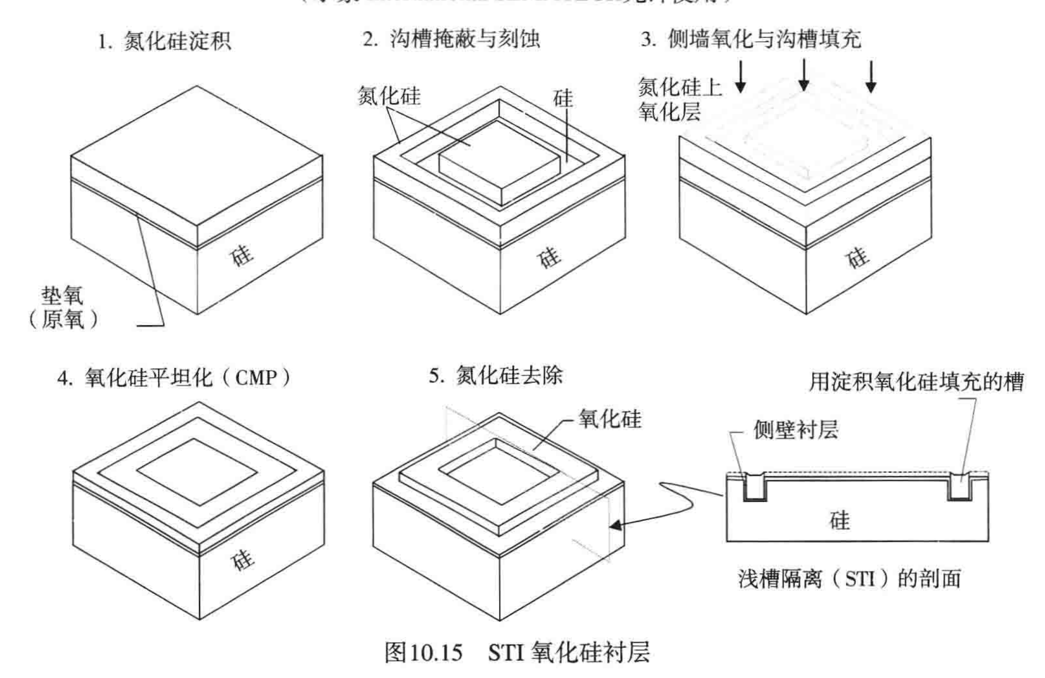


图10.15　STI 氧化硅衬层

氮化硅（Si_3N_4）通常是在为热氧化的选择性区域刻蚀窗口之后，通过化学气相淀积得到的（参见第 11 章）。只要氮化硅掩膜足够厚，覆盖了氮化硅的硅表面就不会氧化（覆盖在硅上的氮化物掩膜是轻微氧化）。氮和硅原子在高温下反应（通常在 900°C 以上）能在硅上生长氮化硅。然而，利用这种方法生长氮化物只能得到非常薄的一层（大约 5 nm），这就限制了这种具有高介质常数优点的器件应用[31]。

■ 二氧化硅的应力　二氧化硅的应力是不可接受的，因为这会使硅片翘曲并且有可能在硅片内产生层状缺陷。测量热氧化膜的应力发现，它是收缩的并且有着相对较小的数值。氧化膜的应力是由于 Si 和 SiO_2 的热胀冷缩系数不同造成的[32]。氧化膜的应力会导致硅片翘曲，氧化表面呈凸起状。曲率的光学测量可用于应力的量化。

■ 氧化诱生堆垛层错　无论湿氧或干氧都会在 Si 和 SiO_2 之间的界面处形成氧化诱生堆垛层错（OISF）。回顾第 4 章，我们知道堆垛层错是由于层之间堆垛错误形成的晶胞位错。我们相信OISF是造成 Si/SiO_2 界面氧化不完全的原因，这将导致此区域中过多的硅空隙[33]。如果堆垛层错在 pn 结

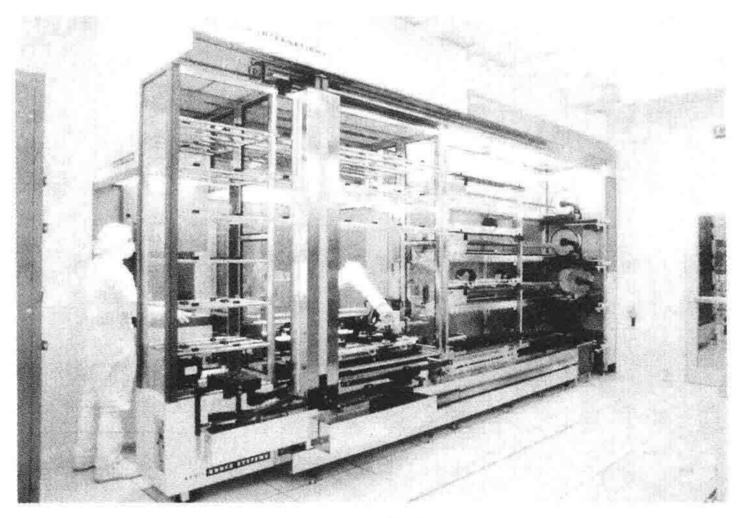
附近，将会导致漏电流的增加。由于氯气在硅表面将提供空位形成，所以掺氯的热氧化会大大减少OISF，这就提供了一种清除过多硅空隙的手段。

10.4 高温炉设备

本章节将讨论有关炉体设备基本的技术。炉体设备在硅片制造业中有多种用途。热生长氧化物，包括栅氧形成，是使用炉体的一个主要原因。其他的一些应用有：离子注入后硅片表面的热退火（参见第17章）；各种淀积膜，如掺杂或不掺杂的多晶硅、氮化硅和二氧化硅（参见第11章）；玻璃体的回流（参见第11章）；硅化物膜的形成（参见第12章）。我们将关注用于热氧化工艺的设备。

用于热工艺的基本设备有三种：

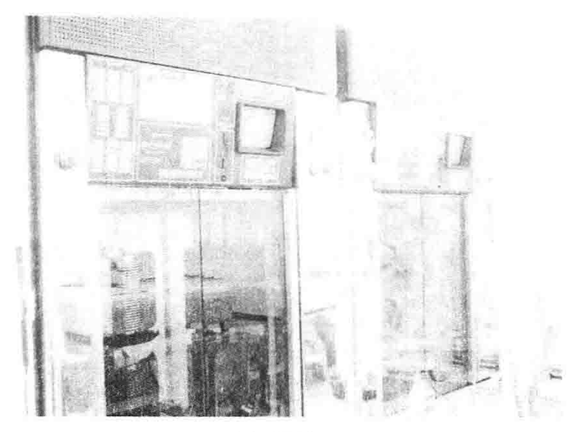
- 卧式炉
- 立式炉
- 快速热处理（RTP）：单片



卧式扩散炉
（承蒙 International SEMATECH 允许使用照片）

从早期的半导体产业开始，卧式炉是在硅片热处理中被广泛应用的设备。它的命名来自石英管的水平位置，石英管是用来放置和加热硅片的。在上世纪90年代初期，这种炉大部分被立式炉取代，这主要是因为立式炉更易自动化、可改善操作者的安全以及减少颗粒沾污[34]。立式炉也称做立式扩散炉或VDF，与卧式炉相比可更好地控制温度和均匀性。卧式和立式炉体被认为是常规的热壁（hot wall）炉体，这是因为硅片和炉壁都需要加热，并且可同时处理大量的硅片（100～200片）。常规炉体以20°C/分（或者比这更小）的速率升高或降低硅片温度。

快速热处理（RTP）是种小型的快速加热系统，带着辐射热和冷却源，通常一次处理一片硅片。当RTP用在Si衬底的热退火时，称为RTA（参见第17章）。由于RTP具有非常快的、局域化的加热时间，它只对硅片进行加热（不对炉壁加热）。典型的RTP设备可以达到每秒几十度的升降温速率，使用双面硅片加热方式可达到250°C/秒[35]。RTP技术应用始于上世纪80年代后期，并在诸如阻挡层（参见第12章）的形成和氧化物回流等领域中使用。



立式扩散炉
（承蒙 International SEMATECH 允许使用照片）

10.5　卧式与立式炉

表 10.3 给出了常规的卧式和立式炉的性能参数对比[36]。

表 10.3　卧式炉和立式炉系统性能比较

性能参数	性能目标	卧式炉	立式炉
常规装载硅片数目	小，利于工艺灵活性	200 片 / 炉	100 片 / 炉
净化室占地面积	小，节约空间	较大，而且拥有 4 根工艺管道	较小（单根工艺管道）
并行处理	工艺灵活性	无	工艺中的装卸舟，可提高产量
气流动力学（GFD）	在一致性方面最优化	较差，这源于舟、铲子等硬件。浮力和重力导致气流分布不均	较高的 GDF 和气流分布均匀，一致
舟旋转，提高膜均匀性	理想的状态	不可能设计	很容易包括在内
硅片温度梯度	相当小	大，叶片（paddle）阴影的辐射	小
装 / 卸硅片过程中的颗粒控制	颗粒最小化	相对差	通过上下装片方式，改善颗粒控制
石英更换	短时间内容易完成	涉及更多并且慢	更容易和更快，导致停机时间缩短
装载硅片技术	自动化	自动化困难	使用机械人技术使自动化更容易
工艺前后炉管气氛的控制	控制令人满意	较难控制	极好的控制，真空或中性气氛

卧式炉仍然使用并且在技术上一直在改进，这导致它在硅片制造厂中应用被重新关注。相对立式炉的低成本使它们对大于0.5 μm图形化的硅片具有吸引力。这就允许有一种混合且匹配的步骤，其中卧式炉用于一定的不太苛刻的条件，立式炉用于苛刻条件。

卧式和立式炉是为常压氧化和扩散而设计的，类似于低压化学气相淀积（LPCVD）。LPCVD用于淀积薄膜材料，如硅上的SiO_2、Si_3N_4、多晶硅。关于LPCVD及其扩散，请参见第11章中的讨论。

10.5.1　立式炉

立式炉最早出现在上世纪90年代初期。它出现的主要原因是利用立式炉减少净化室的占地面积并提高自动化处理程度。为了解基本的炉体工艺，我们将对常规的立式炉进行分析。立式炉的主要控制系统分为五部分（对于卧式炉有同样的五部分）：

- 工艺腔
- 硅片传输系统
- 气体分配系统
- 尾气系统
- 温控系统

图 10.16 给出了立式炉的五个主要系统的示意图。注意它们都处在一个微处理器的控制之下。

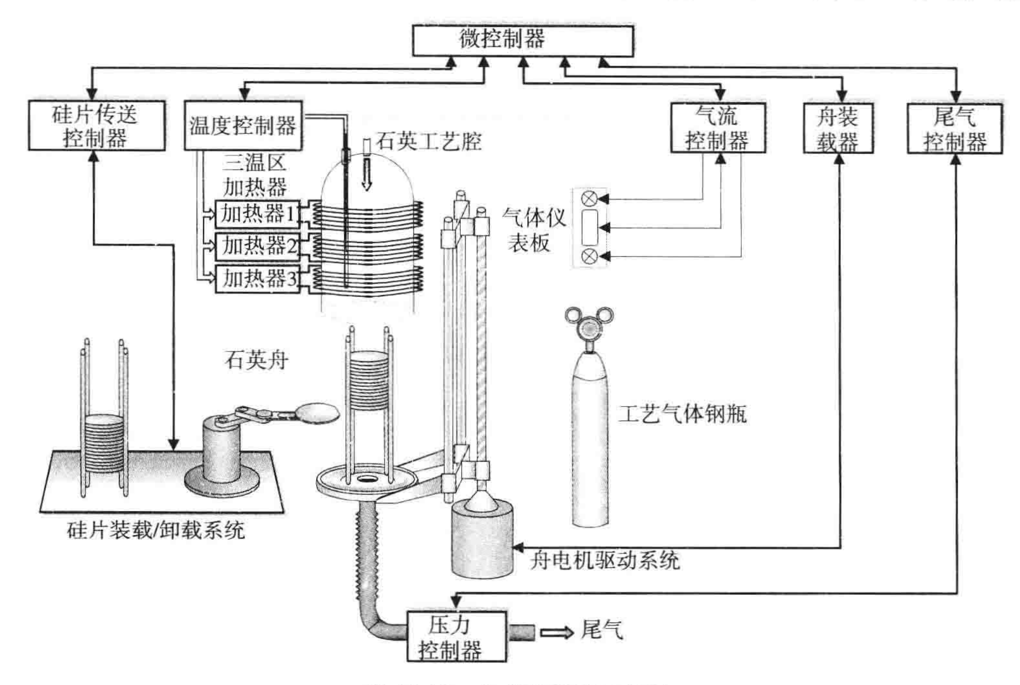


图 10.16　立式炉系统示意图

■ **工艺腔**　工艺腔或炉管是对硅片加热的场所。它由垂直的石英钟罩、多区加热电阻丝和加热管套（见图 10.17）组成。在卧式炉里也用炉管来描述加热腔体。炉管必须移动方便，使之在必要时方便清洗。

炉管材料　硅片在炉管中水平放置于垂直的硅舟上。舟和其他炉管元件是用耐高温的无定形石英做成的。当无定形石英处于高温熔融时，它是种单晶 SiO_2。炉管容器通常称为石英器皿，炉管中放置硅片用的支撑结构称为石英载物台。

工艺中，膜淀积在垂直的硅舟上，同时也淀积在炉管的内壁上，特别是用 CVD 淀积时（参见第 11 章）。有时仅几个循环之后，这种淀积膜将破裂和剥落。这些颗粒将随空气运动并停留在硅片上，导致缺陷和成品率降低。这就要求炉子部件（如炉管）取下并清洗以减少颗粒。减少膜剥落的另一种选择是用碳化硅（SiC）来制造炉子的元件，这是因为 SiC 提高了淀积薄膜的粘附性[37]。SiC 材料的缺点是它比石英贵得多。

加热区　每根石英处理管都被电热丝围绕，可用来控制多个加热区。通常加热区数目从 3 到 7 都有，300 mm 炉子可达到 9 个区[38]。加热区的数目是很重要的，因为这使得控制炉体中间附近的温度，即在热反应发生的地方获得一个恒温区（flat zone）更加便利。恒温区两端的加温区使硅片升降工艺温度最优化。这使得恒温区的温度，即使是在超过 1000°C 时，也能被控制在 0.25°C 以内[39]。

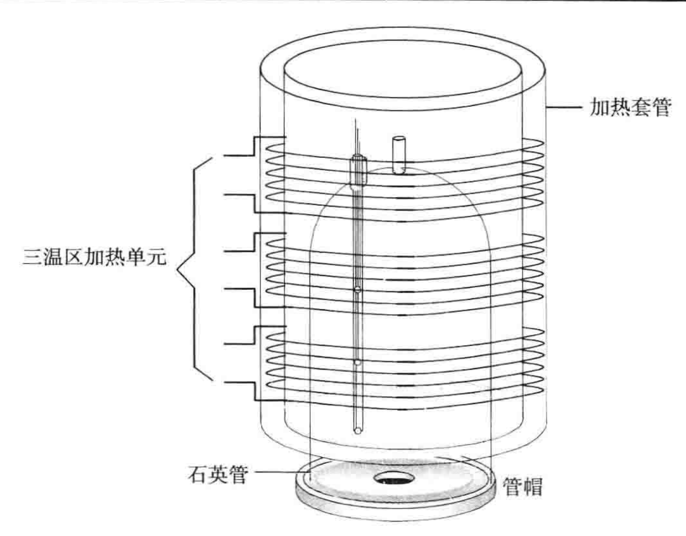


图10.17　立式炉炉管

用于水平搁置硅片的石英支撑物叫做塔（tower）或舟，它们被放置在名为基座的石英装置上。基座和炉管都被搁置在有冷却水的底盘上。有些炉子在工艺过程中旋转塔，从而提高加热的均匀性。

先进的立式炉的一个重要特征是炉管内围绕硅片的气流控制。这种气流称为气氛（ambient）。一些炉子用真空锁保持炉管里的气氛，避免曝露在大气中，另一些用纯氮冲洗加工完一批硅片后的残留气体。有些设计也包括额外的、围绕在硅片周围的石英罩，称为衬管或内管，可以提高对气氛温度的控制[40]。

加热单元　立式炉里的加热单元是缠绕在炉管外部的金属电阻丝。加热时，通过加热区，它可提供均匀的热量。图10.18给出的是三区的加热单元图。开、关加热器的响应来自于温度控制信号，温控由可控硅整流器（SCR）组成的交换系统完成。交换系统决定着输送给加热器功率的多少（如50%功率或者100%功率）。

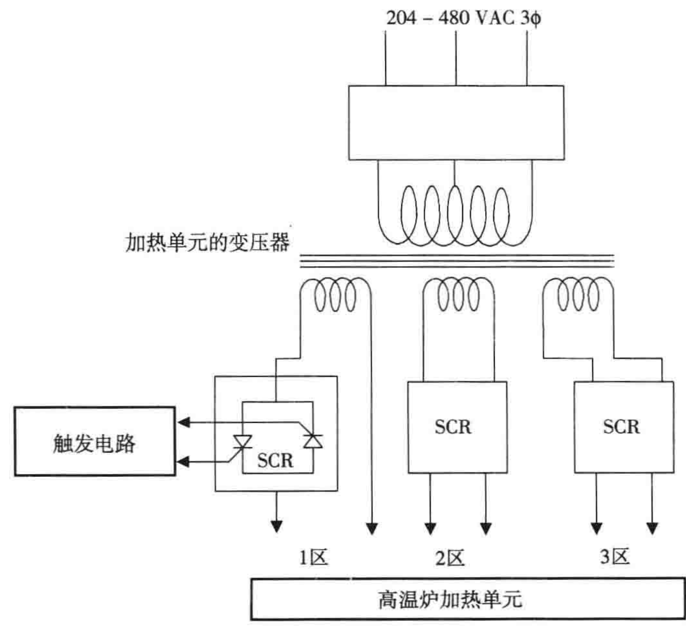


图10.18　加热单元的功率分布
（承蒙International SEMATECH允许使用）

温度控制　精确控制炉管温度的能力对炉体是非常关键的。温控的一个重要部分是传感器，我们熟知的热电偶（TC）可以探测温度并且提供相应的毫伏信号给炉子的控制器。稳定、精确、便宜、可在较宽的温度区域里工作，这些特点是热电偶常被使用的原因。

对于工艺腔的每一个加热区都有多支热电偶（见图 10.19）。侧热电偶（profile TC）置于工艺腔的内部，与硅片相邻近，每一加热区各有一支，可测量硅片表面附近的温度。控温热电偶（也称钉状热电偶，spike TC）置于工艺腔外部，靠近温控区域内缠绕的加热电阻丝，可测量加热器的温度[41]。另外，在控温热电偶附近有过温热电偶，监视最大加热温度，确保炉体不在过温下工作。

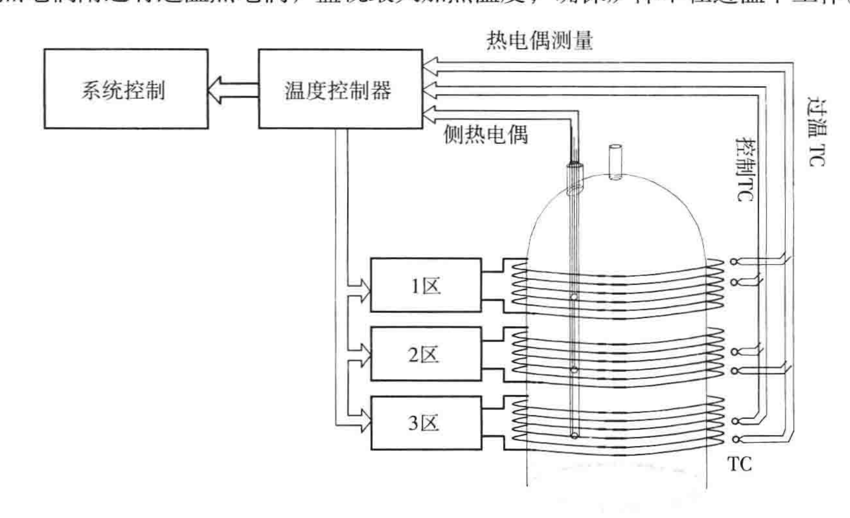


图 10.19　高温炉中热电偶的位置

■ **硅片传输系统**　立式炉中硅片传输系统的主要功能是在工艺腔中装卸硅片。所有的装卸硅片都由自动机械完成。自动机械在以下 4 个位置之间运动：片架台、炉台、装片台、冷却台。硅片传输中，装片台保持在 10 级（或更好）。

■ **气体分配系统**　气体分配系统是通过将正确的气流传送到炉管来维持炉内的气氛。

对于不同工艺，通过分配系统输送给炉管的气体有不同的通用和特种气体。表 10.4 列出了常见的用于氧化和其他工艺的气体[42]。

表 10.4　工艺中的常用气体

气体	分类	实例
通用	惰性气体	Ar、N_2
	还原气体	H_2
	氧化气体	O_2
特种	硅源气体	SiH_4、DCS（二氯硅烷）、H_2SiCl_2
	掺杂气体	AsH_3、PH_3、B_2H_6
	反应气体	NH_3、HCl
	大气 / 净化气体	N_2、He
	其他特种气体	WF_6

彻底清除气体及其副产物是很重要的。在立式炉中，这是通过位于立式炉管一端的通孔完成的。气体进入排气管以控制各种气流的方向。易燃气体（如硅烷、磷化氢和氢气）在被称为燃烧室的腔体中燃烧，燃烧是在远离工艺腔的下风口处，空气存在的条件下进行的，将易燃气体减少成几乎无害的副产物（见图 10.20）。专用颗粒过滤器用于清除固体。气体通过一罐式洗涤器吸收有毒气体。大多数炉子的尾气使用湿式洗涤器，即用水吸收气体。

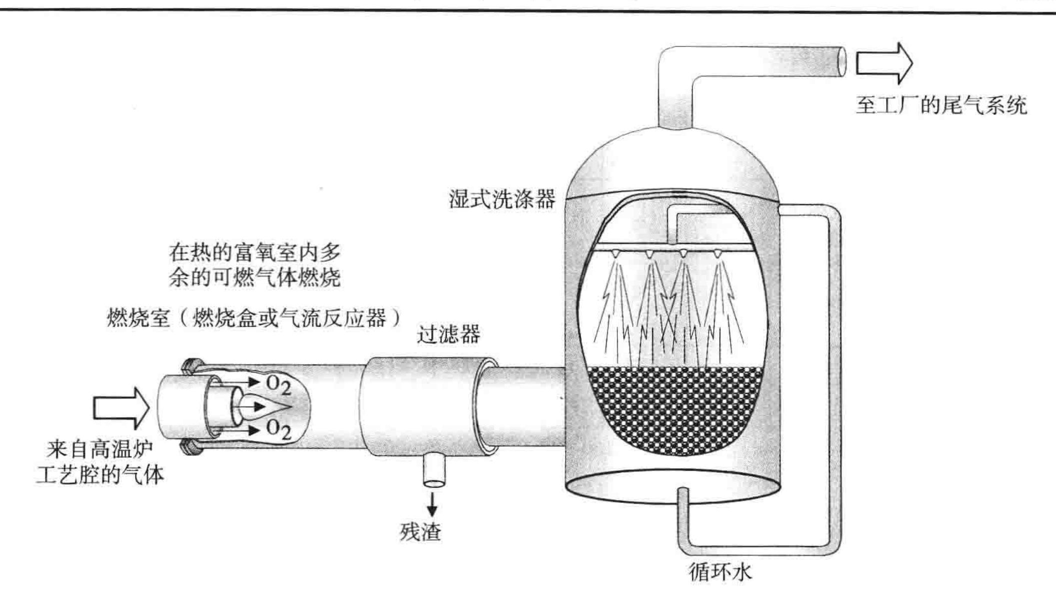


图 10.20 燃烧尾气的燃烧室

■ **控制系统** 炉子微控制器控制着炉子的所有操作，如工艺时间和温度控制、工艺步骤的顺序、气体种类、气流速率、升降温的速率和装卸硅片。升降温的速率是硅片曝露在升温或冷却时温度变化的比率，测量单位为℃/分。立式炉通常的升降温速率是10℃/分，恒温区的温度维持在0.6℃以内[43]。其他功能如诊断技术和数据收集也由微处理器执行。

每个微控制器都是一台主计算机的接口。主计算机能下载专用的硅工艺菜单，包含微控制器的所有必备数据。主计算机也能执行诸如硅片分批、菜单程序和批次自动时序安排等功能。

10.5.2 快速升温立式炉

在炉子性能（和硅片产量）中，关键的问题是炉子需要的加热和冷却时间。一种新的立式扩散炉，快速升温炉能迅速将一批硅片温度升到加工温度（上升时间），减少工艺稳定需要的时间，工艺结束后快速冷却（下降时间）。快速升温炉的发展使得硅片以100℃/分的升温速率和60℃/分的冷却速率，同时处理100片成为可能[44]。这比常规立式炉的升温速率大。

这种快速升温炉的性能随着大尺寸硅片的应用变得更重要，因为对于升温和降温需要处理更大的硅片质量。图10.21显示的是快速升温立式炉和传统立式炉的热过程的对比。快速炉的另一个重要概念是对炉内气氛的控制。例如，装片过程中的氮气将抑止不受控的氧化物生长，从而得到厚度更均匀的氧化膜。

■ **先进的温度控制** 改善热处理的温度控制和硅片上热均匀性，是减少硅片制造中热预算的关键因素。典型的快速升温炉在80℃/分升温循环中，所有硅片上维持±5℃时，能把工艺温度的一致性控制在±0.1℃以内[45]。快速升温炉的主要差别在于其快速升温元件、特殊的硅片装载装置、强迫空气冷却以及更好的温度控制器。其中硅片装载装置加大了硅片之间的空隙，使得硅片间更均匀地加热或冷却。

传统炉子的温度测量使用热电偶（见前面章节），同时使用热电偶控制各区的温度。模块式温度控制（model-based temperature control）是一种新型的温度控制技术，允许控制对硅片单独加热和冷却，而不是仅控制炉内的气氛。针对每炉装载硅片数目，通过优化控制软件来实现。控制系统可以监控相关的各个温区，以优化硅片上的温度。

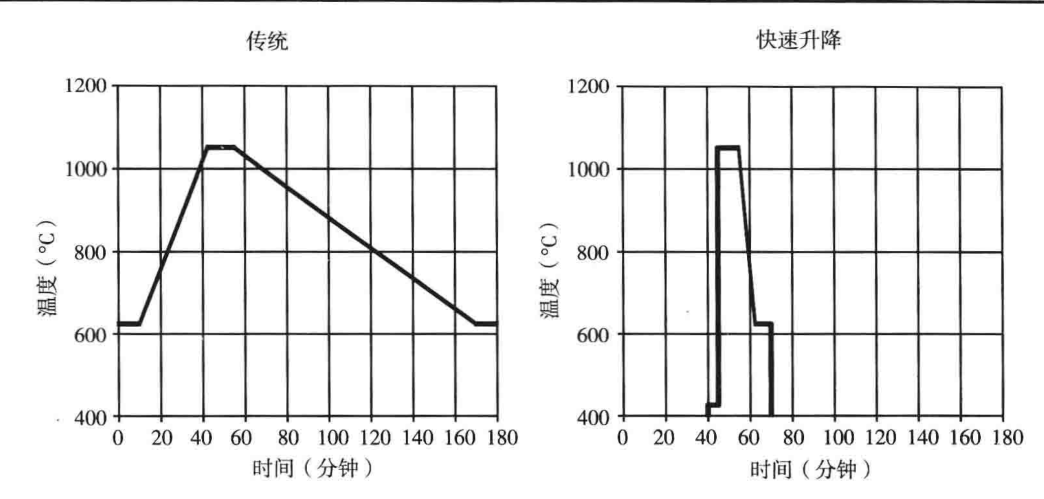


图 10.21 传统与快速升温立式炉的温度曲线

（引自 Solid State Technology 的 1996 年 6 月版，由 Pennwell Publishing Company 1996 年出版）

另一个因素是快速升温炉装载硅片的数目。在大批量硅片150~200片和炉子升温速率之间存在折中。对于大批量硅片，增加升温速率将在硅片上造成应力，如果这样，在硅片圆边处升温很快，而在硅片中央的温度将滞后几百度。快速升温炉适用于 50~100 片较小批量提高升温速率。因为同时处理的硅片变少了，这种小批量还能改善工艺中的局部气流。

10.5.3 快速热处理

快速热处理（RTP）是在非常短的时间内（经常是几分之一秒），将单个硅片加热至400 ~ 1300°C 温度范围内的一种方法。相对于传统的立式炉，RTP 的主要优点有：

- 减少热预算
- 硅中杂质运动最小
- 减少沾污，这归功于冷壁（cold wall）加热
- 由于较小的腔体体积，可以达到清洁的气氛
- 更短的加工时间（指循环时间）

表 10.5 概述了传统立式炉和 RTP 之间的对比。

表 10.5 传统立式炉和 RTP 间的对比

立式炉	RTP
一批	单片
热壁（hot wall）	冷壁（cold wall）
长时间加热和冷却炉子	短时间加热和冷却硅片
硅片较小热梯度	硅片较大热梯度
长周期	短周期
测量气氛温度	测量硅片温度
结果：	结果：
大的热预算	温度均匀性
颗粒	杂质运动最小
气氛控制	硅片间的重复性
	产量
	由于快速加热产生应力
	绝对的温度测量

■ **RTP 设计**　图 10.22 是快速热处理（RTP）的示意图。在常压或低压下，单个硅片在腔体内被快速加热，通常称这种腔体为反应腔（reactor）。RTP 具有气体处理系统和控制系统操作的计算机。

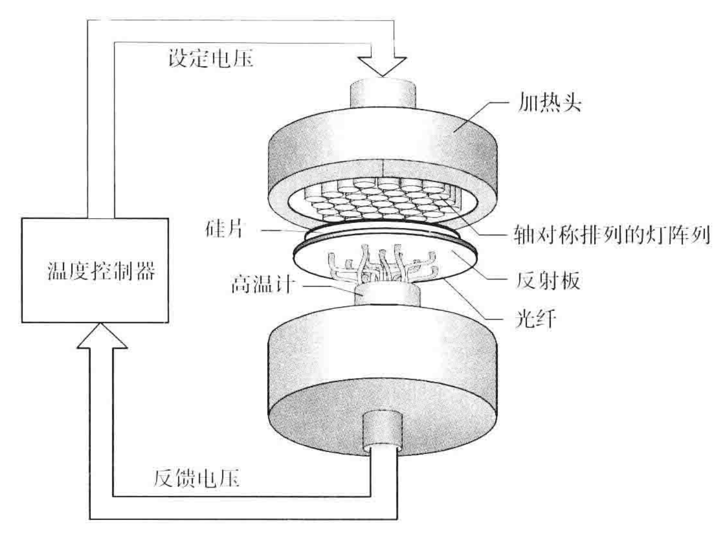


图 10.22　RTP

大多数的RTP采用多盏卤钨灯组装在一起作为热源。卤钨灯通常安在硅片的顶部和底部，数目可从25盏到超过150盏。它们被置于多个区域里，如4～14区，这可使硅片上温度等高。这种等高温度分布可以补偿可能发生在冷壁系统升降温过程中的加热和冷却的不均匀性。卤钨灯将产生短波长辐射，硅片加热依靠选择性吸收卤钨灯的辐射。用这种方式，RTP在辐射热源和硅片间传输能量，同时也不会对反应腔壁加热。这也是使用“冷壁”一词的原因。冷腔通常是光滑的金属（如不锈钢，以提高反射率），其上有一石英窗口，可使来自卤钨灯热源的辐射通过。注意有些系统使用灯或电阻加热器对基座（susceptor）加热，然后通过热接触对硅片加热。这种情况下，RTP是暖或热壁加热。

RTP的温度控制依靠热电偶或光学高温计完成。热电偶和硅片直接接触，确定硅片的真实温度。虽然热电偶相对可靠，但是它响应时间慢，并且在高温时其寿命会变短。



快速热处理器

（承蒙 Advanced Micro Devices 允许使用照片）

光学高温计可以测量远处的温度，其响应时间快。它是通过对硅片加热，探测其红外辐射来完成的。然而，硅片表面的发射率（散发出的辐射总量）依赖于硅片表面顶部或底部膜的种类变化。在光学高温计上的最新发展是利用固态高温计减少发射率的影响，具有更好的可靠性和温度测量控制。

在过去，RTP由于较差的温度均匀性和非平衡加热，一直妨碍其应用[47]。这些问题会导致滑移和硅片翘曲。在过去的几年里，由于温度控制的提高，RTP系统已经取得了重大进展。

■ 设备集成 RTP将灵活性引入热处理工艺中，因为它能和其他工艺步骤集成到一个多腔集成设备（cluster tool）中。这是很有益处的，因为在真空环境中发生的所有工艺步骤都能解除人们对自然氧化层和沾污的关注。单片在多腔集成设备中运动也能减少其处理硅片的时间，这是通过减少与大批硅片相应的等待时间达到的。一个硅片还能与另外一片并行处理。这些得益于减少硅片热预算的重要步骤的联合。

■ RTP 应用 RTP已经在硅制造业的许多工艺中被广泛应用。RTP在腔体设计和温度均匀性方面的进展使该设备具有可接受的温度一致性。经常使用到的操作有：

- 注入退火，以消除缺陷并激活和扩散杂质
- 淀积膜的致密，如淀积氧化膜
- 硼磷硅玻璃（BPSG）回流
- 阻挡层退火，如氮化钛（TiN）
- 硅化物形成，如硅化钛（$TiSi_2$）
- 接触合金

RTP工艺中应用最广泛的是离子注入后的退火。与传统扩散炉相比，RTP的优点是缩短了加热时间，这就意味着减少了热预算。然而传统炉的均匀温度控制可与之相竞争。

10.6 氧化工艺

热氧化的目标是按厚度要求生长无缺陷、均匀的SiO_2膜。用于特定硅片制造步骤的氧化工艺条件的类型取决于氧化层的厚度和性能要求。薄氧化物，如栅氧，通常用干氧生长。由于钠离子污染是我们所关心的，所以在氧化过程中将HCl加入O_2中，从而获得高质量的氧化物。对于厚氧化物，如场氧，使用水汽（氧化工艺中的水汽不含HCl）。生长过程中的高压允许厚氧化物在合理的时间段里，降低温度生长。图10.23给出了热氧化工艺的典型步骤。

10.6.1 氧化前的清洗

要获得高质量的氧化，硅片的清洗至关重要（参见第6章）。诸如颗粒和可动离子沾污（MIC）等污染物对器件的性能和成品率有严重影响。例如，如果在栅氧结构的热生长中存在MIC，当MIC从栅氧漂移到Si/SiO_2界面时，将导致阈值电压长期变化[48]。这对器件的电性能是有害的。对热氧化工艺，避免MIC和颗粒造成的麻烦，要依靠维持系统处于高度清洁状态。以下内容对于尽量减少沾污非常重要：

- 炉体及其相关设备的清洗维护（特别是对石英器皿）
- 工艺中化学物品的纯度
- 氧化气氛的纯度（炉中氧源的纯度）
- 硅片清洗和操作实践

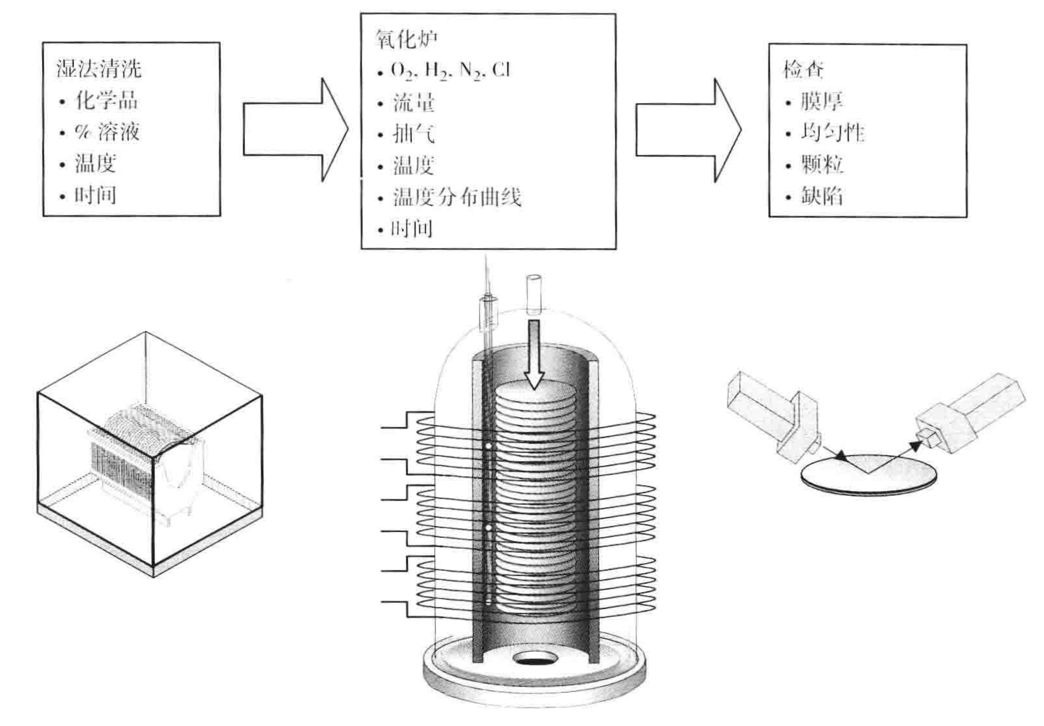


图 10.23 热氧化工艺流程图

经历过时间考验的基本湿法化学清洗液是RCA SC-1和SC-2清洗体系以及piranha清洗（硫酸、过氧化氢和水的混合物）。这些硅片清洗方法及其变更已在第6章讨论过。氧化工艺的清洗设备选择广泛，包括手动和自动湿法清洗槽、超声波系统（megasonic）、酸喷涂器、清水或干法系统。

10.6.2 氧化工艺菜单

为使热氧化发生，氧化炉设备中的某些工艺条件要遵循一定的特殊格式，这就是工艺菜单。对于硅片制造，普遍是将工艺菜单参数存储在一软件数据库中并且将其下载至为特别硅片批的工具软件中。下面将以干法氧化为例讨论工艺菜单。

■ 干法热氧化 干法热氧化最常见的应用是生长用于栅氧的薄氧化膜[49]。随着芯片集成度的增加，器件变小（遵循摩尔定律，参见第1章），器件尺寸和电参数必须等比例缩小。栅氧化膜被认为是硅片制造中最重要的氧化应用，对于0.18 μm器件栅氧厚度约为20~40 Å，对0.15 μm器件约为20~30 Å[50]。用干法氧化生长的高质量氧化物具有均匀的密度、无针孔、可重复的特点。对于栅氧而言在清洁的、无钠离子的系统中生长非常重要，这个系统要求非常干燥，因为即使25 ppm的水也将改变氧化物的生长速率和性能[51]。目前正在研究具有与栅氧结构中介质功能相同的替代材料，但是在生产中没有发现合适的。

■ 工艺菜单 表10.6给出的是栅氧化物的干法氧化的一个实例[52]。在待机状态，工艺菜单显示出工艺腔中有纯氮（N_2），直到工艺开始才关闭保压（purge）氮气，打开加工用氮气。一旦炉管装好硅片，炉温将从待机状态的850°C以20°C/分的升温速率上升到1000°C。硅片在1000°C有5分钟的稳定时间。由于这是干法氧化，氧气束流以2.5 slm进入工艺腔。HCl的流量为67 sccm，用来减少界面电荷和MIC。在使电荷积累最小化的退火阶段，O_2和HCl被关闭，N_2被打开。即使氧源被关闭，氧化物中仍然存在着氧扩散，这将影响二氧化硅的化学计量配比。在卸片阶段有5分钟的时间。

表 10.6　干法氧化工艺的工艺菜单

步骤	时间（分钟）	温度（°C）	工艺气体 N_2 净化气（slm）	N_2（slm）	O_2（slm）	HCl（sccm）	注释
0		850	8.0	0	0	0	待机状态
1	5	850		8.0	0	0	装片
2	7.5	升温速率 20 °C/min		8.0	0	0	升温
3	5	1000		8.0	0	0	温度稳定
4	30	1000		0	2.5	67	干法氧化
5	30	1000		8.0	0	0	退火
6	30	降温速率 5 °C/min		8.0	0	0	降温
7	5	850		8.0	0	0	卸片
8		850	8.0	0	0	0	待机状态

注意：气流单位为 slm（每分钟标准升）和 sccm（每分钟标准立方厘米）

10.7　质量测量

表 10.7 列出了热氧化物生长的具有代表性的质量测量方法[53]。

表 10.7　热氧化膜的质量测量

质量参数	缺陷类型	备注
1. 氧化物厚度	A. 超出规范的栅氧厚度（典型的栅氧化物厚度在 20 ± 1.5 Å）	出现问题可能的原因是： ● 错误的气流（如 MFC 校不当）；检查 HCl 与 O_2 比率是否正确，因为 HCl 会提高氧化速率 ● 用裸硅样片检测片全面检验炉子 O_2 的泄漏 ● 测量氧化物厚度，与标准厚度的硅片相对比，核对度量衡设备 ● 硅片在正常氧化之前或后在空气中过度曝露，导致过度的自然氧化物生长
2. 栅氧化物完整性（GOI）	A. 栅氧化物击穿 B. 膜内可动离子沾污（MIC）	栅氧化物缺陷常常与工艺条件有关： ● 用无图形检测片做 C-V 测试，检测栅氧化物的完整性 ● 用表面电荷分析仪在检测片上做氧化物电荷分析 ● 回顾预氧清洗步骤，推测沾污源（如颗粒或MIC等） ● 确认没有来自进气管或有故障的过滤器
3. 氧化膜内的颗粒	A. 沾污的石英器皿 B. 炉内的硅片破损 C. 沾污的装卸台 D. 沾污的气体过滤器或气管	对在氧化工艺过程中加入的颗粒来源的改正： ● 检查石英器皿和装卸台的清洁 ● 检查自动处理系统的对准 ● 检查进气的过滤器
4. 氧化膜下的颗粒	A. 预氧化清洗沾污	氧化步骤之前的颗粒源： ● 验证预氧化清洗步骤的正确设立和执行 ● 检查石英器皿和装卸台的清洁

当一批硅片进炉氧化时，将一定数量表面裸露的检测片（也称为无图形片，参见第 19 章）放置在炉管的关键位置上（见图 10.24）。这些检测片用于氧化步骤之后的各种评估，确保氧化物具有可接受的质量。

10.8　氧化检查及故障排除

表 10.8 给出了热氧化中常见的问题和改正措施。

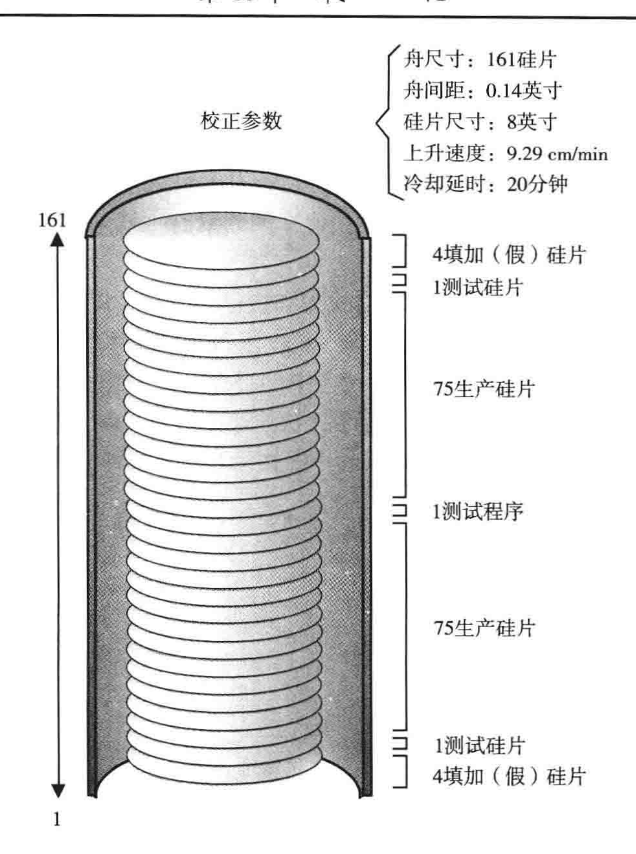


图 10.24 立式炉管装片图

表 10.8 常见氧化问题

问题	可能的原因	纠正措施
1. 进入炉体的错误气流	A. 不正确的工艺菜单 B. MFC故障 C. 错误的 H_2 和 O_2 比率（O_2 缺乏）	对此问题可能采取的纠正措施： ● 确认从炉子软件中调入的是正确的工艺菜单 ● 检查工艺气体 MFC（O_2、N_2、H_2、Cl），以确认进行校准并操作正常 ● 确认气阀功能正常（如不漏气等） ● 检查是否有空气从石英或炉门的密封圈外漏入炉管内
2. 立式炉工艺腔内错误的温度均匀性	A. 错误的工艺菜单 B. 热电偶工作方式不正确	可能的措施： ● 确认正确的工艺菜单被调入 ● 估计在升降温及恒温过程中温度是否不均匀 ● 检查所有热电偶的工作方式。确认没有因过度受热和腐蚀而退化。替换有问题的热电偶。确认热电偶参考点的温度没有漂移
3. RTP 内不恰当的温度均匀性	A. 加热系统故障（如卤钨灯等） B. 确认温度测量传感器工作正确	可能的措施： ● 确认加热灯正在工作并且光强正确 ● 确认光学高温计测量传感器的正确校准和温度测量。通过对硅表面反射率测量，检查硅片的发射率有无变化

10.9 小结

在硅片上可以热生长或淀积二氧化硅（或氧化物）。SiO_2的原子结构是由一个硅原子被四个氧原

子包围着的四面体单元组成的。硅片制造中氧化膜的作用有（1）保护和隔离，（2）钝化，（3）电介质材料，（4）掺杂掩蔽，（5）金属层间的介质隔离。氧化膜的厚度依赖于它的用途。干法热生长氧化物的化学反应需要硅和氧化剂气体，在反应中消耗硅，湿氧的反应速度比干氧要快。在Si/ SiO_2 界面上存在不受欢迎的氧化物电荷，这可使用HCl中和。热氧化物在线性阶段生长厚度约为150 Å，随后是慢速的抛物线生长阶段。影响氧化物生长速率的因素有：掺杂物、晶体晶向、压力和温度。SiO_2 可以使用生长或淀积的方法得到。

热处理工艺设备主要有三种：卧式炉、立式炉和快速热处理（RTP）。制造中最主要使用立式炉。它由工艺腔、硅片传输系统、气体分配系统、尾气系统和温控系统组成。腔体材料是石英或碳化硅。温度使用多支热电偶精确控制。热处理工艺中的目标是使热预算最小化。快速升温立式炉使用先进的温度控制可以将一小批硅片迅速升降温。快速热处理器（RTP）以高达每秒几百度的升温速率对硅片加热，减少热预算，它常与其他工艺步骤相结合。为获得高质量氧化物，氧前清洗至关重要。

关键术语

生长氧化硅层
淀积氧化硅层
形貌（表面形貌）
热预算
热氧化硅（热二氧化硅[SiO_2]）
四面体单元
表面钝化
场氧化硅层
栅氧化硅结构
干氧化
湿氧化
热蒸汽
扩散
Fick 定律
固定氧化物电荷
界面陷阱电荷
可动氧化物电荷
氧化物陷阱电荷
氧化硅生长速率
线性阶段
反应速率控制
抛物线阶段
扩散控制
局部氧化（LOCOS）
鸟嘴效应
垫氧
浅槽隔离（STI）
氧化诱生堆垛层错（OISF）
卧式炉
立式炉
热壁批处理炉
快速热处理（RTP）
工艺腔或炉管
承片舟
石英件
石英载片器
恒温区
气氛
热电偶（TC）
侧热电偶
钉状热电偶
过温热电偶
硅片传送系统
燃烧室
洗涤室
温度升级速率
快速升温炉
模块（model-based）式温度控制
反应腔
冷壁
光学高温计
工艺菜单

复习题

1. 生长氧化层与淀积氧化层间的区别是什么？
2. 描述什么是在硅表面上的形貌学。
3. 热预算的定义，解释为什么其不受欢迎。
4. 说明什么是热 SiO_2，给出它的另一种叫法。
5. 描述 SiO_2 的原子结构。
6. 什么是表面钝化，它有什么益处？
7. 描述场氧化层及其厚度范围。
8. 为什么栅氧要用热生长？
9. 解释栅氧完整性。
10. 描述 SiO_2 如何被用做掺杂阻挡层。
11. 列出热氧化物在硅片制造的6种用途，并给出各种用途的目的。
12. 说明干法氧化的化学反应，通常发生反应的温度范围。
13. 说明湿法氧化的化学反应，与干法氧化相比是快还是慢，为什么？
14. 如果热生长氧化层厚度为2000 Å，那么Si消耗多少？
15. 什么是扩散？在热氧化中是如何发生的？
16. 列出 Si/SiO_2 界面处的4种氧化物电荷。氧化物电荷受欢迎吗？为什么？
17. 举出氧化工艺中掺氯的两个优点。
18. 描述氧化物生长速率。影响这种速率的参数是什么？
19. 描述热氧化的线性阶段、其厚度范围和发生的地方。说明这种生长的反应方程式。
20. 对于热氧化生长,反应速率控制意味着什么？
21. 描述热氧化的抛物线阶段、其厚度范围和发生的地方。说明这种生长的反应方程式。
22. 对于热氧化生长，扩散控制意味着什么？
23. 掺杂对氧化物生长的影响是什么？
24. 解释晶体晶向对氧化物生长的影响。
25. 压力对氧化物生长的影响是什么？
26. 等离子体对氧化物生长的影响是什么？
27. LOCOS是什么，热氧化中如何使用？鸟嘴效应是什么，为什么它不受欢迎？
28. 解释浅槽隔离（STI）。
29. 什么导致了氧化层中的应力？
30. 什么是氧化诱生堆垛层错（OISF）？
31. 列出三种基本的热处理设备。
32. 什么是热壁炉？
33. 列出卧式炉和立式炉的五个性能因素，判断哪种炉体是最适合的。
34. 立式炉系统的五部分是什么？
35. 描述工艺腔（或炉管）。
36. 炉管最常用的两种材料是什么？
37. 炉体一般有多少区，其数目为什么很重要？
38. 硅舟是什么？
39. 在高温炉中使用的气氛（ambient）一词是什么意思？

40. 立式炉热电偶放置的三个位置是什么？描述每根热电偶的用途。
41. 解释立式炉的硅片传输系统的用途。
42. 立式炉的气体分配系统的用途是什么？
43. 解释什么是燃烧室。
44. 描述炉体的微控制器的作用。
45. 解释什么是快速升温立式炉，它能达到的升降温的速率是多少？
46. 描述快速升温立式炉的控温方法。
47. 什么是快速热处理（RTP）？相比于传统炉其6大优点是什么？
48. 描述RTP如何对单个硅片加热。RTP是热壁系统还是冷壁系统？
49. 描述RTP的光学高温计的用途及其如何工作？
50. 为什么氧化前清洗很重要？

扩散炉和RTP设备供应商网站

Amtech Systems Inc.	http:/www.amtechsystems.com/
Applied Materials	http:/www.appliedmaterials.com/products/
Asahi Glass Electronic Materials	http:/www.agem-usa.com/
ASM	http:/www.asm.com/
Axcelis (formerly Eaton)	http:/www.axcelis.com/
CVD Equipment Corporation	http:/www.cvdequipment.com/
GaSonics International	http:/www.gasonics.com/
Eaton Corporation	http:/www.semiconductor.eaton.com/
Heraeus Amersil Inc.	http:/www.heraeus-amersil.com/
Kokusai Semiconductor Equipment	http:/www.ksec.com/
MRL Industries	http:/www.mrlind.com/
Omega Engineering Inc.	http:/www.omega.com/
Semitool Inc.	http:/www.semitool.com/
Silicon Valley Group	http:/www.svg.com/
TEL, Tokyo Electron Ltd.	http:/www.teainet.com
Tystar Corporation	http:/www.tystar.com/

参考文献

1. G. Moore, "The Role of Fairchild in Silicon Technology in the Early Days of 'Silicon Valley,'" *Proceedings of the IEEE* 86–1 (January 1998): p. 62.
2. S. Nag et al., "Low-Temperature Pre-Metal Dielectrics for Future ICs," *Solid State Technology* (September 1998): p. 70.
3. G. Anner, *Planar Processing Primer*, (New York: Van Nostrand Reinhold, 1990), p. 146.
4. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), p. 452.
5. Ibid.
6. SEMATECH, *Semiconductor Dictionary*, (Austin, TX: SEMATECH, 1995).
7. S. Ghandhi, *VLSI Fabrication*, p. 452.

8. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, (Boston: Kluwer Academic, 1995), p. 40.
9. SEMATECH, "Furnace Equipment Overview," Module 3 in *Furnace Processes and Related Topics*, (Austin, TX: SEMATECH), p. 3–2.
10. Ibid.
11. B. El-Kareh, *Fundamentals*, p. 47.
12. B. El-Kareh, *Fundamentals*, p. 45.
13. D. Schroder, *Semiconductor Material and Device Characterization*, 2nd. ed., (New York: Wiley, 1998), pp. 337–339.
14. J. Mayer and S. Lau, *Electronic Materials Science: For Integrated Circuits in Si and GaAs*, (New York: Macmillan, 1990), p. 265.
15. D. Schroder, *Semiconductor Material*, pp. 337–339.
16. SEMATECH, "Oxidation Processes," module in *Furnace Processes and Related Topics*, p. 8.
17. G. Anner, *Planar Processing Primer*, p. 176.
18. S. Wolf and R. Tauber, *Process Technology*, vol. 1, *Silicon Processing for the VLSI Era*, 2nd ed. (Sunset Beach: Lattice Press, 2000), p. 269.
19. SEMATECH, "Oxidation Processes," module in *Furnace Processes and Related Topics*, p. 6.
20. S. Ghandhi, *VLSI Fabrication*, p. 460.
21. Ibid.
22. Ibid.
23. SEMATECH, "Oxidation Processes," module in *Furnace Processes and Related Topics*, p. 7.
24. B. Deal and A. Grove, "General Relationship for the Thermal Oxidation in Silicon," *Journal of Applied Physics* (1965): pp. 3770–78.
25. S. Ghandhi, *VLSI Fabrication*, p. 463.
26. S. Wolf and R. Tauber, *Process Technology*, p. 278.
27. S. Wolf and R. Tauber, *Process Technology*, p. 283.
28. B. El-Kareh, *Fundamentals*, p. 60.
29. S. Wolf and R. Tauber, *Process Technology*, p. 218.
30. S. Ghandhi, *VLSI Fabrication*, p. 462.
31. B. El-Kareh, *Fundamentals*, p. 69.
32. S. Wolf and R. Tauber, Process *Technology*, p. 296.
33. S. Ghandhi, *VLSI Fabrication*, p. 473.
34. P. Singer, "Furnaces Evolving to Meet Diverse Thermal Processing Needs," *Semiconductor International*, (March 1997), p. 85.
35. Industry Watch, "Thermal Processing: Meeting the Challenges of 300 mm," *Semiconductor International*, (April 1998), p. 19.
36. SEMATECH, "Furnace Equipment Overview," module 3 in *Furnace Processes and Related Topics*, pp. 3–6.
37. J. Tomanovich, "LPCVD Components Trend Toward SiC," *Solid State Technology*, (June 1997): p. 135.
38. P. Singer, "Furnaces Evolving," p. 86.

39. A. Helms et al., "Status and Future of Batch, Hot-Wall Furnaces," *Solid State Technology*, (November 1999): p. 83.
40. P. Singer, "Furnaces Evolving," p. 86.
41. C. Porter et al., "Improving Furnaces with Model-Based Temperature Control," *Solid State Technology*, (November 1996): p. 120.
42. SEMATECH, "Gas Delivery Systems," module 8 in *Furnace Processes and Related Topics*, (Austin, TX: SEMATECH, 1994), pp. 8–3.
43. A. Helms et al., "Status and Future," p. 83.
44. L. Peters, "Thermal Processing's Tool of Choice: Single-Wafer RTP or Fast Ramp Batch?" *Semiconductor International*, (April 1998): p. 84.
45. Ibid.
46. R. Fair, "Conventional and Rapid Thermal Processes," *ULSI Technology*, ed. C. Change and S. Sze, (New York: McGraw-Hill, 1996), p. 151.
47. K. Reid and A. Sitaram, "Rapid Thermal Processing for ULSI Applications: An Overview," *Solid State Technology*, (February 1996): p. 64.
48. S. Wolf and R. Tauber, *Process Technology*, p. 225.
49. SEMATECH, "Oxidation Processes," module in *Furnace Processes and Related Topics*, p. 11.
50. L. Peters, "Thermal Processing's Tool," p. 86.
51. S. Ghandhi, *VLSI Fabrication*, p. 466.
52. Adapted from SEMATECH, "Oxidation Processes," module in *Furnace Processes and Related Topics*, p. 13.
53. SEMATECH, " Troubleshooting Process and Equipment Problems," module in *Furnace Processes and Related Topics*, (Austin, TX: SEMATECH, 1994), pp. 1–16.

第11章　淀　　积

微芯片加工是一个平面加工的过程，这一过程包含在硅片表面生长不同膜层的步骤。通过淀积工艺可以完成在硅片表面生长薄膜。导电薄膜层和绝缘薄膜层对于能否在硅衬底上成功制作出半导体器件而言是至关重要的。成膜技术被用来加工电路，主要用隔离绝缘介质层之间所夹的金属导电层连接不同的IC器件。

在制造工艺中，多种不同类型的膜淀积到硅片上。在某些情况下，这些膜成为器件结构中的一个完整部分；另外一些膜则充当了工艺过程中的牺牲层，并且在后续的工艺中被去掉。在微芯片加工中，膜淀积通常指薄膜，因为这些膜很薄以致它们的电学和机械学特性完全不同于同种材料下更厚的膜。

本章将讨论薄膜淀积的过程和所需的设备，重点讨论SiO_2和Si_3N_4等绝缘薄膜以及多晶硅的淀积。金属和金属化合物薄膜的淀积会在第12章中讨论。

目标

通过本章的学习，你将能够：

1. 描述出多层金属化。讨论一种薄膜可以接受的特性。叙述并解释薄膜生长的三个阶段。
2. 提供对不同薄膜淀积技术的概况。
3. 列举并描述化学气相淀积（CVD）反应的8个基本步骤，包括不同类型的化学反应。
4. 描述CVD反应如何受限制，解释反应动力学以及对CVD薄膜掺杂的效应。
5. 描述不同类型的CVD淀积系统，解释设备的功能，讨论某种特定工具对薄膜应用的优点和局限。
6. 解释绝缘材料对芯片技术的重要性，给出应用的例子。
7. 讨论外延技术和三种不同的外延层淀积方法。
8. 解释旋涂绝缘介质（spin-on-dielectric）。

11.1　引言

从中规模集成电路和大规模集成电路时代起，早期半导体硅片的设计和加工相对较为直接。这一过程包括在硅片上加工半导体器件以及互连器件到被SiO_2介质层所夹的金属导电层。图11.1给出了制作一个早期nMOS晶体管所需的淀积层。这一技术是在小规模集成电路时代制作平面晶体管技术的扩展。图中器件的特征尺寸远大于1 μm。如图所示，由于特征高度的变化，硅片上的各层并不平坦，这成为超大规模集成电路时代所需的多层金属高密度芯片制造的限制因素。

随着硅片加工向更高的芯片密度，特征尺寸收缩到0.18 μm甚至更小，加工过程中所用的材料和工艺有了很大变化。为了获得良好的电学性能，器件的各种参数都要有一个同时的等比例缩小。在当今的高级微芯片加工中，需要用到六层甚至更多层金属来做连接。需要新的金属材料来获得所需的电学性能。高级绝缘材料淀积到金属薄膜层之间以提供充分的隔离保护。与此同时，每

块芯片具有数以百亿计的在金属层硅器件之间的电连接。在硅片加工中，淀积可靠的薄膜材料至关重要。正如图 11.2 的工艺流程模型所示，薄膜制备是硅片加工中的一个主要工艺步骤。

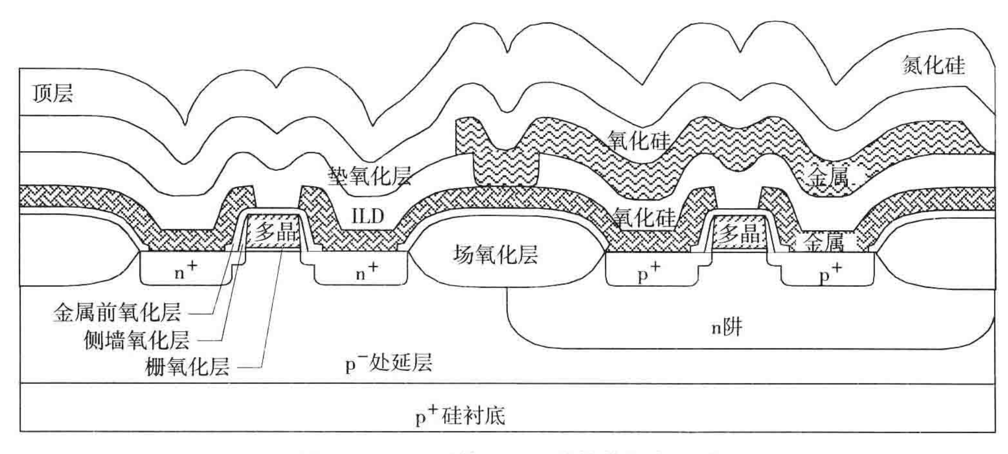


图11.1 MSI时代nMOS晶体管的各层膜

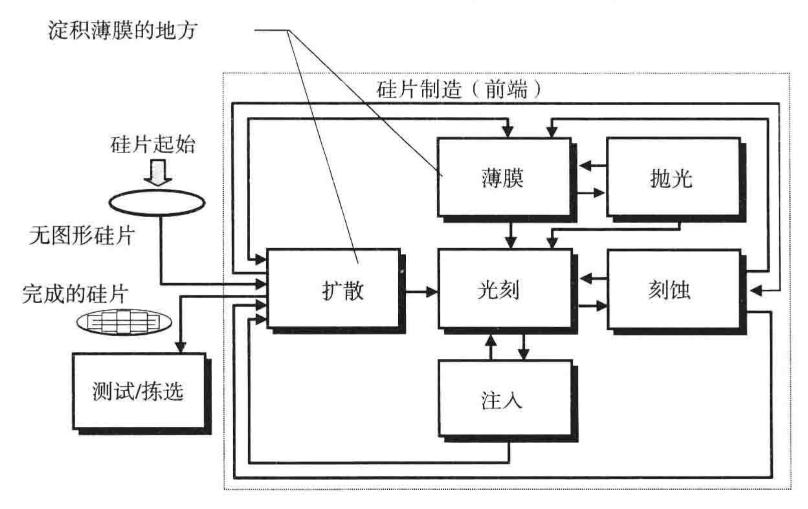


图 11.2 硅片制造厂的工艺流程
（承蒙 Advanced Micro Devices 公司允许使用）

11.1.1 成膜技术相关术语

多层金属化指用来连接硅片上高密度堆积器件的那些金属层和绝缘介质层。图 11.3 给出了这种流程的例子。如果没有绝缘隔离层，就会发生电短路（就好像电导线没有外面的绝缘包层）。金属层通过在绝缘介质层上开的孔（称为通孔）来连接。

对生产而言，增加金属层的代价很高。据估计，在CMOS工艺中增加一层金属会增加大约15%的硅片制造成本[1]。由于在硅片制造中引入金属层使得工艺更为复杂，因此减少缺陷以保证芯片成品率不受影响变得很重要。芯片设计者会在成本、复杂度、性能之间折中考虑，来决定采用金属层。

■ 金属层 铝金属化使用铝合金作为互连线。从半导体生产开始，铝合金已经被使用。金属铝淀积到整个硅片的表面，形成固态薄膜，然后进行刻蚀来定义互连线的宽度和间距。工业界正在向铜金属化过渡，以增加芯片速度并减少工艺步骤（铜金属化的内容参见第12章）。每层金属层被定义为Metal-1、Metal-2，以此类推。关键层是指那些线条宽度被刻蚀为器件特征尺寸的金属层（例

如，特征尺寸为0.15 μm）。对于甚大规模集成电路而言，特征尺寸的范围一般为：形成栅的多晶硅、氧结构以及距离硅片表面最近的金属层。关键层对于颗粒杂质（致命缺陷）很敏感，在小尺寸情况下，可靠性的问题（如电迁徙）会更加显著。非关键层通常指处于上部的金属层，有更大的线宽（通常是0.5 μm甚至更大），对于颗粒沾污（致命缺陷）不够敏感。然而，处于上部的非关键层的长导线长度等因素会影响芯片的速度和功耗[2]。

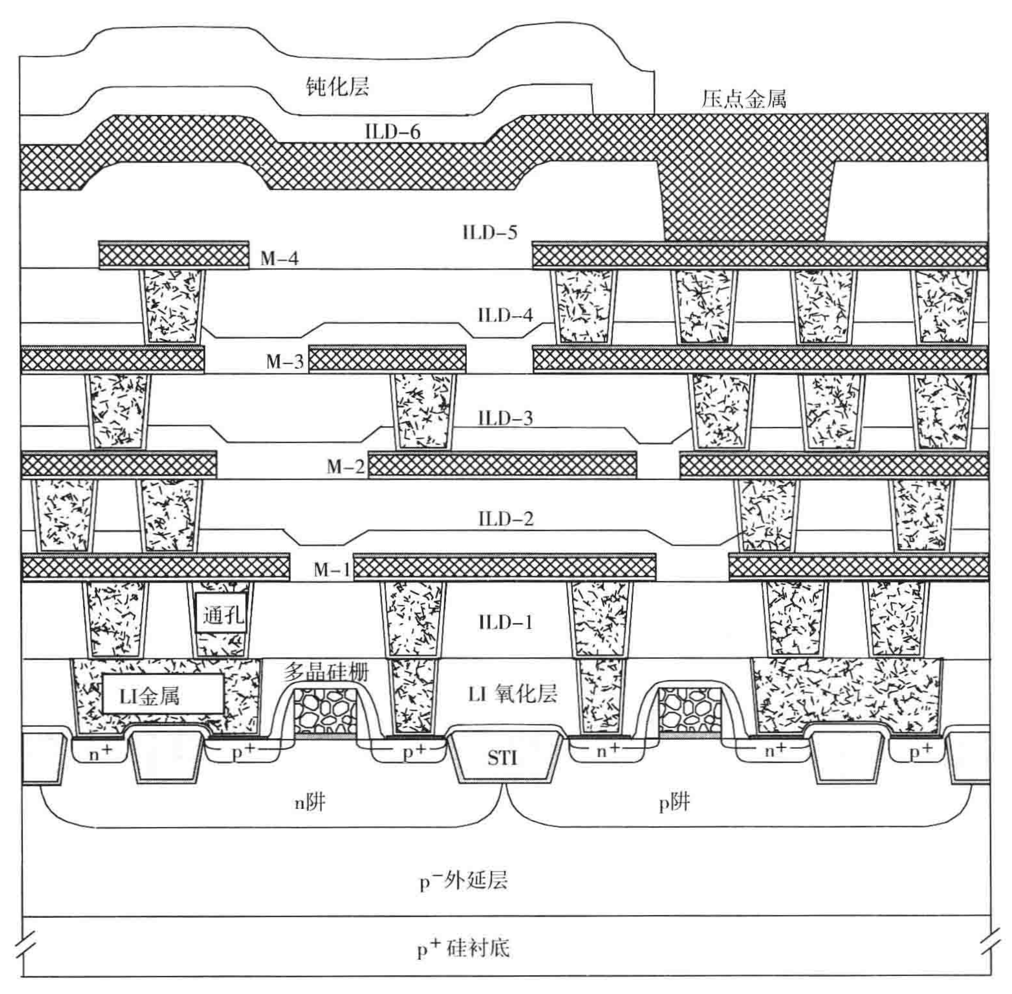
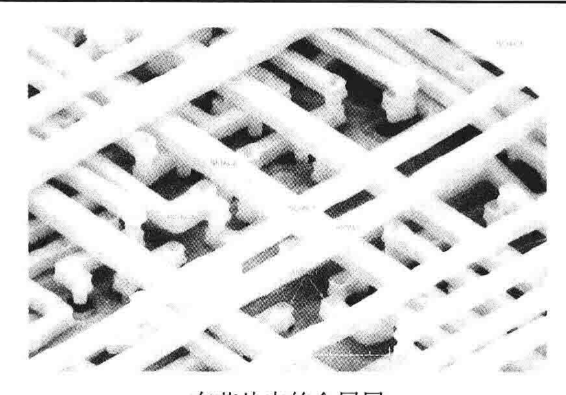


图11.3 ULSI硅片上的多层金属化

■ **介质层** 介于硅上有源器件和第一层金属之间的电绝缘层称为第一层层间介质（first interlayer dielectric，ILD-1）。这一层也被称为金属前绝缘层（PMD）。典型的ILD-1是一层掺杂的SiO_2或者玻璃（本章后面会做解释）。ILD-1层的重要作用可以从两个方面理解：电学上，ILD-1层隔离晶体管器件和互连金属层；物理上，ILD-1层隔离晶体管器件和可移动粒子等杂质源。为了避免晶体管特性的蜕化，在高性能逻辑器件中ILD-1层需要有严格的热预算[3]。

层间介质（ILD）应用于器件中不同的金属层之间。ILD充当两层导电金属或者相邻金属线条之间的隔离膜。通常，ILD采用介电常数为3.9到4.0的SiO_2材料[4]。对淀积的隔离膜来说，介电常数是一个重要的指标，因为它直接影响到电路的速度和性能（参看后续的章节）。



在芯片中的金属层

（承蒙 Integrated Cicuit Engineering 允许使用显微照片）

11.2 膜淀积

所谓薄膜，是指一种在衬底上生长的薄固体物质。如果一种固体物质具有三维尺寸（厚度、宽度和长度）。那么薄膜是指某一维尺寸（通常是厚度）远远小于另外两维上的尺寸（见图 11.4）。薄膜结合在厚度比薄膜本身大很多的硅片衬底上。薄膜的表面距离衬底非常近，所以它对薄膜物质的物理、机械、化学、电学等特性有重要影响[5]。在硅片加工中，应用最为广泛的描述薄膜厚度的单位是埃（Å）。

半导体制造中的薄膜淀积是指任何在硅片衬底上物理淀积一层膜的工艺。这层膜可以是导体、绝缘物质或者半导体材料。淀积膜可以是二氧化硅（SiO_2）、氮化硅（Si_3N_4）、多晶硅（具有多晶结构的硅）以及金属，比如铜和难熔金属（如钨）。

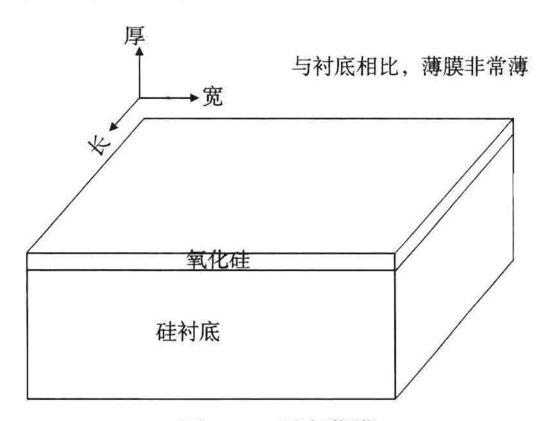


图 11.4 固态薄膜

11.2.1 薄膜特性

在硅片加工中可以接受的膜必须具备需要的膜特性。为了满足器件性能的要求，可以接受的膜一般应具有如下特性[6]：

- 好的台阶覆盖能力
- 填充高的深宽比间隙的能力
- 好的厚度均匀性
- 高纯度和高密度

- 受控制的化学剂量
- 高度的结构完整性和低的膜应力
- 好的电学特性
- 对衬底材料或下层膜好的粘附性

■ 膜对台阶的覆盖 我们期望薄膜在硅片表面上厚度一致（见图11.5）。图形制作可以在硅片表面生成具有三个空间维度的拓扑形状，这就形成了硅片表面的台阶。如果淀积的膜在台阶上过度地变薄，就容易导致高的膜应力、电短路或者在器件中产生不希望的诱生电荷。膜的应力要尽可能小，这点很重要，因为应力会导致衬底发生凸起或凹陷的变形。所有的淀积技术都会在膜中产生应力。

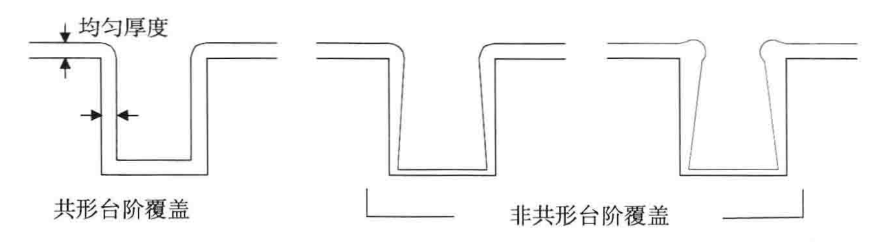


图11.5 膜对台阶的覆盖

■ 高的深宽比间隙 可以用深宽比来描述一个小间隙（如槽或孔），深宽比定义为间隙的深度和宽度的比值（见图11.6）。深宽比用比值的形式表达，比如2:1，这表示间隙的深度是宽度的两倍。一个间隙也可以用其开口部分的宽度来描述，如0.25 μm，但这与器件结构中关键尺寸（CD）有不同的意义。在亚0.25 μm尺寸器件的制作中，填充硅片表面上很小的间隙和孔的能力成为最重要的薄膜特性。对于那些穿过层间介质（ILD）的通孔，以及用来进行浅槽隔离（STI）的槽等[7]，都需要进行有效间隙填充。高的深宽比的典型值大于3:1，在某些应用中会达到5:1甚至更大。高深宽比的间隙使得难于淀积形成厚度均匀的模，并且会产生夹断（pinch-off）和空洞。随着高密度集成电路特征尺寸的不断减小，对于高的深宽比的间隙可以进行均匀、无空洞，填充淀积工艺显得至关重要。

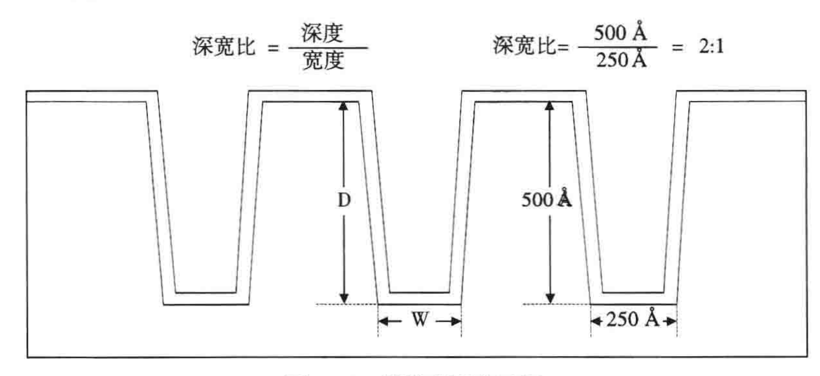
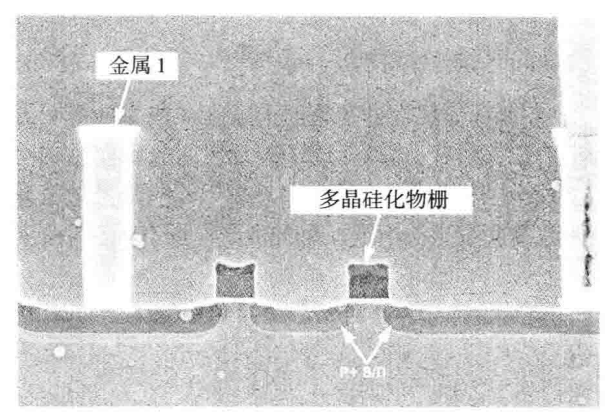


图11.6 膜淀积的深宽比

■ 厚度均匀性 可以接受的薄膜要求厚度均匀性，这意味着薄膜应布满下层材料的各处。材料的电阻会随膜厚度的变化而变化，这是我们不希望看到的。膜层越薄，就会有更多的缺陷，如针孔等，这会导致膜本身的机械强度降低。对薄膜而言，我们希望有好的表面平坦度来尽可能减少台阶和缝隙。

■ 膜纯度和密度 高纯度的膜意味着膜中没有那些会影响膜质量的化学元素或者原子。要避免沾污物（如可动离子沾污）和颗粒。例如，膜中如果含有H就会使膜特性蜕化。膜密度也是膜质

量的重要指标，它显示膜层中针孔和空洞的多少。与无孔的膜相比，一个多孔的膜密度会更低，在一些情况下折射率也更小。



高的深宽比间隙

（承蒙Integrated Circuit Engineering允许使用显微照片）

■ 化学剂量分析 理想的膜要有均匀的组成成分。在化学反应中随着化学物质的变化，化学剂量分析可以描述反应停止或者平衡后反应物和生成物量的变化。化学剂量分析是指在化合物或分子中一种组分的量与另一种组分量的比值（例如，水的化学剂量分析比值为2:1）。如果已知化学反应如何进行，那么通过化学剂量分析能够给出所需反应物的组成。淀积中发生的化学反应往往比较复杂，得到的膜的组分可能并非要求的组分。淀积工艺的一个目标是要在反应中有合适数量的分子，以便使淀积得到的膜的组分接近于化学反应方程式中对应的组分比例。

■ 膜的结构 膜的结构很关键，尤其是膜层中晶粒的尺寸。在淀积工艺中，淀积物趋向聚集并生成晶粒。如果膜层中晶粒大小变化，膜的电学和机械学特性会变化，这将影响膜的长期可靠性，尤其是电迁徙（这会在第12章中讨论）[8]。膜生长中会产生不希望的应力使硅片衬底变形，导致膜开裂、分层或者空洞的形成。例如，氮化硅薄膜淀积中混入氢杂质，会导致压缩应力[9]。薄膜淀积过程中总是希望减小应力。

■ 膜的粘附性 为了避免薄膜分层和开裂，薄膜对衬底材料要有好的粘附性。开裂的膜会导致膜表面粗糙，杂质也可以穿过膜。对于起隔离作用的膜，开裂会导致电短路或者漏电流。薄膜对表面的粘附性由表面洁净程度、薄膜能与之合金的材料类型等因素决定。金属铬、钛、钴都因为它们的粘附性而非常有用（参见第12章）。为了获得器件结构的全面电学和机械学完整性，多层金属化中膜优良的粘附性非常重要。在淀积过程以及后续的工艺过程中都是如此。

11.2.2 薄膜生长

淀积膜的过程有三个不同的阶段（见图11.7）[10]。第一步是晶核形成，成束的稳定小晶核形成，这一步发生在起初少量原子或分子反应物结合起来，形成附着在硅片表面的分离的小膜层的时候。晶核直接形成于硅片表面，是薄膜进一步生长的基础。第二步聚集成束，也称为岛生长。这些随机方向的岛束依照表面的迁移率和束密度来生长。岛束不断生长，直到第三步即形成连续的膜，这些岛束汇集合并形成固态的薄层并延伸铺满衬底表面。

独立的岛束在遇到相邻岛束之前，其大小取决于衬底表面的反应物的移动速率以及反应核的密度。高的表面速率或低的成核速度会促进相对大的岛束的形成。另一方面，低的表面速率和高的成

核速率会导致短程无序的无定形膜的生长[11]。低的淀积温度通常会导致无定形膜的生成，这是因为低的热能会减低反应物在表面的速率。

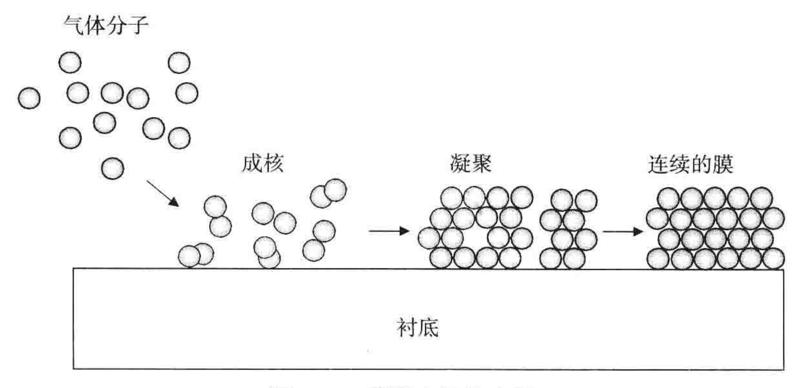


图 11.7 薄膜生长的步聚

淀积的膜可以是无定形、多晶的或者单晶的[12]。在半导体应用中这三种膜都会被用到。起隔离作用的膜或金属膜通常是无定形或多晶的；在氧化物层上淀积的硅是多晶的，例如在栅氧化层上生长的多晶硅栅电极。对于可靠的半导体性能，外延单晶膜是需要的。在单晶硅片衬底上淀积可以形成单晶膜。

11.2.3 膜淀积技术

硅片表面的淀积物会在硅片上形成一层连续的薄膜。形成膜的物质来自一个外部的源，可以是气体源通过化学反应生成膜材料，亦可是固态的靶源。在ULSI时代，随着半导体工艺复杂度的增加，在硅片上淀积的膜数量会很多。在半导体产业界，薄膜淀积工艺已经成为最普通、最重要的工艺。

在硅片衬底上淀积薄膜有多种技术。其中主要的淀积方法（见表11.1）可分为化学工艺和物理工艺。

表 11.1 膜淀积技术

化学工艺		物理工艺		
化学气相淀积（CVD）	电镀	物理气相淀积（PVD 或溅射）	蒸发	旋涂方法
常压化学气相淀积（APCVD）或亚常压化学气相淀积（SACVD）	电化学淀积（ECD），通常指电镀	直流二极管	灯丝和电子束	旋涂玻璃（SOG）
低压化学气相淀积（LPCVD）	化学镀层	射频（RF）	分子束外延（MBE）	旋涂绝缘介质（SOD）
等离子体辅助化学相淀积 ● 等离子体增强化学气相淀积（PECVD） ● 高密度等离子体化学气相淀积（HDPCVD）		直流磁电管		
气相外延（VPE）和金属－有机化学气相淀积		离子化金属等离子体（IMP）		

引自 F.Barlow III, A Elshabini-Riad, and R.Brown, “Film Deposition Techniques and Processes,” *Thin Film Technology Handbook*, eds. A. Elshabini-Riad and FBarlow III (New York: McGraw-Hill), pp.1-2

本章主要介绍用化学气相淀积（CVD）、外延和旋涂绝缘介质（SOD）方法来淀积绝缘薄膜。金属化的方法在第12章中讨论，包括针对金属的化学气相淀积（CVD）、溅射、电镀和蒸发等方法。

化学气相淀积通常用来淀积介质膜或金属膜。旋涂绝缘介质（SOD）应用液态介质膜，然后进行高温的处理过程。对铝等金属材料来说，溅射或者物理气相淀积是最常用的方法。电镀技术被广泛用来进行磁盘驱动器的磁头上的薄膜淀积，但在硅片制造中还未被采用。淀积铜金属化工艺近来成为最有希望的工艺。蒸发方法是制备金属层的传统方法，但是这种方法的间隙填充能力很差，在VLSI时代初期，它就被溅射工艺所取代。

11.3 化学气相淀积

化学气相淀积（CVD）是通过气体混合的化学反应在硅片表面淀积一层固体膜的工艺。硅片表面及其邻近的区域被加热来向反应系统提供附加的能量。化学气相淀积的基本方面包括：

1. 产生化学变化，这可以通过化学反应或是热分解（称为高温分解）。
2. 膜中所有的材料物质都源于外部的源。
3. 化学气相淀积工艺中的反应物必须以气相形式参加反应。

当化合物在反应腔中混合并进行反应时，就会发生化学气相淀积过程。原子或分子会淀积在硅片表面形成膜。



化学气相淀积设备
（承蒙 Novellus System, Inc.允许使用照片）

11.3.1 CVD 化学过程

化学气相淀积过程有5种基本的化学反应[13]：

1. 高温分解：通常在无氧的条件下，通过加热化合物分解（化学键断裂）；
2. 光分解：利用辐射使化合物的化学键断裂分解；
3. 还原反应：反应物分子和氢发生的反应；
4. 氧化反应：反应物原子或分子和氧发生的反应；
5. 氧化还原反应：反应3与4的组合，反应后形成两种新的化合物。

在上述5种基本反应中，有一些特定的化学气相淀积反应用来在硅片衬底上淀积膜。对于某种特定反应的选择通常要考虑到淀积温度（温度对硅片材料来说必须是可以接受的）、膜的特性以及

加工中的问题等因素。例如，用硅烷和氧气通过氧化反应淀积 SiO_2 膜。反应的生成物 SiO_2 淀积在硅片表面，副产物是氢。

$$SiH_4 + O_2 \xrightarrow{\text{（加热）}} SiO_2 + 2H_2$$

11.3.2　CVD 反应

化学气相淀积工艺反应发生在硅片表面或者非常接近表面的区域。这是一种异类反应(也叫表面催化)。某些反应会在硅片表面的上方较高区域发生，这称为同类反应。同类反应是要避免的，因为反应生成物会形成束状物，这会导致反应物粘附性差、低密度和高缺陷[14]。在化学气相淀积工艺中，需要异类反应来生成高质量的膜。

■ CVD 反应步骤　基本的化学气相淀积反应包含 8 个主要步骤，以解释反应的机制。步骤总结如下，并参看图 11.8。[15]

1. 气体传输至淀积区域：反应气体从反应腔入口区域流动到硅片表面的淀积区域；
2. 膜先驱物的形成：气相反应导致膜先驱物（将组成膜最初的原子和分子）和副产物的形成；
3. 膜先驱物附着在硅片表面：大量的膜先驱物输运到硅片表面；
4. 膜先驱物粘附：膜先驱物粘附在硅片表面；
5. 膜先驱物扩散：膜先驱物向膜生长区域的表面扩散；
6. 表面反应：表面化学反应导致膜淀积和副产物的生成；
7. 副产物从表面移除：吸附（移除）表面反应的副产物；
8. 副产物从反应腔移除：反应的副产物从淀积区域随气流流动到反应腔出口并排出。

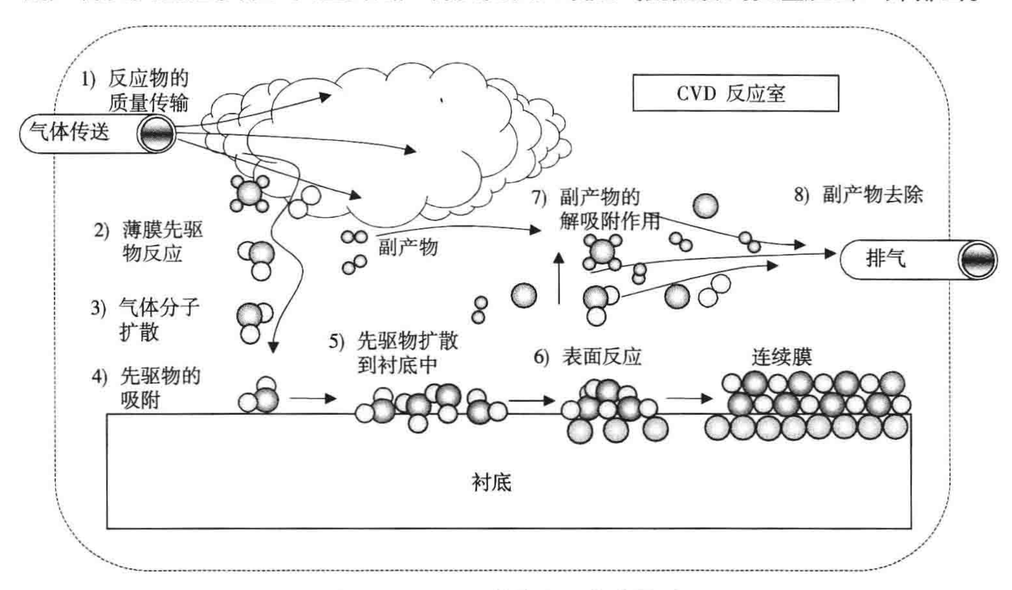


图 11.8　CVD 传输和反应步骤图

吸附是发生在淀积过程的化学键合，使气态的原子或分子以化学方式附着在固态硅片表面。解吸附作用是从硅片表面移出反应副产物。在化学反应中，种类的概念用来描述可以是原子、离子或者分子的化学物质。在气相反应中，通常有些称为先驱物的中间反应，这会形成一种并不包含原始气体成分的气体类。在化学气相淀积中，气体先驱传输到硅片表面进行吸附作用和反应。例如，下

面的三个反应。反应1显示硅烷首先分解成SiH_2先驱物。SiH_2先驱物再和硅烷反应形成Si_2H_6。在中间CVD反应中，SiH_2随着Si_2H_6被吸附在硅片表面。然后Si_2H_6分解形成最终所需的固态硅膜。

1）SiH_4（气态） → SiH_2（气态） + H_2（气态） （高温分解）
2）SiH_4（气态） + SiH_2（气态） → Si_2H_6（气态） （反应半成品形式）
3）Si_2H_6（气态） → 2Si（固态） + $3H_2$（气态） （最终产物形式）

■ 速度限制阶段 在实际大生产中，CVD反应的时间长短很重要。温度升高会促进表面反应速度的增加。基于CVD反应的有序性，最慢的反应阶段会成为整步工艺的瓶颈。换言之，反应速度最慢的阶段将决定整个淀积过程的速度[16]。

CVD反应的速率不可能超越反应气体从主气体流传输到硅片表面的速率。即使升高温度也会如此。这称为质量传输限制淀积工艺。质量传输限制淀积工艺对温度不敏感[17]。这意味着无论温度如何，传输到硅片表面加速反应的反应气体的量都不足。正因为如此，需要加速的高温高压CVD工艺通常是质量传输限制的（由于扩散或者物理限制，质量传输限制淀积本身不能提供足够的反应物气体到硅片表面）。

在更低的反应温度和压力下，由于只有更少的能量来驱动表面反应，表面反应速度会降低。最终，反应物到达硅片表面的速度将超过表面化学反应的速度。在这种情况下，淀积速度是受反应速度限制的[18]。这类似于将很多液体倒入一个漏斗，液体流动的速率不会超过漏斗所允许的速率。即使有更多的反应物，由于低温不能提供反应所需的足够能量，反应速度也不会增加。反应速度限制CVD工艺也称为动态控制，意为反应物扩散的作用不及表面反应物动态能量重要。对于反应速度限制工艺，获得均匀的温度以保证在硅片表面得到均匀的淀积速率是很重要的。

■ CVD气流动力学 CVD气流动力学对淀积出均匀的膜很重要。所谓气体流动，指的是反应气体输送到硅片表面的反应区域（见图11.9）。从分子水平来讲，这要求有足够量的分子在合适的时间到达合适的反应区域。这个条件对于发生在反应物和生成物间的化学剂量分析反应很重要。

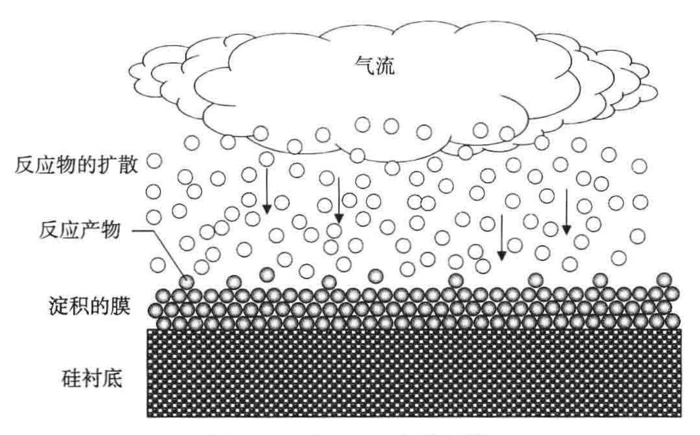


图11.9 在CVD中的气流

CVD气体流动的主要因素包括，反应气体从主气体流中到硅片表面的输送以及在表面的化学反应速度。这里假定从气相到衬底表面的主要输运机制是扩散作用[19]。考虑到在CVD反应工艺中气体正好在硅片表面流动，气体流动为零或者接近零。这导致产生了一个气体流动边界层，从在硅片表面的流动速率为零（由于摩擦力的作用）增加到距离表面更远而具有一定的速率[20]。参看图11.10。距离表面更远而具有一定速率的气体达到了某一平均气流速度，这一速度可以代表CVD反应腔中主

气流的平均速度。如果边界层范围很窄，那么在接近硅片表面区域可认为边界层是不动的，也称为停滞层。停滞层的大小会影响到后面章节中要讨论的不同类型CVD反应的设计。

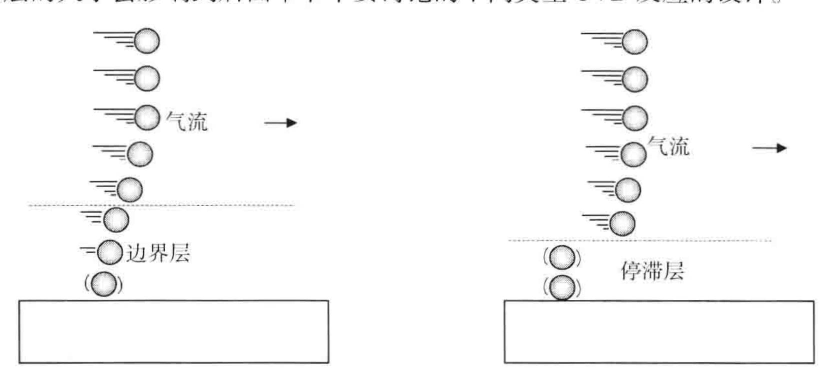


图11.10 在硅片表面的气流

■ CVD反应中的压力 如果CVD发生在低压下，反应气体通过边界层到达表面的扩散作用会显著增加。这会增加反应物到衬底的输运（也会加强从衬底移除反应副产物的作用）。在CVD反应中低压的作用就是使反应物更快地到达衬底表面。这种情况下，速度限制步骤成为表面的反应，即在较低压下CVD工艺是反应速度限制的。这意味着在反应腔中硅片可以间隔很近地纵向叠堆起来，因为反应物从主气流到硅片的输运并不影响整步工艺。

■ CVD过程中的掺杂 CVD淀积过程中，在SiO_2中掺入杂质对硅片加工来说很重要。例如，在淀积SiO_2的过程中，反应气体中加入PH_3后，会形成磷硅玻璃。其化学反应方程如下：

$$SiH_4(\text{气态}) + 2PH_3(\text{气态}) + O_2(\text{气态}) \rightarrow SiO_2(\text{固态}) + 2P(\text{固态}) + 5H_2(\text{气态})$$

在磷硅玻璃中，磷以P_2O_5的形式存在，磷硅玻璃由P_2O_5和SiO_2的混合物共同组成；对于要永久粘附在硅片表面的磷硅玻璃来说，P_2O_5的含量（重量比）不超过4%，这是因为PSG有吸潮作用。

应用高密度等离子体CVD可以在600~650°C的温度下淀积PSG，由于它的淀积温度、相对平坦的表面、好的间隙填充能力，进来也常采用PSG作为第一层层间介质（ILD-1）。在SiO_2中引入P_2O_5可以减小膜应力，进而改进膜的完整性。掺杂会增加玻璃的抗吸水性。PSG层还可以有效地固定离子杂质。离子会吸附到磷原子上，因而不能通过PSG层扩散到达硅片表面。

硼硅玻璃 用乙硼烷（B_2H_6）替代磷化氢（PH_3），就可得到硼硅玻璃（BSG）。BSG需要高温（例如，1000°C）回流过程来平坦化硅片表面的台阶并使膜更加致密。然而，对于硅片的热预算来说，高温回流是不希望的。BSG也不能很好地阻挡杂质离子[21]。

硼磷硅玻璃 另一种在SiO_2中掺杂的办法是引入重量百分比为2%到6%的B_2O_3，与P_2O_5形成硼磷硅玻璃（BPSG）。为了在淀积后得到一个好的阶梯覆盖能力的致密SiO_2，SiO_2需要进行高温回流直到其变软并可流动。BPSG回流一般是800~1000°C一小时。回流也可以改进BPSG固定可动离子杂质的能力。通常，BPSG用来作为ILD-1淀积，但是近来被具有更低热预算的HDPCVD PSG所取代[22]。

对于亚0.25 μm的器件而言，高温会影响硅片的热预算。例如，用来减小接触电阻的难熔金属Ti、Co，在600°C下接触电阻会增加到无法接受的程度。另外，通过高温回流获得的氧平坦化效果并达不到ULSI光刻要求的平整度。因此，氧掺杂回流来进行平坦化和间隙填充已被高密度等离子体CVD取代，以便获得具有好的间隙填充能力的稳定膜，然后再进行CMP平坦化以得到平坦的表面（参见第18章）。

氟硅玻璃 氟硅玻璃（FSG）就是氟化的氧化硅，作为第一代低*k*值ILD淀积材料被用在0.18 μm器件上。通过在SiO_2中掺氟，材料的介电常数会从3.9（SiO_2）降低到3.5（FSG）。

为了形成FSG膜，需要在SiH_4和O_2的混合反应气体中加入SiF_4。采用FSG的一个问题是氟化学键的不稳定以及由此导致的腐蚀缺陷，需要限制氟的含量在6%左右。如果氟遇到水，会产生腐蚀SiO_2的HF。为了避免这种情况，可以在淀积反应过程中引入H来去除弱键和F原子[23]。

氧化硅掺杂和硅掺杂 需要指出氧化硅掺杂不同于硅掺杂。对硅掺杂，在一个单晶向结构中，在杂质和硅原子之间会发生释放电子或者接受电子。淀积的氧是一种无定型的晶体结构，杂质不接受或者释放电子。杂质可以调整SiO_2的物理特性，例如限制可动离子的能力。

11.4 CVD淀积系统

有多种类型系统来淀积绝缘介质和金属膜层。一些系统可以用一炉同时淀积许多硅片。然而，目前在硅片生产中采用的最先进的淀积系统是单一硅片工艺。

附录A的表A.3总结了CVD反应中应用的不同气体。例如，纯的SiH_4气体被用来在CVD系统中淀积Si或者SiO_2。SiH_4和空气反应形成固体颗粒，颗粒跟随SiH_4气体流动导致管道沾污或者燃烧。气体管道必须仔细安装以避免泄漏。CVD膜淀积中的许多气体都是有毒的。这些气体按照毒害的类型分成4类，参见表A.3。分别是易燃（在空气中或者低于54.5摄氏度会自燃）、有毒的、腐蚀性和危险的混合气体，如混有H_2的SiH_4。

11.4.1 CVD设备设计

CVD工艺有不同的反应腔设计，结果能生成轻微质量差异的膜。根据反应腔中的压力CVD反应可分为常压CVD（APCVD）反应和减压CVD反应。减压CVD反应包括两种基本类型：低压CVD（LPCVD），输入的能量是热能；等离子体辅助减压CVD反应，包括等离子体增强减压CVD（PECVD）反应和高密度等离子体减压CVD（HDPCVD）反应，能量由等离子体和热能提供。图11.11给出了不同的CVD反应类型。

CVD反应器类型	常压	低压	批处理	单片
热壁	√	√	√	
冷壁	√	√	√	√
持续移动	√		√	
外延	√		√	
高压	√		√	
喷嘴	√		√	
桶	√		√	
冷壁平面		√	√	√
等离子体辅助		√	√	√
纵向流动等温		√	√	√

图11.11 不同的CVD反应器类型

■ **CVD反应器加热** CVD反应器的一个主要差别是它们是热壁还是冷壁反应。热壁反应采用加热的方法，不仅加热硅片，还加热硅片的支持物以及反应腔的侧壁。热壁反应会在硅片表面和反应腔的侧壁上形成膜，因而要求经常清洗或者原位清除来减小颗粒沾污。用热电阻环绕着反应管道就形成一个热壁反应器。冷壁反应器只加热硅片和硅片支持物。反应器的侧壁温度较低没有足够的能量发生淀积反应。例如在反应腔中用RF感应加热或者红外线加热。在硅片上局部加热减少了反应器中颗粒的形成。

■ CVD 反应器配置 反应器几何结构的设计紧密依赖于淀积工艺中的压力。常压反应发生在质量输运限制区域，所以设计必须可使反应气体能够等量到达每片硅片。为了达到这个目的，硅片通常平放在一个平面上。这种方法的缺点是硅片容易收到下落颗粒的污染。

LPCVD 是反应速度限制度的。由于有足够的反应气体到达硅片表面，这意味着许多硅片可以纵向密集堆放。放置硅片的石英船最多可以放 200 片硅片。同时，LPCVD 反应由于受到反应速度的限制而必须精确控制反应温度。

■ CVD 反应器总结 各种类型的 CVD 反应器及其主要特点列于表 11.2。[24]

表 11.2 各种类型的 CVD 反应器及其主要特点

工艺	优点	缺点	应用
APCVD（常压 CVD）	反应简单， 淀积速度快， 低温	台阶覆盖能力差， 有颗粒沾污， 低产出率	低温 SiO_2（掺杂或不掺杂）
LPCVD（低压 CVD）	高纯度和均匀性，一致的台阶覆盖能力，大的硅片容量	高温，低的淀积速率，需要更多的维护，要求真空系统支持	高温 SiO_2（掺杂或不掺杂）、Si_3N_4、多晶硅、W、WSi_2
等离子体辅助 CVD ● 等离子体增强 CVD（PECVD） ● 高密度等离子体 CVD（HDPCVD）	低温，快速淀积，好的台阶覆盖能力，好的间隙填充能力	要求 RF 系统，高成本，压力远大于张力，化学物质（如 H_2）和颗粒沾污	高的深宽比间隙的填充，金属上的低温 SiO_2，ILD-1，ILD，为了双镶嵌结构的铜籽晶层，钝化（Si_3N_4）

11.4.2 APCVD

在半导体产业界第一种类型的 CVD 是常压 CVD (APCVD)[25]。就像以前讨论的，APCVD 发生在质量输运限制区域。在任何给定时间，在硅片表面不可能有足够的气体分子供发生反应。因此，反应器设计必须保证有适量的反应物到达系统中的每片硅片。因为用到了不充足的反应气体，基本的系统设计应该不允许反应减慢。由于反应在常压下进行，反应器设计能够相对简单并允许高的淀积速度。

图 11.12 是两种不同类型的连续工艺 APCVD 系统。这些设备采用一条带或者传输装置来传送硅片样本通过流动在反应器中部的反应气体。

连续工艺 APCVD 系统有高的设备产量、优良的均匀性以及制造大直径硅片的能力。APCVD 的问题是，高的气体消耗，并且需要经常清洁反应腔。由于膜也会淀积到传送装置上，因而传送带装置也需要洁净处理（可以是原位洁净，或是在使用中洁净）。APCVD 淀积的膜通常台阶覆盖能力差。

■ SiO_2 APCVD 最经常的应用是淀积 SiO_2 和掺杂的氧化硅（如 PSG、BPSG、FSG 等）。传统上这些膜通常作为层间介质(ILD)，保护性覆盖物或者表面平坦化。

用 SiH_4 淀积 SiO_2 用 O_2 氧化 SiH_4 来淀积 SiO_2。纯 SiH_4 在空气中极其易燃且不稳定。因此，为了更安全地使用 SiH_4，通常是在氩气或氮气中将 SiH_4 稀释到很低含量（体积百分比一般是 2%~10%）。这一反应可以在 450 至 500°C 在的低温下进行，它的优势在于在铝连线上作为 ILD 的 SiO_2 淀积[26]。然而，因为小的平均自由程和整个界面层差的表面迁移能力，这种方法的台阶覆盖能力和间隙填充能力都很差。因此，对于关键的 ULSI 应用来说，APCVD 方法并不适用。

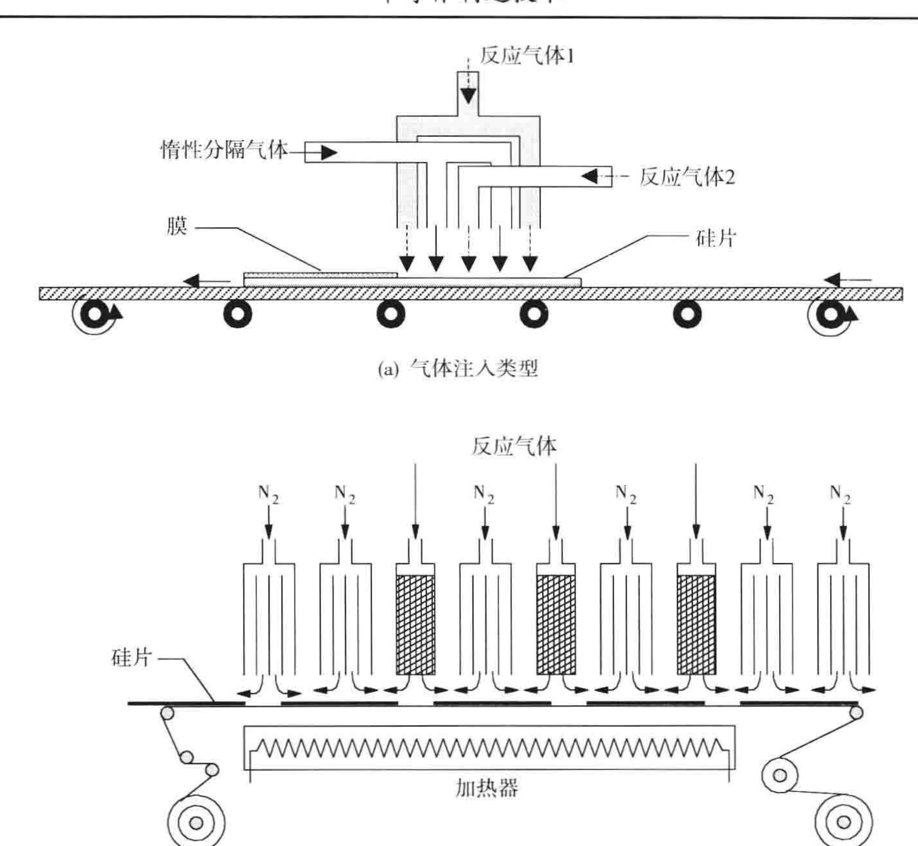


图 11.12 连续加工的 APCVD 反应炉

用 TEOS-臭氧方法淀积 SiO_2 一种常用的APCVD是采用TEOS和臭氧（O_3）反应淀积SiO_2。TEOS是正硅酸乙酯，分子式为$Si(C_2H_5O)_4$，是一种有机液体。通常用一种输运气体如氮气，传送TEOS气体混合物到达反应腔。也有用流量控制来传送液态TEOS源到达反应腔。臭氧包含三个氧原子，比氧气有更强的反应活性，因此，这步工艺可以不用等离子体，在低温下（如400°C）进行。因为不需要等离子体，O_3就能使TEOS分解，因此反应可以在常压（APCVD，760托）或者亚常压（SACVD，600托）下。发生APCVD与SACVD之间并没有显著的差异[27]。淀积的SiO_2膜改善了台阶覆盖轮廓，均匀性好，具有作为绝缘介质优异的电学特性[28]。TEOS和O_3的反应方程式如下所示：

$$Si(C_2H_5O)_4 \quad + \quad 8\,O_3 \quad \rightarrow \quad SiO_2 \quad + \quad 10\,H_2O \quad + \quad 8\,CO_2$$

用APCVD TEOS-O_3淀积的SiO_2膜多孔，因而通常需要回流来去掉潮气并增加膜密度。回流增加了一个工艺步骤，降低了热预算[29]。也要考虑掺杂的均匀性，因为这可能导致CMP过程中不均匀去除速率等问题。APCVD TEOS-O_3淀积的主要优点是对于高的深宽比的槽（如浅槽隔离中的槽）有优良的覆盖填充能力（见图11.13）。APCVD TEOS-O_3淀积的另一个优点是，反应过程中仅利用热CVD工艺来淀积SiO_2，避免了硅片表面和边角损伤。而这样的损伤却可能发生在HDPCVD中（见后面的内容）。TEOS-O_3膜通常和别的SiO_2膜（如PECVD SiO_2）结合起来淀积，这是为了减小TEOS-O_3在厚膜上的张应力，或是为了减弱TEOS-O_3对下面膜层的敏感度[30]。

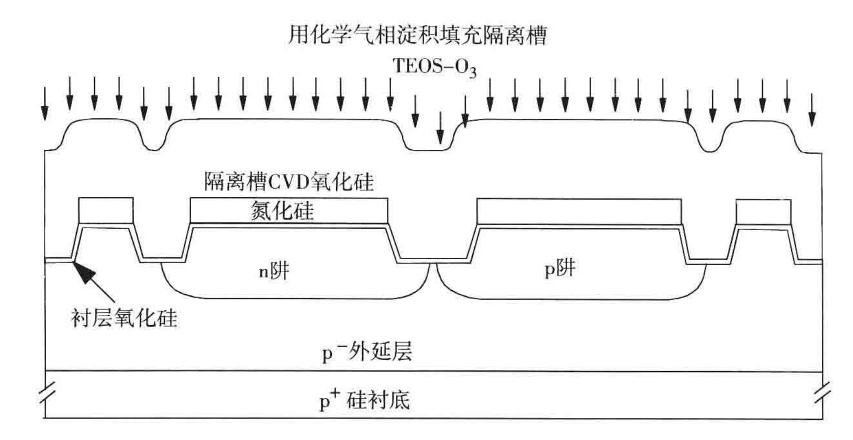


图 11.13　APCVD TEOS-O_3 改善后的台阶覆盖

掺杂 SiO_2　APCVD SiO_2 通常采用磷、硼等化学物质来掺杂。如果 SiO_2 中未掺杂，就称为无掺杂硅玻璃（USG）或者无掺杂 SiO_2(UDOX)。SiO_2 中掺磷称为磷硅玻璃（PSG）。在传统的淀积工艺中，高温回流（950°C，15~30 分钟）用来加热软化掺杂的 SiO_2，使其表面平坦（见图 11.14）。用硅烷作为基础的硼磷硅玻璃（BPSG），在低温下（400~450°C）淀积，然后立刻在 800°C 下约 1 小时，使膜致密并坚固。一个平坦的表面对于下一步的淀积或者图形制作都是有利的。需要指出的是，对于 ULSI 器件工艺，回流平坦化被 CMP 所取代。CMP 将在第 18 章中讨论。

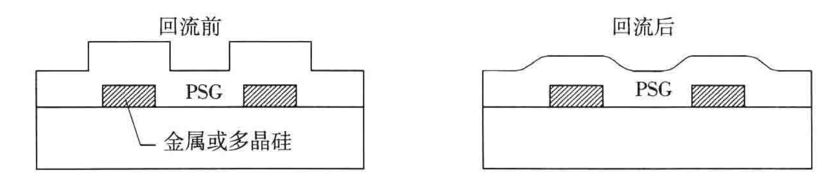


图 11.14　PSG 回流后平坦化的表面

11.4.3　LPCVD

与 APCVD 相比，LPCVD（低压 CVD）系统有更低的成本、更高的产量及更好的膜性能，因此应用更为广泛。LPCVD 通常在中等真空度下（约 0.1~5 托），反应温度一般为 300~900°C [31]。常规的氧化炉（卧式或者立式的）以及多腔集成设备都可以应用于 LPCVD 中。

LPCVD 的反应腔通常是反应速度限制的。在这种减压条件下，增加反应气体分子扩散以便到达硅片的气体质量传输不再限制反应的速度。基于这种传输状态，反应器内的气流条件并不重要，允许反应腔设计优化以得到更高的产量（例如，硅片可以密集摆放）。只要严格控制温度，就可以在大量硅片表面淀积均匀的膜。

不同于 APCVD 的是，LPCVD 反应中的边界层由于低压的缘故，距离硅片表面更远（见图 11.15）。边界层的分子密度低，使得进入的气体分子很容易通过这一层扩散，使硅片表面接触足够的反应气体分子。这解释了为什么 LPCVD 反应是反应速度限制的。是反应速度而不是反应物的供给限制了淀积速度。而且，LPCVD 过程中会发生大量碰撞，淀积的材料会无序撞击硅片表面。这有助于在高的深宽比的台阶和沟槽上覆盖填充均匀的膜。一般来说，LPCVD 具有优良的台阶覆盖能力 [32]。

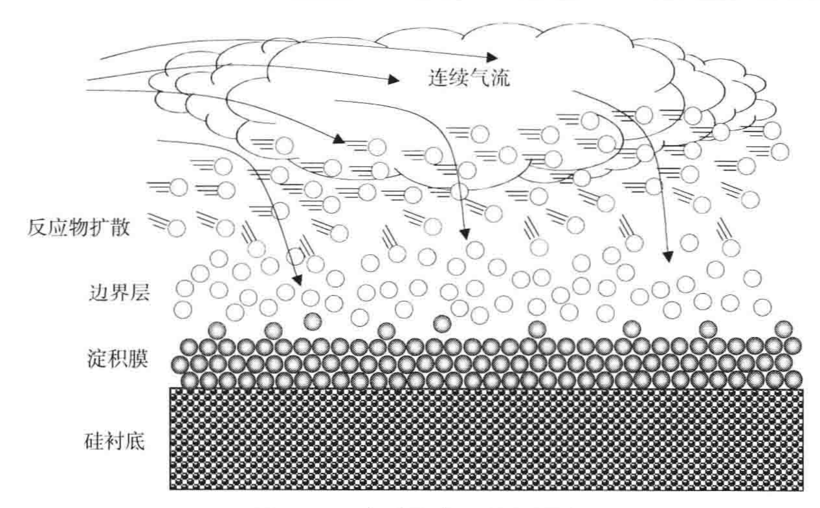


图 11.15 在硅片表面的边界层

LPCVD反应器设计一般是热壁型的，以便在很长的反应器体内获得均匀的温度控制。图11.16给出了一个有代表性的反应腔。

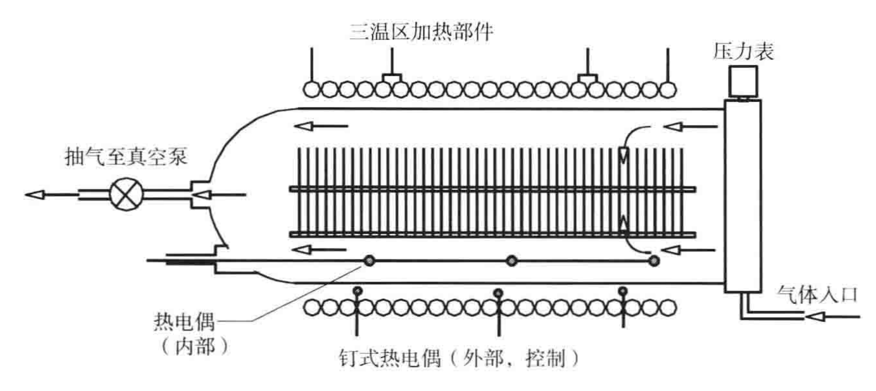


图11.16 LPCVD反应腔

由于LPCVD反应通常是热壁的，颗粒淀积在反应器的内壁上。通过减小气相反应物的分压（导致发生更少的气相反应），尽量减少这些淀积物。因此，LPCVD反应用到的压力低于APCVD系统[33]。热壁反应需要周期性的维护来去除反应腔内的颗粒。

传统的管道清洁方法是取出脏的石英管，换上以前清洗过的管子，然后清洗刚取出的石英管以备后用。清洁时需要手工转动内部泡有HF的管道。基于生产和安全的考虑，希望能够用原位清洁的办法。一种原位清洁的办法是，采用能与反应器内壁上固体沉积物反应的等离子体发生氟气，生成挥发性的生成物并排出系统。另一种原位方法是用 ClF_3，在高温下进行热清洁。LPCVD的原位清洁减少了设备的停工时间，降低了颗粒数，减少了个人接触化学物质的机会[34]。

对于大量硅片（例如150~200片）的LPCVD反应，当气体沿着反应腔传输时会发生反应气体耗尽。这会导致反应速度的降低。调整反应器的温度，使沿器体入口到出口方向的温度有略微升高（25°C 至 50°C），可以补偿由于温度不均匀造成的速度差异。

■ 二氧化硅 在ULSI多层金属化中，LPCVD SiO_2（掺杂或者不掺杂）有许多应用。例如可以做ILD、浅槽隔离的填充物和侧墙等。

用 TEOS 制备的 SiO_2　采用 LPCVD 方法制备 SiO_2 的一个普通做法是低压 650~750°C 下，热分解 TEOS，可以加入（也可以不加）O_2。这种方法有时称为 LPTEOS，即低压 TEOS。由于气体分子在表面的快速扩散，LPTEOS 可以制作均匀性优异的 SiO_2。液态 TEOS 源通常用载流气体鼓泡方式携带（例如以 N_2、O_2 或者 He）。液态源被其自身独立的温度源加热。进入反应器的液态源的浓度受到载流气体的速率和液态源温度的控制。图 11.17 给出了一个典型的 TEOS 淀积系统的示意图。LPCVD SiO_2 的膜生长速率（100~150 Å/min）远远小于 APCVD 的[35]。

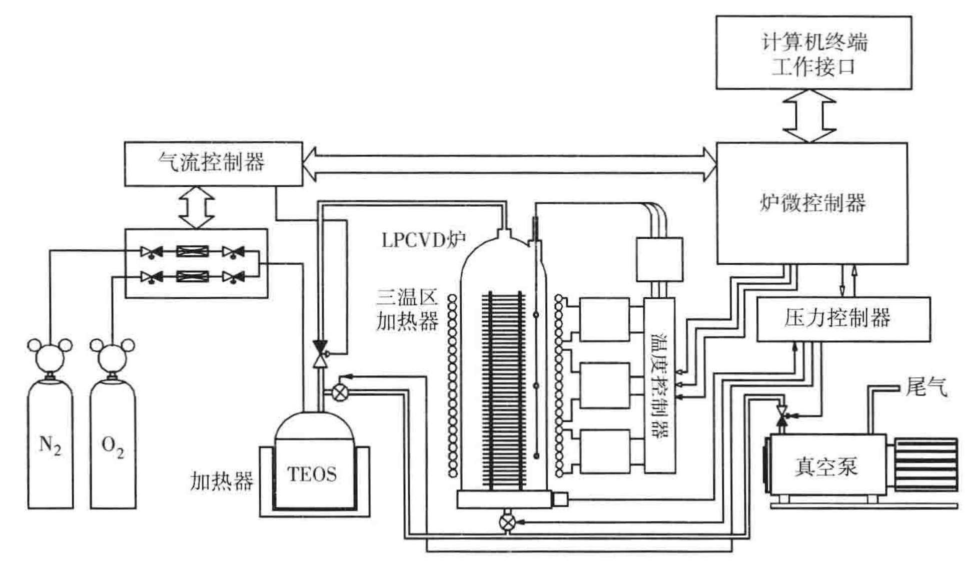


图 11.17　用 TEOS LPCVD 淀积氧化硅

用硅烷制备 SiO_2　也可以采用在较低温度下（约 450°C）氧化硅烷的方法 LPCVD 淀积 SiO_2。类似于用硅烷 APCVD 淀积 SiO_2，这种工艺的台阶覆盖能力差。在更高的温度下（900°C）可以用 SiH_2Cl_2 和 N_2O 来制备高质量的 SiO_2 膜。然而，对于硅片的热预算来说，高温过程是不希望的。

■ 氮化硅　Si_3N_4 通常被用做硅片最终的钝化保护层，因为它能很好地抑制杂质和潮气的扩散。用 LPCVD 淀积，可以获得具有良好阶梯覆盖能力和高度均匀性的 Si_3N_4 膜。Si_3N_4 也被用做掩膜材料（称为硬掩膜），用于浅槽隔离工艺。Si_3N_4 有高的介电常数（即 k 值为 6.9，CVD 淀积的 SiO_2 k 值为 3.9），因而不能作为 ILD 绝缘介质，它会导致导体之间大的电容。

在减压和温度在 700~800°C 的条件下，可用二氯二氢硅（$SiCl_2H_2$）和氨气（NH_3）LPCVD 淀积制作 Si_3N_4。反应方程式如下：

$$3SiCl_2H_2(\text{气态}) \quad + \quad 4NH_3(\text{气态}) \quad \rightarrow \quad Si_3N_4(\text{固态}) \quad + \quad 6HCl(\text{气态}) \quad + \quad 6H_2(\text{气态})$$

在 LPCVD 工艺中影响氮化硅膜质量的重要因素包括总的反应压力、反应物浓度、淀积温度和温度梯度。例如，增加总压力和二氯二氢硅的分压可以增加淀积速度。

用 APCVD 工艺，采用硅烷和氨气也可以制作氮化硅，但是膜的均匀性和产量都不如 LPCVD 工艺[36]。淀积的氮化硅是无定型的膜，通常含有大量氢。高的氨气含量和低的淀积温度会增加氢含量。

■ 多晶硅　多晶硅膜通常用 LPCVD 方法淀积。多晶硅是多晶向的，即由许多由晶粒边界分隔的小的单晶组成。在薄的多晶硅膜中的应力是压力。

在 MOS 器件中，掺杂的多晶硅作为栅电极（见图 11.18）。用掺杂的多晶硅作为栅电极的原因是[37]：

1. 通过掺杂可得到特定的电阻；
2. 和二氧化硅优良的界面特性；
3. 和后续高温工艺的兼容性；
4. 比金属电极（如 Al）更高的可靠性；
5. 在陡峭的结构上淀积的均匀性；
6. 实现栅的自对准工艺（参见第 12 章）。

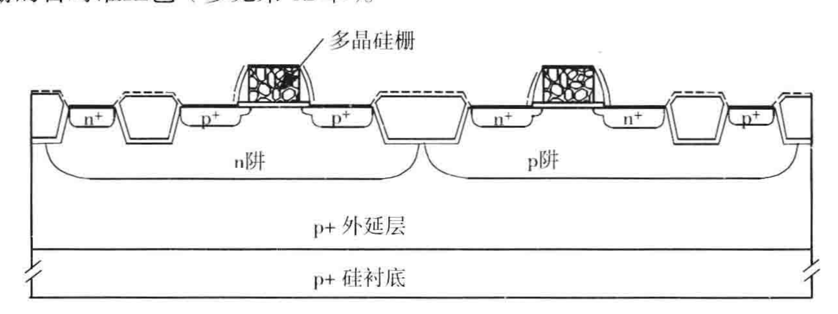


图 11.18 作为栅电极的掺杂多晶硅

在 575~650°C 通过热分解硅烷可以用 LPCVD 淀积多晶硅。低压反应用纯硅烷或者含量为 20%~30% 的硅烷和氮气的混合气体通入反应系统，在压强为 0.2~1.0 托的条件下淀积多晶硅。实际淀积速率大约为 100~200 Å/min。加入乙硼烷可以提高反应速率，因为乙硼烷会形成激发的 BH_3，这会催化气相反应的进行。化学反应为：

$$SiH_4(\text{气态}) \rightarrow Si(\text{固态}) + 2H_2(\text{气态})$$

向反应混合气体中加入 AsH_3、PH_3、B_2H_6 等可以对多晶硅进行原位掺杂。惰性气体通常会改进膜的均匀性。也可在淀积后用离子注入进行掺杂（参见第 17 章）。多晶硅掺杂后的电阻高度依赖于淀积温度、掺杂浓度以及退火温度对晶粒大小的影响。

难熔金属淀积在多晶硅上形成硅化物结构（参见第 12 章）。这被用来减小多晶硅和其他材料（如钨）界面间的电阻率，形成与其他器件的电连接的电阻。轻掺杂多晶硅在存储单元、电容、薄膜晶体管中也作为电阻。

■ **氧化氮化硅** 含氧的氮化硅称为氧化氮化硅（SiO_xN_y），它兼有氧化硅和氮化硅的优点。与氮化硅相比，氧化氮化硅改善了热稳定性、抗断裂能力、降低的膜应力。总而言之，增加氧化氮化硅膜中氧的含量，会减小膜的折射率，使它成为光刻掩膜中有用的抗反射层（参见第 14 章）[38]。氧化氮化硅的另一优点是膜中的氮积累在 Si 界面处，减少了拉伸的 Si-O 键的浓度，减少了热载流子的产生达到三个数量级。对薄栅氧来说，在 Si/SiO_2 界面处的氧化氮化硅层可以改进器件的电学性能。

可以用不同的技术制备氧化氮化硅膜，例如氧化 Si_3N_4，用 NH_3 氮化 SiO_2，或者直接生长 SiO_xN_y。SiO_xN_y 膜还可以通过 SiH_4、N_2O、NH_3 来反应制备。Si_3N_4 和 SiO_xN_y 通常作为绝缘介质膜进行选择刻蚀的刻蚀终止层[39]。

11.4.4 等离子体辅助 CVD

三种主要类型的CVD设备依赖于等离子体的能量和热能来触发并维持CVD淀积所需的化学反应。在 CVD 过程中使用等离子体的好处是：

1. 更低的工艺温度（250~450°C）；
2. 对高的深宽比间隙有好的填充能力（用高密度等离子体）；

3. 淀积的膜对硅片有优良的粘附能力；
4. 高的淀积速率；
5. 少的针孔和空洞，因而有高的膜密度；
6. 工艺温度低，因而应用范围广。

■ **膜的形成**　在真空腔中施加射频功率使气体分子分解，就会发生等离子体增强CVD并淀积形成膜。射频功率的频率取决于应用，典型的值为40 kHz、400 kHz、13.56 MHz、2.45 GHz（微波功率）。被激发的分子具有化学活性很容易与其他原子键合形成粘附在硅片表面的膜（见图11.19）。气态的副产物通过真空泵系统排出。硅片通常需要加热，以促进表面反应并减少不希望的杂质，如H。

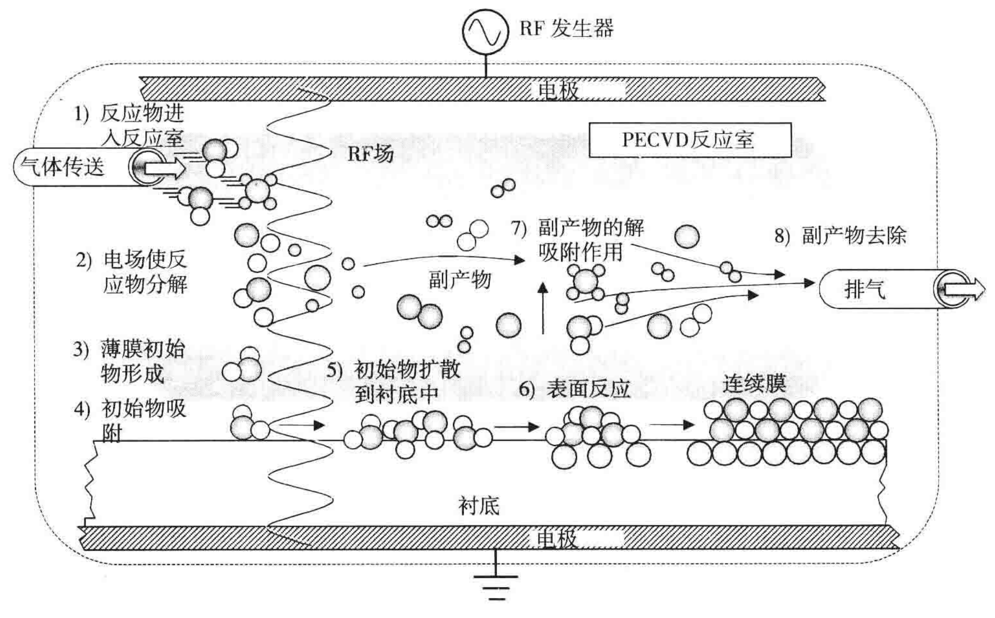


图11.19　在等离子体辅助CVD中膜的形成

在硅片表面发生的等离子体辅助CVD很复杂。淀积形成的膜的形状依赖于许多因素：如电极的构造和分离、射频功率的水平和频率、气体组成、压强和流动速率以及衬底的温度[40]。这些因素的基本方面体现在反应腔的设计。等离子体发光放电时发生的瞬态反应的一些细节我们还不清楚。因此，淀积的膜通常不具有化学定量分析特点。这意味着淀积的膜在其化学反应方程式中不必有相同比例的元素成分。

在CVD中有两类等离子体工艺：

- 等离子体增强CVD（PECVD）
- 高密度等离子体CVD（HDPCVD）

■ **等离子体增强CVD**　等离子体增强CVD过程使用等离子体能量来产生并维持CVD反应。PECVD的系统反应压强和LPCVD的系统反应压强是可以比拟的，因此PECVD紧随LPCVD的发展而发展。不同的是，PECVD的反应温度远远低于LPCVD的反应温度。例如，LPCVD淀积氮化硅（Si_3N_4）的温度一般是800~900°C，而铝的熔点是660°C，因此不能用LPCVD在Al上淀积Si_3N_4；而采用淀积温度为350°C的PECVD就很合适。

PECVD一般在真空腔中进行，腔内放置平行且间距若干英寸的托盘，间距可以调节以便进行反应优化。先进的反应器是多腔集成设备。硅片（可以是一片或多片）被放置在下面的托盘上，上电极施加RF功率。当源气体流过气体主机和淀积中部时就会产生等离子体。多余的气体通过下面电极的周围排出。有时，反应气体从下部电极周边引入，从电极中部排出。图11.20是PECVD系统的示意图。

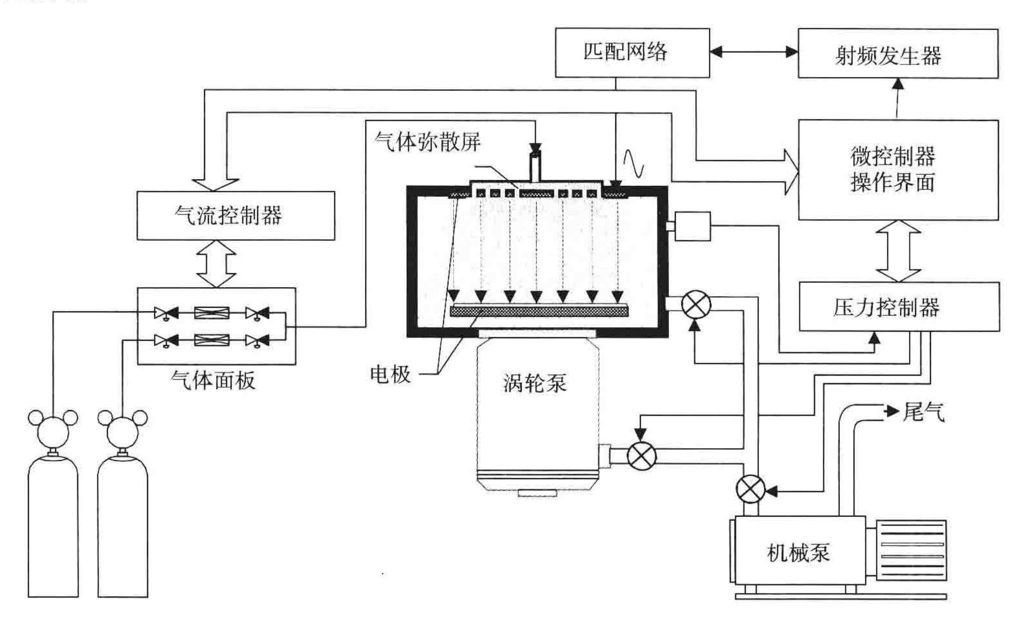


图11.20 PECVD的示意图

PECVD是典型的冷壁等离子体反应，硅片被加热到较高温度而其他部分未被加热。需要控制淀积的相关参数以确保温度梯度不会影响膜厚度的均匀性。冷壁反应产生的颗粒更少，需要少的停工清洗时间。淀积腔通常用原位清洗来减少颗粒。利用平行板装置进行PECVD，在气相形成的颗粒有可能落在硅片表面。

PECVD二氧化硅 用PECVD方法制备二氧化硅，通常是用硅烷（SiH_4）和氧气（O_2）、一氧化氮（N_2O）或二氧化碳（CO_2）在等离子体的状态下反应。工艺的温度通常是350℃。[41] 反应中可以掺入B或者P来形成BSG或PSG，或者BPSG。与APCVD PSG相比，PECVD PSG更不容易开裂，更均匀，针孔更少。

通常情况下不用硅烷和氧气的等离子体混合气体进行反应制备SiO_2，因为氧原子在气相状态下反应活性很强，这会促进颗粒的产生，并且使膜的质量变差（例如产生针孔）。硅烷和氧化二氮的混合气体能生成更均匀的膜，其反应方程式如下：

$$SiH_4(\text{气态}) + 2N_2O(\text{气态}) \rightarrow SiO_2(\text{固态}) + 2N_2(\text{气态}) + 2H_2(\text{气态})$$

生成的SiO_2接近于化学计量分析值，尽管在膜中含有一些H和少量的N。H能够以Si-H、Si-O-H、H-O-H的形式存在。对于MOS晶体管而言，O-H基团对其电学特性不利，因而要尽可能减少[42]。

平行板PECVD也可采用TEOS淀积SiO_2，称为PETEOS。但是PETEOS不能用来填充窄间隔的金属线，因为会产生空洞。PETEOS可以和APCVD TEOS或者HDPCVD结合起来获得良好的间

隙覆盖能力，然后辅以CMP。PETEOS方法淀积SiO_2的速率相对较高，在集成工具中对于提高硅片产量大有益处。

PECVD 氮化硅　PECVD氮化硅膜一般作为芯片上的最后一层钝化层，用来防止划伤、隔绝湿气以及防止钠离子扩散。在浅槽隔离（STI）和自对准接触工艺（参见第12章）中也被广泛用做掩膜物质。PECVD Si_3N_4膜不同于化学计量配比，有时候写或$Si_xN_yH_z$。这个分子式点明了它的组成是非化学计量配比的，其中H的含量一般为9%~30%。表11.3比较了LPCVD和PECVD氮化硅的性质：

表11.3　LPCVD 和 PECVD 氮化硅的性质

性质	LPCVD	PECVD
淀积温度(°C)	700~800	300~400
组成成分	Si_3N_4	$Si_xN_yH_z$
台阶覆盖	整形	共形
23°C 下硅上的应力 (达因/平方厘米)	1.2~1.8E10 （张力）	1~8E9 （张力和压力）

PECVD氮化硅通常使用硅烷和氨气或氮气来反应，反应方程式如下：

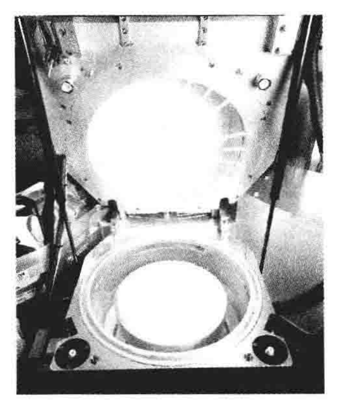
$$SiH_4(\text{气态}) + NH_3(\text{气态}) \rightarrow Si_xN_yH_z(\text{固态}) + H_2(\text{气态})$$

$$SiH_4(\text{气态}) + N_2(\text{气态}) \rightarrow Si_xN_yH_z(\text{固态}) + H_2(\text{气态})$$

PECVD氮化硅会增加膜的压应力，原因是淀积过程中的离子轰击会破坏Si-N或Si-H键。氮化硅膜中高的压应力会导致下面金属铝的空洞和开裂。膜中H的含量一般很高，H能减小膜的压应力，但同时也会使膜的特性蜕化[43]。用N_2来替代NH_3，可以降低H的含量。然而，N_2离化难以形成等离子体。

氮氧化硅　使用PECVD方法，在200~250°C条件下[44]，用一氧化氮（N_2O）和Si_3N_4反应可以制备氮氧化硅。氮氧化硅包含了氮化硅和氧化硅的一些特性。它能够很好地抵抗湿气和钠离子穿通，有很好的机械、化学和电学特性。这些特性使氮氧化硅适宜去做顶层的钝化层。

间隙填充　PECVD工艺在小尺寸器件应用中的主要限制是间隙填充。在间隔宽度小于0.5 μm（实际的间隙宽度）的情况下，用PECVD填充高的深宽比间隙会损伤顶部并产生空洞。要避免在填充间隙的绝缘介质中产生空洞，因为这会影响影响其电学特性和长期可靠性。对0.25 μm及以后技术节点的器件，HDPCVD因其良好的间隙填充能力而取代了PECVD。



高密度等离子体淀积腔

（承蒙Applied Materials, Inc.允许使用照片）

需要指出的是，其他CVD方法对于小尺寸器件有好的间隙填充能力，但同时会有别的限制。例如，APCVD淀积TEOS SiO_2，有很好的均匀性和间隙填充能力，但是TEOS会依赖于下层表面而显示不同的淀积特性。TEOS的另一个问题是TEOS膜层中含有吸收湿气的悬挂（dangling）键。为了抑制这种情况，需要对PECVD增加下保护层和上保护层。这些层提高了生产成本，增加在后续的化学机械平坦化（CMP）工艺中去除的危险性[45]。

■ 高密度等离子体CVD 等离子体辅助CVD的一个最新发展是高密度等离子体CVD（HDPCVD）。这种淀积方法在20世纪90年代中期被先进的硅片工厂广泛采用。正如HDPCVD的名字所言，等离子体在低压下以高密度混合气体的形式直接接触到反应腔中硅片的表面。它的主要优点是可以在300~400°C较低的淀积温度下，制备出能够填充高深宽比间隙的膜。HDPCVD最初用来制作ILD，后来也用来淀积ILD-1，浅槽隔离，刻蚀终止层以及低*k*介质的淀积[46]。

HDPCVD反应包含两种或多种气体参与的化学反应。对于淀积ILD氧化层，O_2（或O_3）经常与含硅气体（SiH_4或TEOS）混和，并伴有Ar气体。为了形成高密度等离子体，需要有激发混合气体的RF源或微波功率（2.45 GHz），并直接使高密度的等离子体到达硅片表面。有几种高密度等离子体源、电子回旋共振（ECR）、感应耦合等离子体（ICP）以及Helicon。这些等离子体源将在第16章详细介绍。

硅片偏置和加热负荷 RF偏置（1500~3000 W）施加于硅片，推动高能离子脱离等离子体并直接接触到硅片表面。偏置的作用是给高能离子定"方向"。高密度等离子体离子密度可达10E11-10E12个离子每立方厘米（2~10 mtorr）。高的等离子体密度以及硅片偏置产生的方向，使HDPCVD能够淀积得到的膜可以填充深宽比为3:1到4:1甚至更高的间隙。

应用HDPCVD的诸多挑战不仅与等离子源的性质相关，还与反应腔的设计细节有关，这些设计要保证高产量芯片制造的工艺[47]。一个特殊的问题是高密度等离子体会增加硅片的热负荷，2000 W的RF偏置可以在硅片表面产生的功率密度大约为6瓦/平方厘米。这会导致很高的芯片温度。然而，ILD必须在400°C低温下进行以避免损伤金属铝；另外，高的热负荷会导致硅片的热应力[48]。这个温度的限制要求对硅片进行降温，采取的方法是从入口处到静电卡盘（ESC）通入He气，从而在硅片与ESC之间形成一个热的传导通路，降低了硅片和卡盘的温度。

同步淀积和刻蚀 HDPCVD工艺使用同步淀积和刻蚀作用，它是用介质材料填充高深宽比的间隙并且无空洞形成的基础（见图11.21）。这称为淀积刻蚀比（D:E），对HDPCVD来说典型的值为3:1。[49]这个比值的意思是，淀积的速率（例如淀积材料的速率）是刻蚀速率的三倍。增加该比值会增加淀积速率从而提高硅片产量，但如果比值过高，就会由于间隙没有完全填充而形成空洞。

同步淀积–刻蚀的表面反应包括五步，前三步是主要的机制[50]：

1. 离子诱导淀积：指离子被拖出等离子体并淀积形成间隙填充的现象。其通过反应离子的动能打破表面的键形成反应区。
2. 溅射刻蚀：具备一定能量的Ar和因为硅片偏置被吸引到表面的反应离子轰击表面并刻蚀（移走）原子。
3. 再次淀积：原子从间隙的底部被剥离，通常会再次淀积到侧壁上。这对于间隙侧壁和底部厚度的一致性来说很重要。
4. 热中性CVD：这对热能驱动的一些淀积反应有很小的贡献；
5. 反射：离子反射出侧壁，然后淀积是另一种很小的贡献。

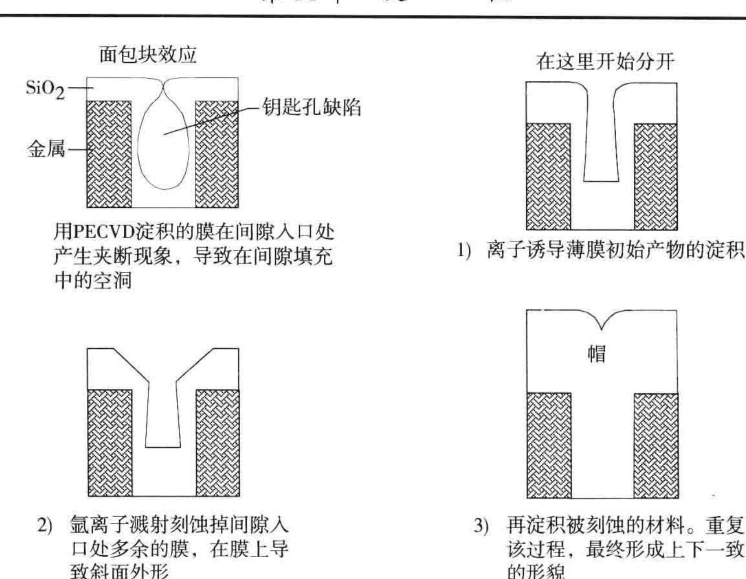


图 11.21 淀积 – 刻蚀 – 淀积工艺

同步淀积和刻蚀是等离子体方向性的有利的副产物，这个方向性是在HDPCVD 反应里O_2和Ar混和气体产生的。对于用 SiH_4 和 O_2 反应淀积 SiO_2 来说，Ar 的作用是通过溅射作用移除淀积物质（溅射的内容参见第 12 章）。影响淀积 – 刻蚀速率比的因素包括：O_2 和 Ar 比值、反应腔压强、离子能量和硅片上的 RF 偏置[51]。低压对于减少平均自由程很重要，平均自由程的减少意味着减少碰撞并使等离子体获得好的方向性。对于在 HDPCVD 中可接受的淀积速率和硅片产量，需要有高的气流速率。在图 11.22 中，硅片直接位于高速涡轮泵的出口处（对于 12 英寸的硅片，泵抽速可达 4000~5000 升 / 秒）。

在实际应用中，HDPCVD 有时作为三步介质填充间隙的第一步[52]。高深宽比（大于 3:1）的间隙用 HDPCVD 填充，然后进行常规密度 PECVD 淀积一层“盖膜”（见图 11.23），这层“盖膜”经过 CMP 进行平坦化（参见第 8 章）。平坦化可以在金属导线上获得光滑且厚度均匀的介质层。

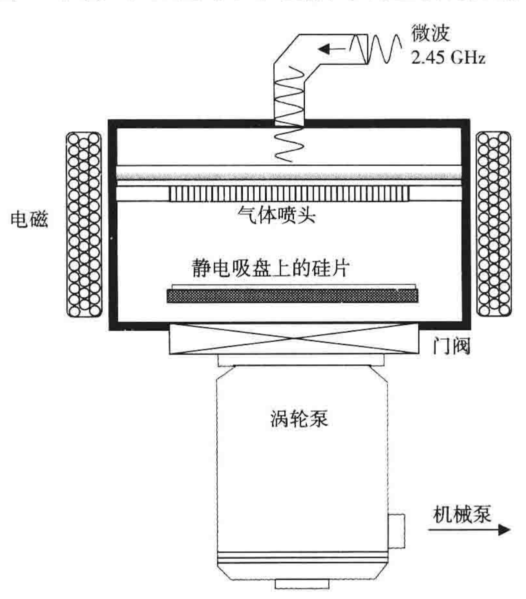
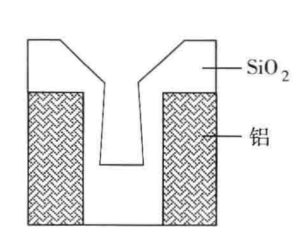
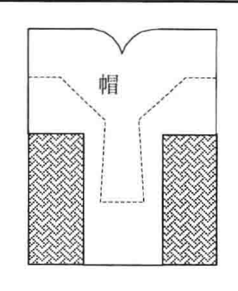


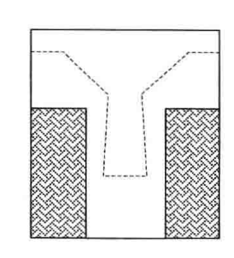
图 11.22 在涡轮泵出口放置硅片的 HDPCVD



1) HDPCVD间隙填充



2) PECVD帽



3) 化学机械平坦化

图 11.23 介质间隙填充的三个过程

11.5 介质及其性能

在不同膜层中应用的介质材料会直接影响到微芯片的性能。介质的两个重要方面是介电常数和器件隔离。

11.5.1 介电常数

非导电材料的介电常数是指材料在电场影响下存储电势能的有效性，也就是代表隔离材料作为电容的能力。最低的 *k* 值为 1，代表空气。高 *k* 介质可以存储更多的电能。热生长 SiO_2 的 *k* 值大约是 3.9。PECVD SiO_2 的 *k* 值大约是 4.1~4.3。

掺杂 SiO_2 通常是最普通的层间介质（ILD）材料。用 *k* 值更低的介质材料取代掺杂 SiO_2 作为中间介质材料的研究目前正在进行（见表 11.4）[53]。减小绝缘介质的 *k* 值，可以减少相邻导线间的电耦合损失，这是因为绝缘介质存储更少的电场并因此花更短的时间来充电，从而提高金属导线的传导速率。对于金属线间隔很近的小尺寸器件，低 *k* 值的材料作为 ILD 至关重要。随着线宽减小，导体和介质的电耦合效应会增加，用低 *k* 值材料可以补偿这一点。

表 11.4 ULSI 互连中可能的低 *k* 值 ILD 材料

可能的低 *k* 值 ILD 材料	介电常数	间隙填充	处理温度（°C）	备注
氟硅玻璃（FSG）	3.4~4.1	< 0.35	不处理	FSG 和 SiO_2 有几乎一致的 *k* 值，氟会侵蚀钽阻挡层金属
HSQ（三氧化二硅烷）	2.9	< 0.01	350~450	硅基树脂聚合体可用在溶液中作为流动的 SiO_2（FOx）进行 SOG。要求表面钝化来减少潮气吸收，处理在 N_2 中完成
纳米多孔硅	1.3~2.5	< 0.25	400	非有机材料，介电常数依赖于孔密度而且可调。增加孔密度会减小机械完整性，孔材料需要承受抛光、刻蚀、加热而不退化
聚（芳香基）乙醚（PAE）	2.6~2.8	< 0.15	375~425	旋涂具有好的粘附性和可以进行CMP抛光的芳香聚合物
a-CF（非晶氟化碳或 FLAC）*	2.8	< 0.18	250~350	最有前景的 HDPCVD 材料，可以产生具有良好热稳定性和粘附性的膜
聚对二甲苯 AF4（脂族四氟化聚对二甲苯）	2.5	< 0.18	420~450	CVD 膜可达到粘附性和通孔电阻要求。需要获气体传输系统温度为 200°C，以保证控制聚对二甲苯（parylene）先驱物的流速

*P.Singer, "Technology News: Wafer Processing," *Semiconductor International* (October 1998): p.44

■ **芯片性能** 芯片性能的一项指标是信号的传输速度。芯片的不断缩小导致互连线宽度减小，使得传输信号导线电阻（R）增大。而且，导线间距的缩小产生了更多的寄生电容（C）。最终增加了RC信号延迟（RC信号延迟降低芯片速度，减弱芯片性能）。这是在亚0.25 μm中凸现出的问题，通常称为互连延迟（见图11.24）。从本质上讲，减小互连尺寸带来的寄生电阻和电容效应而导致更大的信号延迟。这与晶体管的发展正好相反，对晶体管而言，随着栅长变小，延迟变小，晶体管速度增加[54]。

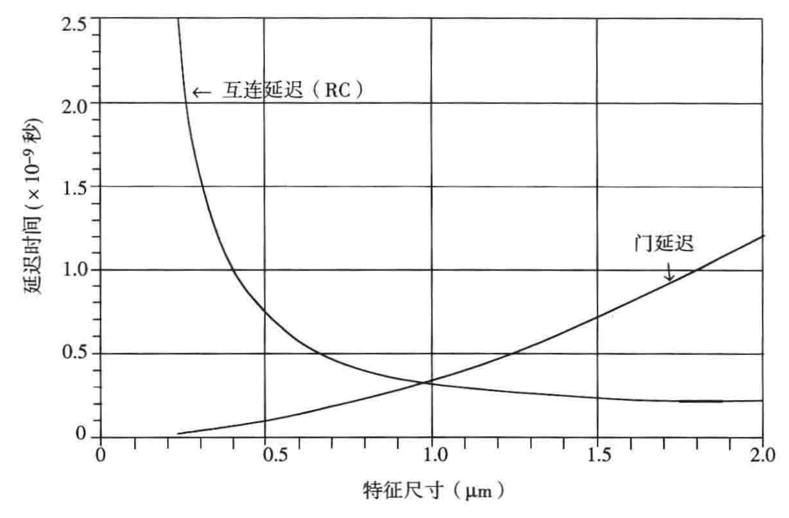


图11.24 互连延迟（RC）与特征尺寸的关系（μm）

线电容C正比于绝缘介质材料的k值。低k值的绝缘介质可以减小芯片总的互连电容（见图11.25），减小RC信号延迟，提高芯片性能。减小总电容也会降低功耗[55]。应用低k材料并辅以低电阻金属连线会给ULSI互连系统带来性能上的优化。

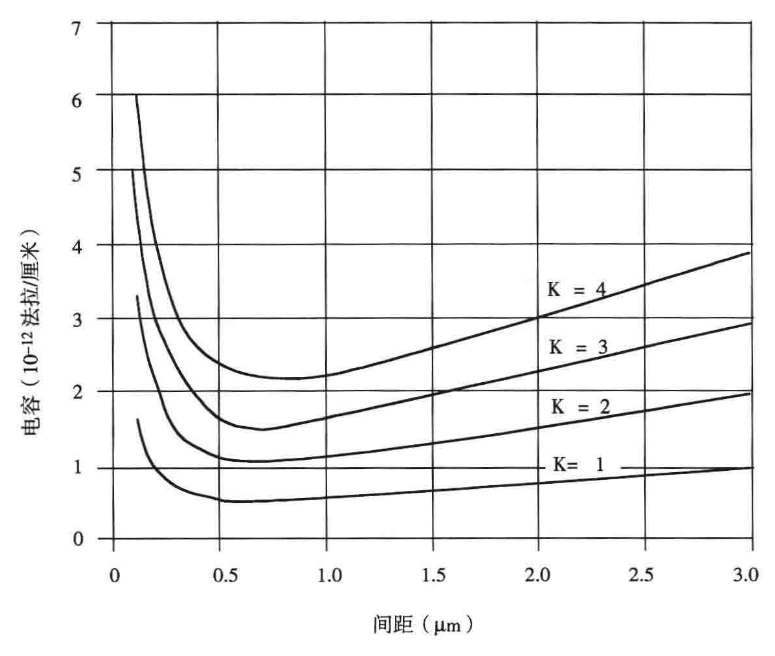


图11.25 总互连线电容

■ 低 *k* 值的介质要求 表11.5给出了芯片生产中低 *k* 值绝缘介质膜的典型要求。在半导体产业中期望能引入低 *k* 值的ILD材料和低电阻的铜连线（参见第12章）。可替代的低 *k* 值绝缘介质目前正在进行研究。

表11.5 低 *k* 值的绝缘介质要求

电学	机械学	热学	化学	工艺	金属化
低介电常数	好的粘附性	热稳定性	耐酸和碱	图形制作	低的接触电阻
低介电损失	低的收缩性	低的热扩散系数	选择腐蚀	好的间隙填充能力	低的电子迁移
低的漏电流	抗开裂	高导热	低的杂质	平坦化	低的应力
高可靠性	低应力		无侵蚀	低的针孔	光滑表面
	好的硬度		低的湿气吸收	少的颗粒	与势垒金属兼容
			可接受的存储寿命		

■ 高 *k* 介电常数 在工业界正在进行高 *k* 介电常数材料的研究，这主要是为了在DRAM存储器中的应用以及最终取代超薄栅氧（对0.18 μm器件而言，栅氧厚为20 Å）。在过去的25年中，由于工艺和设计的进步，DRAM存储器的存储密度每3年会增长4倍[56]。为了在SiO_2或SiN_x绝缘介质中获得所要求的存储电荷，DRAM存储单元的设计采用了复杂的叠层电容结构（见图11.26）。如果用高 *k* 介电常数材料替代传统的SiO_2/SiN_x结构，就可获得更简单的叠层结构而降低制作成本。一种很有潜力的高 *k* 材料是Ta_2O_5，其 *k* 值一般为20~30，并且很容易集成到现在通用的工艺中。但是，DRAM单元对存储材料和界面的漏电流及击穿电压敏感。为了补偿这一点，DRAM单元要求更厚的Ta_2O_5，这减弱了Ta_2O_5的优势。另一种有潜力的高 *k* 材料是（BaSr）TiO_3（或写成BST），与常规的绝缘介质相比，BST材料单位面积的电容值有显著的提高。

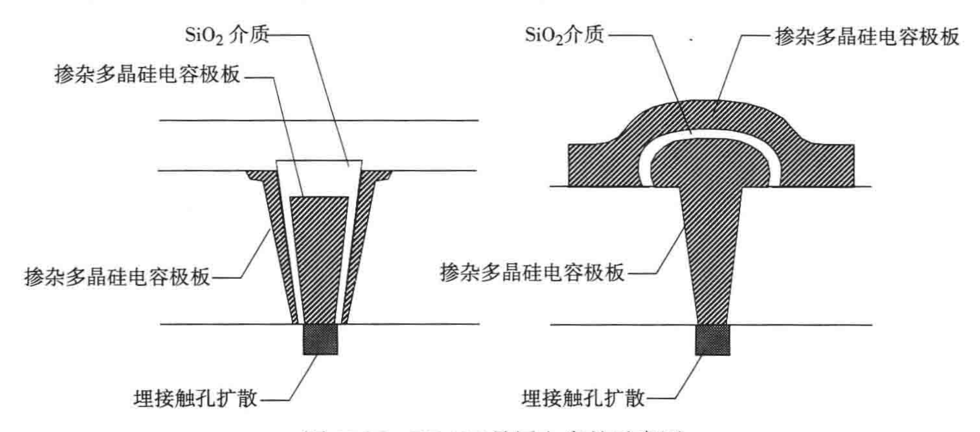


图11.26 DRAM叠层电容的示意图

由于器件等比例缩小，目前器件的栅氧厚度变得非常薄，对未来的50 nm器件而言，栅氧厚度要求小于10 Å，这需要有新的高 *k* 栅介质材料。在MOS晶体管中，栅介质需要承受栅电极和下面衬底之间很高的电压。薄栅氧会受到隧穿电流的影响，当栅氧厚度低于15~20 Å时，隧穿电流会成为一个严重的问题[57]。在小尺寸的ULSI电路中，电子会在晶体管开或关时隧穿通过栅介质。这将导致阈值电压的漂移，并最终由于无法切换开关状态而使电路失效。

11.5.2 器件隔离

MOS硅片制造中的器件隔离技术为硅片上的器件提供了电学隔离。隔离技术用来减少或消除在MOS平面制造中的寄生场效应晶体管（参见第3章）。隔离技术必须适应不同器件技术间的等比例缩小（例如，结深、栅氧厚度等）。这意味着对于高性能IC，用于器件隔离的间隔正在缩小。MOS

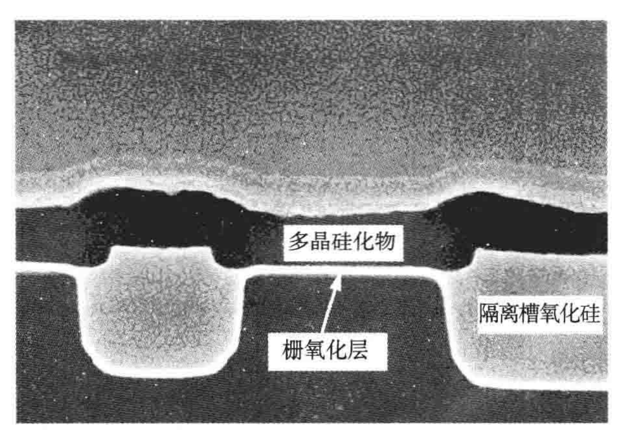
技术中的两个基本隔离技术是：通过硅的局部氧化（LOCOS）隔离实现的局部场隔离和浅槽隔离（STI）[58]。

■ 局部氧化(LOCOS) 对于特征尺寸为0.35 μm以及更大的器件，传统上采用硅的局部氧化（LOCOS）技术来隔离。该技术采用图形化的Si_3N_4岛来定义氧生长的区域。对于深亚微米器件，LOCOS隔离结构过于大了[59]。限制LOCOS隔离在特征尺寸小于或等于0.25 μm工艺中应用的主要因素是硅氧化过程中氧的侧向生长，侧向生长为最小面积和可获得的表面形貌增加了天然的限制。在高密度ULSI技术中，LOCOS隔离技术不适用。

■ 浅槽隔离（STI） 在0.25 μm和以下的技术节点中，浅槽隔离（STI）技术被广泛应用。STI取代LOCOS的原因有如下几点[60]：

1. 更有效的器件隔离的需要，尤其是对DRAM器件而言；
2. 对晶体管隔离而言，表面积显著减小；
3. 超强的闩锁保护能力；
4. 对沟道没有侵蚀；
5. 与CMP的兼容。

在基本的STI工艺中（参见第10章），利用干法刻蚀在硅片表面可以刻出深0.3 μm~0.8 μm的沟，这些沟有直的侧墙和圆角（参见第16章）。STI沟的深宽比大约在2:1~5:1，由于DRAM器件对漏电流的敏感，需要更高的深宽比。隔离沟表面生长有线性的氧化层，用CVD氧填充，并用CMP来平坦化。STI较LOCOS技术成本更高，因为需要更复杂的工艺步骤。然而，STI的优点足以弥补成本高的问题。STI的工艺步骤包括阻挡层和线性氧化层，参见第9章中的CMOS工艺流程。



浅槽隔离

（承蒙Integrated Circuit Engineering允许使用显微照片）

11.6 旋涂绝缘介质

有许多低*k*绝缘介质采用硅片旋涂的方法，称为旋涂绝缘介质（SOD）。应用这些材料的工艺类似于低成本IC制造中的SOG。下面首先回顾SOG。

11.6.1 旋涂玻璃（SOG）

在上个世纪90年代CMP被广泛应用之前，旋涂玻璃被用来进行间隙填充和ILD的平坦化。SOG通常有两种类型：有机物和无机物[61]。有机物基于硅氧烷，无机物基于硅酸盐。有机硅氧烷SOG吸

水性强，热不稳定，不能承受等离子体。处理之后，硅酸盐SOG类似于SiO_2，不吸收多余的水汽，且热稳定。在处理过程中，缩减得很严重，如果膜层较厚就会导致应力和膜开裂。因此，硅氧烷SOG通常作为平坦化层，并采用回刻工艺以及淀积氧化层使其光滑（参见第18章）。硅酸盐SOG主要用来进行间隙隔离。这两种类型的SOG有多种不同的改进。

应用SOG之前，硅片需要有预氧层，例如PECVD SiO_2[62]。SOG是一种液体，旋涂到密闭或开放的碗中具有一定旋转速度的硅片上。旋转的速度和加速速率这些参数决定了SOG的厚度。膜形成通常在400°C，然后反刻使表面平坦化。帽氧层用来密封和保护SOG，以防止吸潮（见图11.27）。如果没有掩蔽氧化层，就会由于吸潮引起很大的可靠性问题，例如金属层之间的通孔被腐蚀并产生高电阻。

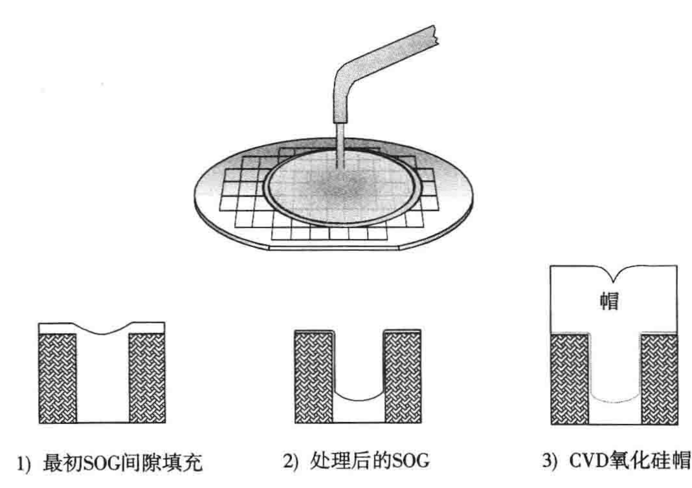


图11.27 用SOG填充间隙

11.6.2 旋涂绝缘介质（SOD）

低k绝缘介质膜目前正作为旋涂绝缘介质来研究。SOD低k绝缘介质膜的一个例子是HSQ，曾在本章的表11.4中出现过。对于淀积低k膜而言，SOD技术较CVD工艺更为经济。大多数SOD应用采用标准的旋转涂胶机（在光刻中采用，第13章将介绍）旋涂介质，并采用普通的炉管。还有用单片集成设备，采用350~475°C的热板来旋涂介质并形成膜[63]。表11.6给出了一个旋涂介质并形成膜的大致工艺。

表11.6 HSQ低k绝缘介质工艺参数

主要操作	工艺步骤	相关参数
旋涂介质	碗转速	50 rmp
	最大碗转速	800~1500 rmp
	背部清洗	800 rpm，5s
	顶部边缘液珠去除	1000 rmp，10 s
	旋转干燥	1000 rmp，5 s
形成膜	初步烤形成膜	200℃，60 s，纯N_2
	在线形成膜	475℃，60 s，N_2环境

在某些情况下，SOD材料的性质是已经存在的SOG材料的扩展。其他SOD材料是旋涂聚合体而和SOG材料有很大的差别。新的低k材料更不易吸潮，有更好的抗开裂性。基于这些特点，不需要掩蔽氧化层而直接用单层淀积就可以接受了。然而，在某些情况下，需要能促进粘附的材料[64]。

11.7　外延

外延就是在单晶衬底上淀积一层薄的单晶层（见图 11.28）。新淀积的这层称为外延层。外延为器件设计者在优化器件性能方面提供了很大的灵活性，例如可以控制外延层掺杂厚度、浓度、轮廓，而这些因素是与硅片衬底无关的。这种控制可以通过外延生长过程中的掺杂来实现。外延层还可以减少 CMOS 器件中的闩锁效应（参见第 3 章）。IC 制造中最普通的外延反应是高温 CVD 系统[65]。

在一些正处于研究阶段的应用中，外延能达到制造未来高性能 IC 的要求。例如用来获得低的接触电阻的抬高的源漏结构（S/D）[66]。通过在器件的源端、漏端和栅区域淀积外延硅可以形成抬高的源漏结构。这能有效地增加源漏的表面积因此降低薄层电阻（类似于相同材料下直径大的导线比直径小的导线电阻小）。这些淀积物能减小接触电阻，从通常情况下的 5Ω/❑ 减小到 1~2Ω/❑。抬高的源漏结构正处于研究中，并将应用于 0.15 μm 技术节点。

在外延淀积过程中，可能发生不希望的掺杂不均匀现象[67]。因为轻掺杂外延层通常生长在重掺杂衬底上，外延层会发生自掺杂现象。这种现象发生在掺杂杂质从衬底蒸发，或者是由于淀积过程中氯对硅片表面的腐蚀而自发进行。这些杂质进入气流并导致不希望的外延掺杂。作为外延层生长，来自硅片的杂质很少，气流中的杂质达到一个恒定的水平。另外的不规则掺杂形式是衬底作为掺杂杂质源扩散到外延层。这成为外扩散。自掺杂和外扩散都能影响杂质在衬底和外延层之间形成过渡，导致杂质分布不如预想的那样陡。

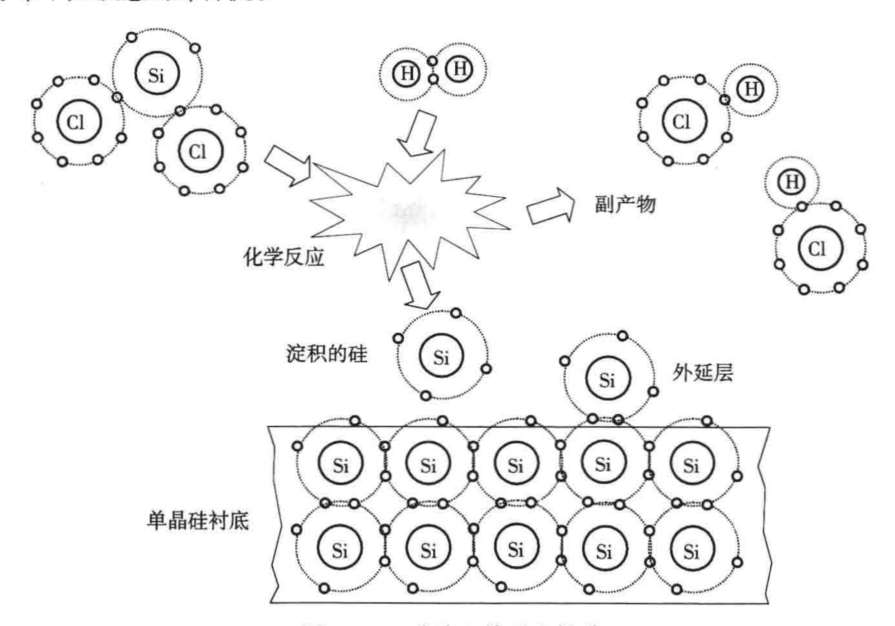


图 11.28　硅片上外延生长硅

如果膜和衬底的材料相同（例如硅衬底上长硅膜），这样的膜生长称为同质外延。膜材料与衬底材料不一致的情况（例如硅衬底上长氧化铝）较少，称为异质外延。

11.7.1　外延生长的方法

外延硅通常采用CVD淀积系统。外延生长前，必须清除硅片表面的自然氧化层、残余的有机杂质和金属杂质以获得完美的表面（参见第6章）。在外延淀积过程中，气体反应产生的原子撞击

到硅片表面并移动直至在适当位置与硅片表面的原子键合。这种方式使外延层和衬底有相同的结晶方式。

外延反应可用的气体源包括 $SiCl_4$、SiH_2Cl_2（DCS）、$SiHCl_3$（TCS）。淀积温度为1050~1250°C。几乎所有的硅外延都采用了 SiH_xCl_{4-x}（x = 1，2，3）以及氢气[68]。如果反应源气体中氯（Cl）的含量较少，那么反应的温度可以适当降低。外延硅一般不采用SiH_4，因为反应中硅淀积在热的硅片表面时，会形成多余的颗粒。

可以采用多种方法在硅片表面生长单晶层，包括固相、液相、气相以及分子束外延。在IC制造中一般采用以下三种外延方法：

气相外延（VPE）
金属有机CVD（MOCVD）
分子束外延（MBE）

■ 气相外延（VPE） 硅片制造中最常用的硅外延方法是气相外延，属于CVD的范畴[69]。在温度为800~1150°C的硅片表面通过含有所需化学物质的气体化合物，就可以实现气相外延。高温获得的热提供了驱动在硅片表面发生的化学反应所需的能量。这个过程可以参见图11.29。

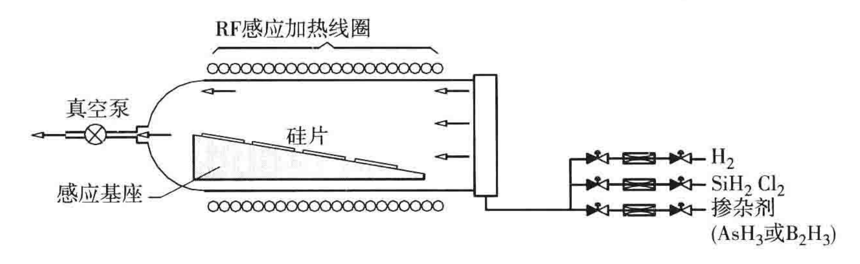


图11.29 气相外延示意图

在硅片进入VPE反应腔之前，反应系统先通入氮气或氢气净化，然活通入HCL气体。反应气体（如 SiH_xCl_{4-x}）伴随着掺杂气体，被引入到反应腔中，此时硅片已经加热到反应所需的温度。一旦反应物和掺杂气体进入生长反应腔，就会产生必要的化学和物理反应并淀积掺杂的外延层。

典型的外延反应设备由以下几部分构成：气体分布系统、反应管、支撑并加热硅片的基座、控制系统、尾气系统。在气体分布系统中为了严格控制气体流动到反应腔，要用到质量流动控制器和真空阀。基座一般用石磨或者覆盖着碳化硅或氮化硅的多晶硅制成，它必须足够结实，不与反应物和反应产物发生反应[70]。通过诱生加热或者灯丝的辐射加热来给基座升温。图11.30中的水平和竖直反应器是最常见的。水平反应器中基座被翘起一定的角度来改善均匀性。

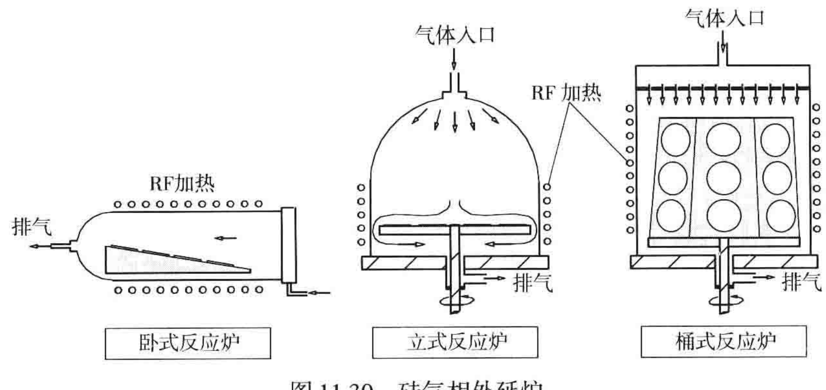


图11.30 硅气相外延炉

■ 金属有机CVD（MOCVD） 另一种外延生长方法通常称为金属有机CVD（MOCVD），但这个词实际有更广泛的含义，它可以指淀积金属以及氧化物的多晶或无定型膜[71]。MOCVD是VPE的一种，由于没有合适的气体源，通常不用做硅外延。它被用来淀积化合物半导体外延层，例如在低温下用有机金属源淀积Ⅲ - Ⅴ族化合物GaAs。随着VPE的进行，需要的化合物材料输运到加热的硅片表面并发生复杂的化学反应。MOCVD对于受控的超薄掺杂或者无掺杂半导体异质层的淀积很重要，主要用于激光器、发光二极管以及光电集成电路[72]。MOCVD也被研究用来为未来的IC制造淀积有机低k绝缘介质。

■ 分子束外延（MBE） 分子束外延是用来淀积GaAs异质外延层并可达到原子分辨率的一种主要方法。也被用来在硅片衬底上淀积硅并能严格控制外延层厚度和掺杂的均匀性。MBE需要高真空条件，通常的背景真空为10^{-10}~10^{-11}托甚至更高，典型情况下会用到高真空低温泵。反应温度为500~900°C。

大多数硅MBE系统通过聚焦的电子束源产生的电磁场使硅原子蒸发以得到外延反应所需的硅反应原子。这类似于真空蒸发淀积。硅原子束离开硅源，流动通过排泄腔体，不会碰撞并淀积在单晶硅片表面。更新的方法是通过低速流动的气体源输运硅原子。一个MBE系统硅的生长速率可以通过测量离开源气体的原子数和实际撞击硅片表面并粘附在硅片上的原子数来确定。

11.8　CVD质量测量

表11.7给出了重要的CVD质量测量。

表11.7　CVD质量测量

质量参数	缺陷类型	备注
1. 用PECVD SiO_2淀积高深宽比（>3:1）间隙时的空洞	A. 在淀积高深宽比间隙时形成钥匙孔。CMP并去掉顶部之后，一些空洞会变成沟槽（见图11.31）。在淀积金属后，这些沟槽会导致开路	● 随着特征尺寸的减小以及间隙有高的深宽比，间隙填充能力很关键 ● 空洞是高应力区域，会陷落潮气或可溶物，导致腐蚀或者高真空条件下的跑气 ● 这个问题的根源是想用受限于淀积系统的PECVD方法填充高深宽比的间隙。这需要用HDPCVD
2. 膜应力	A. 高的膜应力会导致开裂和分层 B. 膜应力可在衬底传递硅缺陷 C. 应力会导致漏电流	在玻璃膜中掺杂可以减小应力。影响膜应力的淀积元素包括： ● RF功率：调节功率改善应力（例如，减少功率10瓦来减小应力） ● 压力：调节压力来影响应力（例如，增加压力导致更高膜应力）
3. 膜厚度	A. 膜厚度超出了需要值	影响膜厚的淀积因素： ● 时间：减小淀积时间可以减小厚度（例如，减小1秒钟可使厚度减小100 Å） ● 气流速率：降低气体流动可减小厚度（例如，减小SiH_4 2 sccm使厚度减小超过5%）
4. 折射率（R/I）	A. 折射率是评价膜质量的好指标 B. 折射率很大程度上依赖于膜的组成（化学计量分析）	R/I是材料的光学性质。与热氧化相比，CVD氧在质量和完整性上较差，有更多的颗粒和针孔。CVD氧的折射率可以与SiO_2的折射率（1.46）比较来进行质量评价：

（续表）

质量参数	缺陷类型	备注
		● 高的折射率意味着膜中 Si 含量高 ● 低的折射率意味着膜中多孔，这会导致吸潮

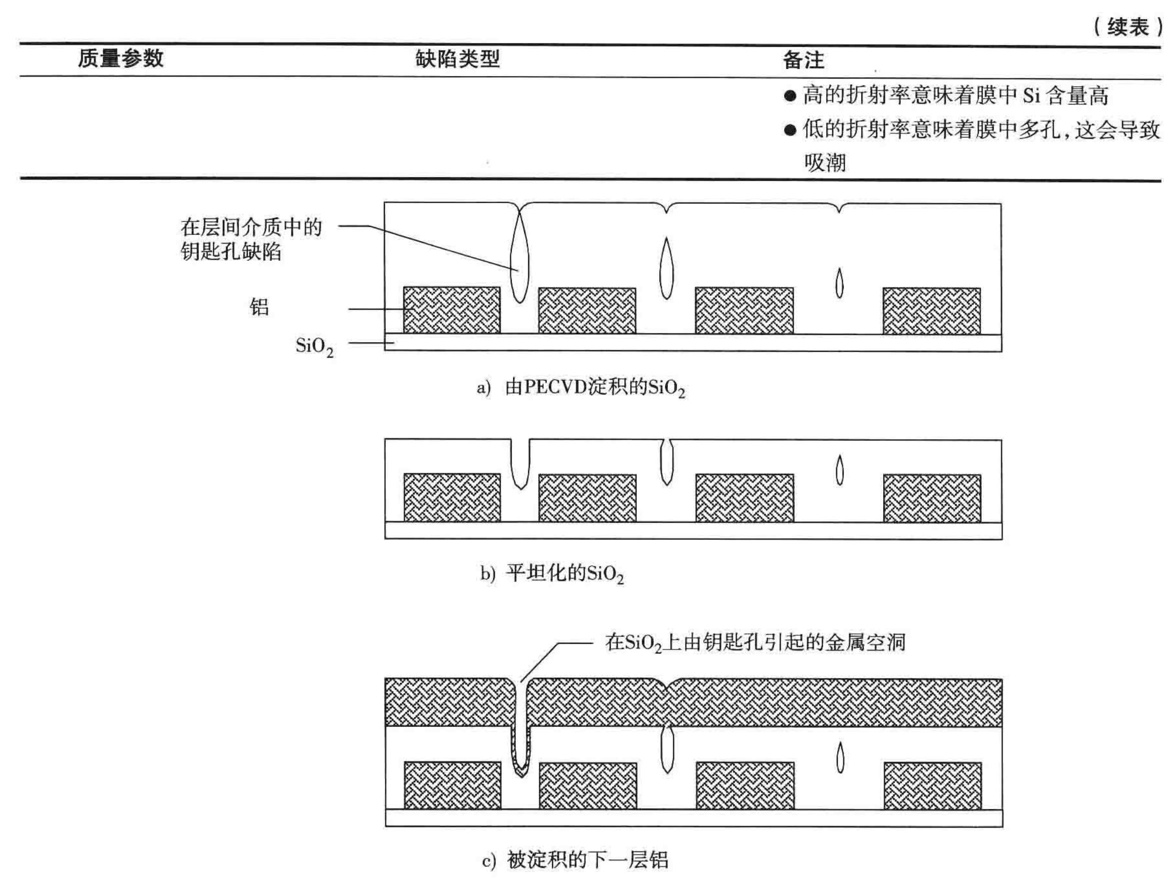


图 11.31 ILD 中钥匙孔的效果（金属台阶覆盖上）

11.9 CVD 检查及故障排除

表 11.8 给出了普通 CVD 问题的检查及故障排除技术。等离子体淀积系统有两方面的安全考虑：化学和电学。许多等离子体使用有毒气体（参见附录 A 和表 A.3）。RF 功率提供包括高压和射频能量。维修 CVD 系统时需要小心。

表 11.8 普通 CVD 故障问题

问题	可能的原因	纠正措施
1. 与膜相关的颗粒污染	通过分析颗粒在膜的顶部、中间还是下面，可以分离出颗粒的来源： A. 在膜的顶部：颗粒在淀积后形成。在热壁反应器的侧墙和传送带驱动反应器上寻找颗粒 B. 在膜中：气相成核颗粒的气体源中硅烷或硅含量过高。气体中的杂质导致颗粒 C. 在膜下面：颗粒来源于硅片淀积前碳硅化物、石英或反应器的内墙	● 在膜的顶部：颗粒在侧墙意味着更需要经常湿法清洗石英器皿和反应腔表面。原位检查干法清洗过程。同时证明清洗的正确步骤 ● 在膜中：从 MFC 检查不合适的气体流动；问题或者在于程序菜单有误。检查气体工艺系统和O形圈的漏气情况。证实“点式”过滤器没问题 ● 在膜下面：淀积前检查硅片清洗过程

（续表）

问题	可能的原因	纠正措施
2. 膜厚度	厚度与设备和工艺问题相关。影响厚度的因素包括： A. 不正确的温控 B. 系统压力太高或太低 C. 系统功率需要调整 D. 不正确的气体流动	● 温度控制器需要校准。一个普通的问题是热偶存在缺陷 ● 工艺菜单控制系统压力。检查真空系统的漏气 ● 调节 RF 系统的功率优化膜厚度 ● 检查 MFC 校准从保证正确的气体流动 ● 测试硅片来检查厚度，确保测试硅片洁净，并且在测试前厚度没有变化
3. 顶部静电卡绝缘介质的开裂（ESC）	在 ESC 的热承载导致绝缘材料的腐蚀或者开裂。这会导致等离子体电火花或者硅片被卡	● 检查 ESC 背面制冷系统以保证其正常工作 ● 检查ESC材料保证高功率、高温或者等离子体洁净环境下没有开裂

11.10　小结

用绝缘介质和金属层实现多层金属化对高级IC是必要的。薄膜有特定的性质来满足硅片加工的要求，包括对高深宽比间隙的填充。膜的生长包括从成串的核到连续的膜。淀积膜层可用到广泛的工具，主要是绝缘介质的CVD。CVD通过热能或者等离子体能辅助的化学反应在硅片表面淀积薄膜。CVD表面反应包括高温分解、氧化和减少。CVD化学反应遵循一定的步骤，可以通过提供化学物质或者表面反应特性来限制。有时薄膜中掺杂以改善膜性能。CVD的反应器可分为APCVD、LPCVD、等离子体辅助CVD。APCVD设计简单，主要用于TEOS-O_3淀积均匀的氧化层。LPCVD可以淀积各种膜，包括氧化硅、氮化硅、多晶硅。LPCVD工艺受反应速度限制（气流并不是关键），并且经常发生在低温情况下。等离子体辅助CVD包括PECVD和HDPCVD。PECVD是第一种等离子体辅助CVD，但是在填充小于0.5 μm的间隙时受到限制。HDPCVD用于高级的IC制造，因为它可以在相对较低的温度下填充深宽比大的间隙。用低k材料淀积绝缘介质可以减少RC互连延迟而改善芯片性能。绝缘介质材料对于隔离技术来说也很重要。绝缘材料可以通过液体旋涂的形式应用，这可能应用于未来低k绝缘介质。外延主要通过CVD方法生长，包括气相外延（VPE）、金属有机外延（MOCVD）和分子束外延。

关键术语

多层金属化
铝金属化
关键层
非关键层
第一层层间介质（ILD-1）
金属前绝缘介质（PMD）
层间介质（ILD）
薄膜
化学剂量（配比）
深宽比
成核

热壁反应器
冷壁反应器
常压CVD（APCVD）
硅烷
TEOS二氧化硅
低压CVD（LPCVD）
氮化硅（Si_3N_4）
氮氧化硅（SiO_xN_y）
等离子体增强CVD（PECVD）
PETEOS
PECVD氮化硅

连续的膜
化学气相淀积（CVD）
反应器
异质反应
同质反应
吸附
解吸附作用
种类
先驱物
质量输运限制
反应速度限制
动力学控制
边界层
凝滞层
磷硅玻璃（PSG）
硼硅玻璃（BSG）
硼磷硅玻璃（BPSG）
氟硅玻璃（FSG）
高密度等离子体 CVD（HDPCVD）
深度：刻蚀比率
介电常数（k）
器件隔离
硅的局部氧化隔离（LOCOS）
浅槽隔离（STI）
旋涂玻璃（SOG）
旋涂绝缘介质（SOD）
外延生长
抬高源漏结构
自掺杂
外扩散
同质外延
异质外延
气相外延（VPE）
金属有机CVD（MOCVD）
分子束外延
集合工具

复习题

1. 什么是多层金属化？它对芯片加工来说为什么是必需的？
2. 什么是铝的金属化？描述芯片的关键层和非关键层。
3. 解释 ILD 层的作用。在芯片中，ILD-1 层所在的位置是哪里？
4. 什么是薄膜？列举并描述可接受的薄膜的 8 个特性。
5. 什么是深宽比？为什么高深宽比对 ULSI 器件很重要？
6. 列举并描述薄膜生长的三个阶段。
7. 列举淀积的 5 种主要技术。
8. 什么是 CVD？
9. 有哪 5 种基本的 CVD 反应？并简单描述 5 种反应。
10. 在 CVD 反应中，异质还是同质反应易于进行？为什么？
11. 识别并描述 CVD 反应中的 8 个步骤。
12. 解释质量输运限制 CVD 工艺和反应速度限制 CVD 工艺的区别。哪种工艺依赖于温度？
13. 什么是 CVD 中的边界层？在什么条件下它会变成迟滞层？
14. CVD 反应中低压会带来什么好处？
15. PSG、BPSG、FSG 各是什么的缩写？列举在 SiO_2 中掺杂的三个优点。
16. 描述不同类型的 CVD 反应和它们的主要优势。
17. 解释 CVD 系统中热壁反应器和冷壁反应器的差别。
18. 解释 APCVD。使用 APCVD SiO_2 的主要问题是什么，是用硅烷作为反应源吗？
19. 什么是 TEOS？描述使用 APCVD TEOS-O_3 的主要优势。
20. 为什么 LPCVD 较 APCVD 更普遍？描述 LPCVD 的工艺过程。

21. 为什么 LPCVD 操作在反应速度区域进行?
22. 采用 LPCVD TEOS 淀积的是什么膜? 解释这层膜的优点。
23. 为什么氮化硅常作为钝化层?
24. 淀积多晶硅栅材料采用什么CVD工具? 列举多晶硅作为栅电极的6个原因。
25. 描述氮氧化硅膜的优点。
26. CVD 过程中采用等离子体的优点有哪些?
27. 什么是PECVD? PECVD和LPCVD的主要差别是什么?
28. 描述 PECVD 氮化硅和 LPCVD 氮化硅的主要差别。
29. 讨论在 ULSI 微芯片中使用 PECVD 的主要限制。
30. 解释 HDPCVD。它在 IC 中有什么优势?
31. 描述硅片偏置对 HDPCVD 方向性的影响。
32. 解释HDPCVD中同步淀积和刻蚀。典型深宽比的值是多少?
33. 列举并描述CVD过程中同步淀积 – 刻蚀的5个阶段。
34. 讨论ILD介电常数的重要性。
35. 解释互连延迟。为什么减小 ILD 的介电常数有好处?
36. 高 k 材料的应用是什么? 为什么需要用高 k 材料?
37. 什么是LOCOS和STI? 为什么在高级IC中, STI取代了LOCOS?
38. 列举 STI 的工艺步骤。
39. 什么是旋涂玻璃? 解释旋涂绝缘介质及其在未来中的应用。
40. 什么是外延? 解释自掺杂和外扩散。
41. 列举并讨论外延的三种方法。

淀积设备供应商网站

Amtech Systems Inc.	http://www.amtechsystems.com/
Applied Materials	http://www.appliedmaterials.com/products/
ASM	http://www.asm.com/
CVC Incorporated	http://www.cvc.com/
CVD Equipment Corporation	http://www.cvdequipment.com/
Genus Incorporated	http://www.genus.com/
Kokusai Semiconductor Equipment	http://www.ksec.com/
Novellus Systems Inc.	http://www.novellus.com/index.htm
TEL, Tokyo Electron Ltd.	http://www.teainet.com
Tystar Corporation	http://www.tystar.com/

参考文献

1. R. Liu, “Metallization,” *USLI Technology*, ed. C. Change and S. Sze (New York: McGraw-Hill, 1996), p. 379.
2. R. Jackson et al., “Processing and Integration of Copper Interconnects,” *Solid State Technology* (March 1998): p. 49.
3. S. Nag et al., “Low-Temperature Pre-Metal Dielectrics for Future ICs,” *Solid State Technology* (September 1998): p. 69.

4. P. Singer, "The Future of Dielectric CVD: High-Density Plasmas?" *Semiconductor International* (July 1997): p. 134.
5. S. Sivaram, *Chemical Vapor Deposition: Thermal and Plasma Deposition of Electronic Materials* (New York: Van Nostrand Reinhold, 1995), p. 2.
6. Adapted from S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1 *Process Technology*, 2nd ed., (Sunset Beach, CA: Lattice Press, 2000) pp. 108–114.
7. J. Baliga, "Options for CVD of Dielectrics Include Low-*k* Materials," *Semiconductor International* (June 1998): p. 139.
8. C. Rye et al., "Barriers for Copper Interconnections," *Solid State Technology* (April 1999): p. 53.
9. P. Singer, "Film Stress and How to Measure It," *Semiconductor International* (October 1992): p. 54.
10. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: John Wiley & Sons, 1994), p. 522.
11. Ibid.
12. G. Anner, *Planar Processing Primer* (New York: Van Nostrand Reinhold, 1990), p. 361.
13. G. Anner, *Planar Processing Primer*, p. 361.
14. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology* (Sunset Beach, CA: Lattice Press, 1986), p. 151.
15. A. Jones and P. O'Brien, *CVD of Compound Semiconductors: Precursor Synthesis, Development and Applications* (Weinheim, Germany: VCH, 1997), p. 31.
16. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, p. 151.
17. Ibid., p. 154.
18. Ibid., p. 154.
19. G. Anner, *Planar Processing Primer*, p. 365.
20. SEMATECH, "Desposition Processes," *Furnace Pro-cesses and Related Topics* (Austin, TX: SEMATECH, 1994), p. 6.
21. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., p. 532.
22. S. Nag et al., "Low-Temperature Pre-Metal Dielectrics," p. 69.
23. J. Baliga, "Options for CVD of Dielectrics," p. 140.
24. H. Cheng, "Dielectric and Polysilicon Film Desposi-tion," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 211.
25. M. Hammond, "Introduction to Chemical Vapor Deposition," *Solid State Technology* (December 1979): p. 61.
26. S. Ghandhi, *VLSI Fabrication Principles*: *Silicon and Gallium Arsenide*, 2nd ed., p. 529.
27. G. Schwartz and K. Srikrishnan, "Interlevel Dielectrics," *Handbook of Semiconductor Intercon-nection Technol-ogy*, ed. G. Schwartz, K. Srikrishnan, and A. Bross (New York: Marcel Dekker, 1998), p. 231.
28. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies* (Boston: Kluwer Academic Publishers, 1995), p. 118.
29. J. Baliga, "Options for CVD of Dielectrics," p. 140.
30. G. Schwartz and K. Srikrishnan, "Interlevel Dielectrics," p. 233.
31. H. Cheng, "Dielectric and Polysilicon Film Deposition," *ULSI Technology*, p. 211.

32. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., p. 524.
33. Ibid., p. 520.
34. C. Gugliemini and A. Johnson, "Properties and Reactivity of Chlorine Trifluoride," *Semiconductor International* (June 1999): p. 162.
35. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., p. 529.
36. H. Cheng, "Dielectric and Polysilicon," p. 225.
37. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Vol. 1, *Process Technology*, 2nd ed., p. 175.
38. Y. Trouiller et al., "Inorganic Bottom ARC SiO_xN_y for Interconnection Levels on 0.18 μm Technology," *SPIE* 3508, (1998), p. 122.
39. L. Peters, "Pursuing the Perfect Low-*k* Dielectric," *Semiconductor International* (September 1998), p .122.
40. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 125.
41. Ibid.
42. SEMATECH, "Desposition Processes," *Furnace Processes and Related Topics*, p. 35.
43. C. Apblett et al., "Silicon Nitride Growth in a High-Density Plasma System," *Solid State Technology* (November 1995): p. 73.
44. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., p. 535.
45. E. Korczynski, "HDP-CVD: Trying to Lasso Lightning," *Solid State Technology* (April 1996): p. 63.
46. P. Singer, "Future of Dielectric CVD," p. 128.
47. P. Burggraaf, "Advanced Plasma Sources: What's Working?" *Semiconductor International* (May 1994): p. 57.
48. J. Bondur et al., "Impact of Electrostatic Chuck Performance on HDP CVD SiO_2 Films," 52nd Symposium on Semiconductors and Integrated Circuits Technology, Osaka, Japan.
49. P. Singer, "Future of Dielectric CVD," p. 127.
50. E. Korczynski, "HDP-CVD," p. 64.
51. P. Singer, "Future of Dielectric CVD," p. 127.
52. Ibid.
53. L. Peters, "Pursuing the Perfect Low-*k* Dielectric," p. 68.
54. M. Bohr, "Interconnect Scaling—The Real Limiter to High Performance ULSI," *Solid State Technology* (September 1996): p. 105.
55. S. Murarka, "Low Dielectric Constant Materials for Interlayer Dielectric Applications," *Solid State Technology* (March 1996): p. 83.
56. D. Kotecki, "High-*k* Dielectric Materials for DRAM Capacitors," *Semiconductor International* (January 1998): p. 38.
57. P. Singer, "Wafer Processing: New Gate Dielectric Material Needed," *Semiconductor International* (January 1998): p. 38.
58. P. Van Cleemput et al., "HDPCVD Films Enabling Shallow Trench Isolation," *Semiconductor International* (July 1997): p. 180.
59. Ibid., p. 182.
60. L. Peters, "Choices and Challenges for Shallow Trench Isolation," *Semiconductor International* (April 1999): p. 69.

61. R. Liu, "Metallization," p. 419.
62. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 569.
63. T. Batchelder et al., "In-Line Cure of SOD Low-*k* Films," *Solid State Technology* (March 1999): p. 29.
64. L. Peters, "Pursuing the Perfect Low-*k* Dielectric," p. 66.
65. S. Campbell, *The Science and Engineering of Microelectronic Fabrication* (New York: Oxford University Press, 1996), p. 340.
66. L. Peters, "Is the 0.18 μm Node Just a Roadside Attraction?" *Semiconductor International* (January 1999): p. 52.
67. R. Jaeger, *Introduction to Microelectronic Fabrication* vol. V, (Reading, MA: Addison-Wesley, 1988), p. 125.
68. S. Campbell, *Science and Engineering*, p. 347.
69. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., p. 283.
70. P. J. Wang, "Epitaxy," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 124.
71. A. Thompson, R. Stall, and B. Kroll, "Advances in Epitaxial Deposition Technology," *Semiconductor International* (July 1994): p. 173.
72. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 102.

第12章　金　属　化

金属化是芯片制造过程中在绝缘介质薄膜上淀积金属薄膜以及随后刻印图形以便形成互连金属线和集成电路的孔填充塞的过程。这一过程类似于汽车工业中用表面绝缘的铜线连通所有电组件以形成全功能的电系统。金属线被夹在两个介质绝缘层中间形成电整体。高性能的微处理器用金属线在一个芯片上连接几千万个器件。随着互连复杂性的相应增加，到2010年，每个芯片上晶体管的密度预计将达到十亿个。

由于需要减小信号的传播延迟，对于未来集成电路的性能来说微芯片的互连技术已经成为关键的挑战。由于超大规模集成电路组件的密度增加，互连电阻和寄生电容也会随之增加，因此降低了信号的传播速度。

在芯片制造技术中，目前刚刚起步的明显变化是减小金属互连的电阻率ρ，这种减小通过用铜取代铝作为基本的导电金属而实现。对深亚微米的线宽，需要低k层间介质（ILD）。电容导致信号延迟，降低介电常数将减少寄生电容。

传统上认为，在芯片上淀积金属薄膜的过程是物理过程，另一方面淀积绝缘和半导体层的过程涉及在第11章中研究过的CVD化学反应过程。随着新的IC金属化技术引入，这种物理和化学过程的分界线变得越来越模糊。

目标

通过本章的学习，你将能够：

1. 解释金属化。
2. 列出并描述在芯片制造中的6种金属，讨论它们的性能要求并给出每种金属的应用。
3. 解释在芯片制备过程中使用铜金属化的优点，描述应用铜的挑战。
4. 叙述溅射的优点和缺点。
5. 描述溅射的物理过程，讨论不同的溅射工具及其应用。
6. 描述金属CVD的优点和应用。
7. 解释铜电镀的基础。
8. 描述双大马士革法的工艺流程。

12.1　引言

芯片金属化是应用化学或物理处理方法在芯片上淀积导电金属薄膜的过程。这一过程与介质的淀积紧密相连，金属线在IC电路中传导信号，介质层则保证信号不受邻近金属线的影响。金属和介质都是薄膜处理工艺，在某些情况下金属和介质是由同种设备淀积的。

金属化对不同金属连接有专门的术语名称。互连（interconnect）意指由导电材料，如铝、多晶硅或铜制成的连线将电信号传输到芯片的不同部分。互连也被用做芯片上器件和整个封装之间普通的金属连接。接触（contact）是指硅芯片内的器件与第一金属层之间在硅表面的连接。通孔（via）是穿过各种介质层从某一金属层到毗邻的另一金属层形成电通路的开口。“填充薄膜”是指用金属薄膜填充通孔，以便在两金属层之间形成电连接。这些连接在图12.1中阐明。

金属互连结构

复合金属互连

具有钨塞的通孔互连结构

层间介质

局部互连（钨）

初始金属接触

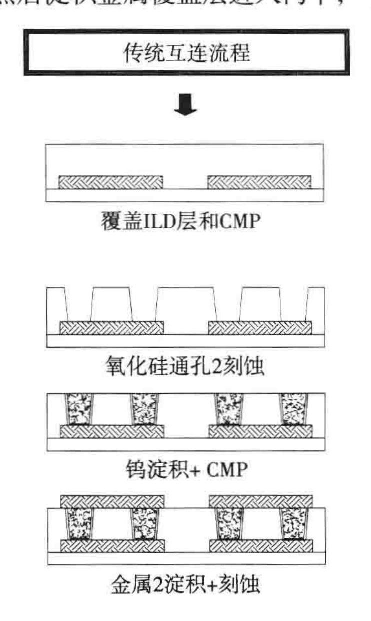
在硅衬底中扩散的有源区

亚0.25 μm CMOS剖面

图 12.1　多层金属化

层间介质（ILD）是绝缘材料，它分离了金属之间的电连接。ILD一旦被淀积，便被光刻成图形、刻蚀以便为各金属层和硅之间形成通路。用金属填充通孔，通常是钨（W），形成通孔填充薄膜。在一个芯片上有许多通孔，据估计，一个300 mm见方单层芯片上的通孔数达到一千亿个[1]。在一层ILD中制备通孔的工艺，在芯片上的每层中都被重复。在传统的金属化过程中，铝合金金属覆盖层被淀积在介质层上，然后被光刻成图形、刻蚀形成金属连线。对传统的金属化来说，金属刻蚀是一个重要的技术。

金属化正处在一个过渡时期，随着铜冶金术的介入正经历着快速变化以取代铝合金。这种变化源于刻蚀铜很困难，为了克服这个问题，铜冶金术应用双大马士革（dual damascene）法处理，以形成通孔和铜互连（将在本章后面解释）。这种金属化过程字面上与传统的金属化过程相反（见图12.2）。首先大马士革方法淀积介质覆盖层、平整化介质、光刻成图形、在介质层为通孔和连接金属线刻蚀孔或者沟，然后淀积金属覆盖层进入沟中，平坦化、研磨金属层直到介质层表面以确定金属互连。



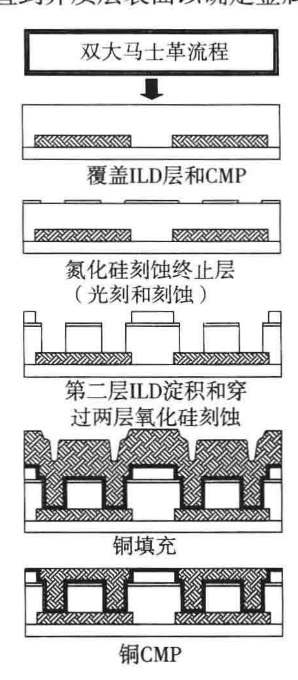
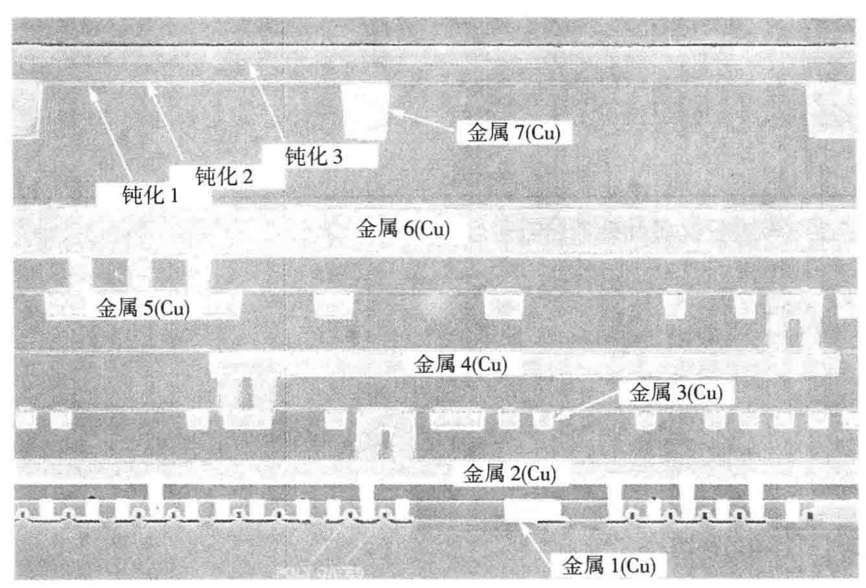


图 12.2　传统和大马士革金属化比较

金属化技术就像第 11 章中所解释的那样，对于提高高级 IC 的性能很关键。对于旧 IC 技术而言，由互连线引起的信号延迟使得芯片的性能降低不是关注的焦点。因为在传统器件中，主要信号延迟是由器件引起的。然而，对新一代 ULSI 产品制造业而言情况就不同了，金属布线越密，互连线引起的信号延迟占去时钟周期的部分就越大，对 IC 性能的制约影响也越大[2]。



铜金属化

（承蒙 Integrated Circuit Engineering 允许使用显微照片）

12.2　金属类型

以提高性能为目的、用于芯片互连的金属和金属合金的类型正在发展，对一种成功的金属材料的要求是[3,4]：

1. **导电率：** 为维持电性能的完整性，必须具有高导电率，能够传导高电流密度。
2. **粘附性：** 能够粘附下层衬底，容易与外电路实现电连接。与半导体和金属表面连接时接触电阻低。
3. **淀积：** 易于淀积并经相对的低温处理后具有均匀的结构和组分（对于合金）。能够为大马士革金属化工艺淀积具有高深宽比的间隙。
4. **刻印图形/平坦化：** 为刻蚀过程中不刻蚀下层介质的传统铝金属化工艺提供具有高分辨率的光刻图形；大马士革金属化易于平坦化。
5. **可靠性：** 为了在处理和应用过程中经受住温度循环变化，金属应相对柔软且有较好的延展性。
6. **抗腐蚀性：** 很好的抗腐蚀性，在层与层之间以及下层器件区具有最小的化学反应。
7. **应力：** 很好的抗机械应力特性以便减少硅片的扭曲和材料失效，比如断裂、空洞的形成和应力诱导腐蚀。

常见于硅片制备和硅工艺的不同金属熔点、电阻率列在表 12.1 中[5]。

表 12.1 硅和硅片制造业中所选择的金属（在 20°C）

材料	熔点(°C)	电阻率(μΩ-cm)
硅（Si）	1412	≈ 10^9
掺杂的多晶硅	1412	≈ 500 到 525
铝（Al）	660	2.65
铜（Cu）	1083	1.678
钨（W）	3417	8
钛（Ti）	1670	60
钽（Ta）	2996	13 到 16
钼（Mo）	2620	5
铂（Pt）	1772	10

在硅片制造业中各种金属和金属合金可组合成下列种类:

- 铝
- 铝铜合金
- 铜
- 阻挡层金属
- 硅化物
- 金属填充塞

12.2.1 铝

在半导体制造业中，最早的互连金属是铝，而且它在硅片制造业中仍然是最普通的互连金属。被认为铝作为制造业中主要互连金属的情形将持续几年[6]。为在21世纪初期取得高性能IC制造，铜互连金属有望取代铝。然而，由于基本工艺中许多同样的挑战今天依然存在，所以回顾选择铝金属化的背景是有益的。

■ 选择铝 与硅以及二氧化硅相同，铝是用于硅片制造中最主要的材料之一。在制造硅片时，铝以薄膜的形式在硅片中连接不同器件（见图 12.3）。同时，铝是淀积在硅片上的最厚的薄膜之一，第一层金属厚约 5000 Å。在硅片上，上层非关键层（例如，具有焊接区的金属层）其厚度能达到 20 000 Å。

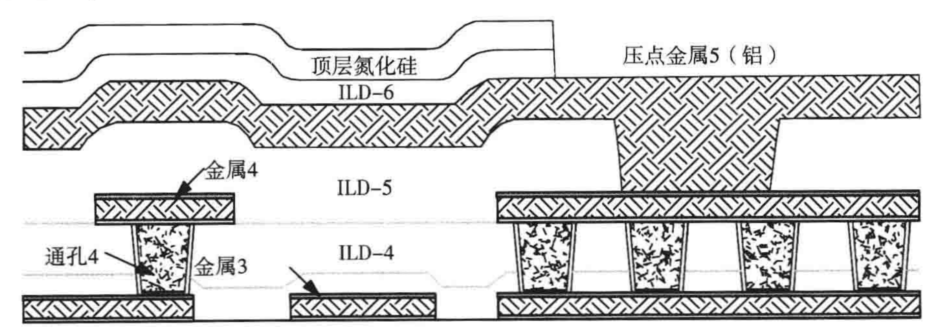


图 12.3 铝互连

铝在 20°C 时具有 2.65 μΩ-cm 的低电阻率，但比铜、金、银的电阻率稍高。然而铜和银都比较容易腐蚀，在硅和二氧化硅中有高的扩散率，这些都阻止它们被用于半导体制造。金和银比铝昂贵得多，而且在氧化膜上附着不好。金在硅片制造的初期有时被应用，但由于与硅的高接触电阻使得

它需要有一层铂作为过渡层。另一方面，铝能够很容易和氧化硅反应，加热形成氧化铝（Al_2O_3），这促进了氧化硅和铝之间的附着。铝能够轻易淀积在硅片上，可用湿法刻蚀而不影响下层薄膜。基于这些原因，铝作为首选的金属应用于金属化。

综上所述，在硅IC制造业中，铝和它的主要过程是兼容的，并且成本相对低廉，从IC制造的早期开始就选择它作为金属化的材料。然而，由于硅片上电路集成度的增加，金属布线层数的增加，线宽划分得越来越细，金属化工艺已经从简单的单层发展到多层金属布线。由于铜具有更低的电阻率，因此它有望取代铝成为主要的互连金属材料。

■ **欧姆接触**　在大规模集成电路（VLSI）以前，纯铝被用于金属化。硅的熔点为1412°C，而纯铝的熔点为660°C。然而，铝和硅熔合形成的合金实际上有更低的熔点，实际熔点依据它们的组分而定，例如：铝含量占88.7%，硅含量占11.3%的合金，其熔点为577°C。这个温度被称为最低可熔化的温度[7]，它是合金在特殊组分下的最低可熔化温度。

为了在铝和硅之间形成接触，加热界面是必要的。这一过程通常在惰性气体或还原的氢气环境中，在450到500°C进行。这个加热烘烤过程也被称为低温退火或烧结。在硅上加热烘烤铝形成期望的电接触界面，被称为欧姆接触。欧姆接触有很低的电阻（其接触界面的伏–安特性曲线满足欧姆定律）。但与欧姆接触相联系的小电阻与接触面积成反比，即接触面积越小，电阻越大。在现代芯片设计中，欧姆接触用特殊的难熔金属（如以硅化物形式出现的钛），在硅表面作为接触以减小电阻、增强附着（见图12.4）。欧姆接触是应用自对准硅化过程制备的，使它很准确位于源/漏的上方并且非常靠近栅结构。这一自对准硅化过程将在本章后面讨论。

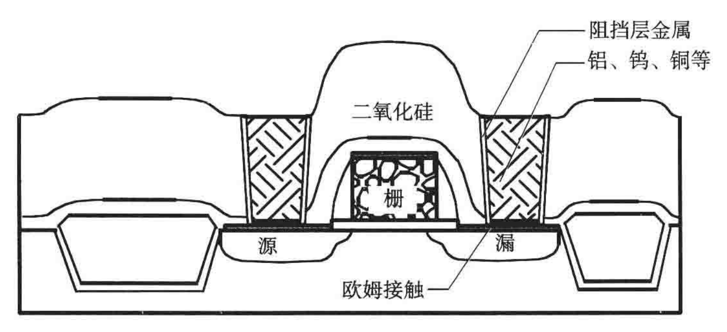


图12.4　欧姆接触结构

在某些特殊的芯片上有上亿个接触点，为了获得良好的电性能，一个可靠的具有低电阻和牢固附着的界面是非常重要的。在测试和使用期间，任何单个接触点的失效都有可能引起整个芯片的失效。

在改进欧姆接触早期工作中遇到的困难是：在加热过程中，铝和硅之间出现了不希望出现的反应。该反应导致接触金属和硅形成微合金，这一过程被称为结“穿通”。当纯铝和硅界面被加热时（见图12.5）结尖刺发生，并导致硅向铝中扩散。硅溶解在铝中的量是不均匀的，它取决于加热过程的时间和温度。如果纯铝被加热到450°C，并且提供了硅源，硅将开始溶解在铝中，直到它的浓度达到约0.5%为止[8]。这里的硅源就是硅片，问题在于硅溶解时，硅片中随后留下了空洞，允许穿通形成，结果渗透到硅接触区。如果铝形成一个浅结形的欧姆接触，结尖刺有可能引起结短路。

结尖刺的问题可通过在铝中添加硅和阻挡层金属化两种方法解决。第一种方法是利用铝和硅的合金而不是纯铝。如果铝中已经有硅，那么硅从衬底向铝中溶解的速度将会减慢。然而硅在铝中形成合金的量是有限的，由于硅在铝凝结，可能导致节结（小的硅高浓度区域）的形成。节结的形成，

可能明显地增加接触电阻,并且在节结点的局部加热可能引起可靠性严重下降。解决结尖刺问题的主要方法是引入阻挡层金属化以抑制扩散(参见下节)。

接触界面的氧化硅要尽可能薄,这很重要。在放进淀积腔体之前,曝露在外接触区的硅片常常被浸在稀释过的氢氟酸溶液中。这将在接触形成之前清除表面本身的氧化层。

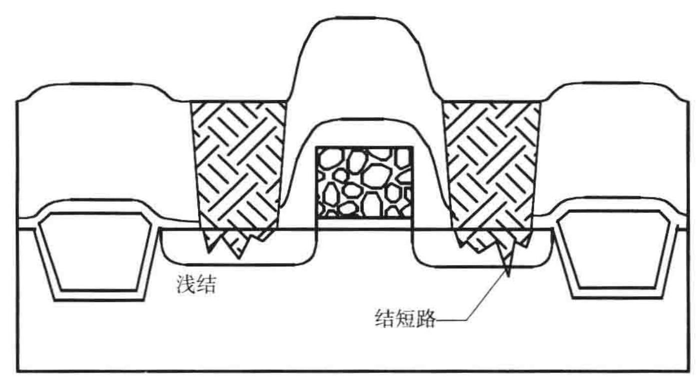


图 12.5 结“穿通”

12.2.2 铝铜合金

由于铝的低电阻率及其与硅和硅片制造工艺的兼容性,因此它被选择作为IC的主要互连材料。然而铝有众所周知的电迁徙引起的可靠性问题。由于动量从传输电流的电子转移,引起铝原子在导体中移动[9],在大电流密度的情形下,电子和铝原子碰撞,引起原子逐渐移动。原子的移动导致原子在导体负极的损耗。在导体中,哪里发生原子损耗,哪里就会产生空洞(void),引起连线减薄,一个潜在的可能是引起断路。在导体的其他区域,有金属原子堆积,金属原子堆起来形成小丘(见图12.6)[10]。由于电迁徙,小丘在金属薄膜的表面鼓出,如果过多或大量的小丘形成,毗邻的连线或两层之间的连线有可能短接在一起。在超大规模集成电路技术、高级电路的设计中,芯片温度会随着电流密度而增加,这两者都会使芯片的金属化铝更易于引起电迁徙。

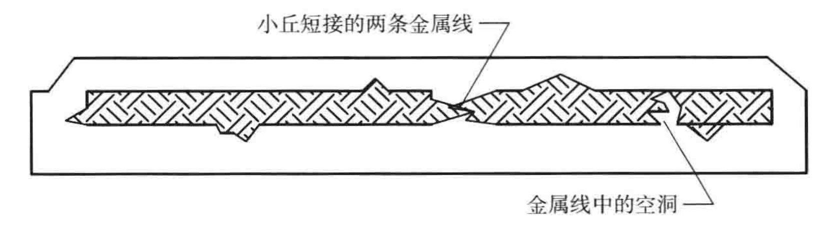


图 12.6 小丘在金属连线上

由铝和铜形成的合金,当铜的含量在0.5%到4%之间时,其连线中的电迁徙得到控制。通过减少铝中颗粒之间界面的扩散效果,使得形成的合金从根本上增加了传输电流的能力。同时也表明:当铜在铝中的含量超过8%时,实际电迁徙将增加[11]。铜的添加而减少铝铜合金中电迁徙失效的确切原因,目前尚不十分清楚[12]。如果铜和铝形成合金,更需要关心的是,用等离子体刻蚀形成的铝合金(参见第16章)。铜难于刻蚀,刻蚀铝合金互连线后任何剩余通过的铜却可能促使侵蚀发生[13]。在接触孔和通孔也可能有电迁徙的问题。接触孔的电迁徙失效问题可通过阻挡层金属化解决。

电迁徙或许是集成电路中最广泛研究的失效机制问题之一。这种失效机制的研究始于20世纪50年代,随着半导体的发展而发展。由于铝导体中裂缝的形成而引起失效的发现,使得这一研究在

20 世纪 60 年代末期得到了加强[14]。电迁徙的结果是：在芯片使用一段时间后经常发生，这意味着客户使用期间发生灾难性的失效。

12.2.3　铜

在 IC 设计和制造中，由于铜互连技术的引入，一个主要的转化正在起步。随着铜在芯片性能方面取得明显的优势，铜互连线将取代铝金属化。有人可能要问一个合理的问题：在过去数年间，铝的性能都非常好，为什么还要引入铜？

■ **对铜的需要**　IC 互连金属化引入铜的优点是[15]：

1. **电阻率的减小**。在 20°C 时，互连金属线的电阻率从铝的 2.65 μΩ-cm 减小到铜的 1.678 μΩ-cm，减少 RC 的信号延迟，增加芯片速度。
2. **减少了功耗**。减少了线的宽度，降低了功耗。
3. **更高的集成密度**。更窄的线宽，允许更高密度的电路集成，这意味着需要更少的金属层。
4. **良好的抗电迁徙性能**。铜不需要考虑电迁徙问题。
5. **更少的工艺步骤**。用大马士革方法处理铜具有减少工艺步骤 20% 到 30% 的潜力。

当硅片制造的设计规则降到 0.15 微米线宽或更低时，在芯片上器件集成密度增加，允许更多的电信号从器件到器件快速传递（晶体管靠得越近，信号传递的距离越短）。高密度使得芯片的性能被改善，然而芯片改进仅在器件之间的互连系统被优化后才有可能实现。窄的线宽，导致导线电阻增加。由介质材料分开、间隔紧凑的导线在介质之间起到了一个电容的作用，由于电阻 R 和电容 C 的增加，使得性能下降。这情形就是在第 11 章中讨论过的信号延迟或互连延迟。如果电阻 R 和电容 C 两个参数中的一个或两个都减小，信号延迟将减少，使得芯片性能提高。

一个减小互连电阻的可能办法是增加导线的横截面积，但这与提高集成度的目的是相矛盾的，因为宽的导线将占据更多的空间。更小的 IC 特征尺寸，用更宽线宽的方法是行不通的。降低互连电阻 R，也会降低整个信号延迟，这就是半导体产业中重视铜的原因。当电阻被减小并通过应用低 k 值介质以及减薄阻挡层金属的厚度而减小电容 C 时，RC 信号延迟能获得理想的改进（见表 12.2）[16]。

表 12.2　与 0.25 微米器件比较互连延迟的变化

工艺技术	0.25 微米	0.18 微米	0.13 微米
传统互连技术			
● 铝 / 铜互连合金和氮化钛阻挡层金属	0	21%	93%
新一代技术：			
● 减少阻挡层的厚度	−10%		
● 低 k 值（3.0）介质		−27%	
● 双大马士革铜互连和填充薄膜			−16%

应用铜的另一个优点是：窄的线宽能传输等量电流，在每一金属层允许更高的集成密度。这一情形使得芯片上总金属层数减少，制造成本明显下降[17]。

铜相对而言是软金属，它有良好的抗电迁徙的特性，这对铝来说是一个普通的可靠性问题[18]。意味着用铜制造的芯片能处理更高的电功率密度，允许新产品应用的开发。表 12.3 就铜和铝在硅片制造中的特性和工艺做了比较[19]。

表 12.3　铝和铜之间特性和工艺的比较

特性 / 工艺	铝	铜
电阻率（μΩ-cm）	2.65（3.2 对铝其中含 0.5% 的铜）	1.678
抗电迁徙	低	高

（续表）

特性/工艺	铝	铜
空气中抗侵蚀	高	低
刻蚀工艺	可以	不可以
化学机械平坦化工艺	可以	可以

■ **对铜的挑战** 与传统的铝互连比较，用铜作为半导体互连主要涉及三个方面的挑战，这些挑战明显不同于铝技术，在铜应用于IC互连之前必须被解决[20]：

1. 铜很快扩散进氧化硅和硅，这使人担心铜扩散进硅的有源区（如：晶体管的源/漏/栅区）而损坏器件，因为这将引起结或者氧化硅漏电。
2. 应用常规的等离子体刻蚀工艺（参见第16章），铜不能容易形成图形。干法刻蚀铜时，在它的化学反应期间不产生挥发性的副产物，而这对于经济的干法刻蚀是必不可少的。
3. 低温下（<200°C）空气中，铜很快被氧化，而且不会形成保护层阻止铜进一步氧化。

通过转变到双大马士革法、用为铜优化的阻挡层金属处理，这些挑战可被解决。大马士革法不需要刻蚀铜，此外钨填充希望被用做第一层金属与源、漏和栅区的接触[21]。应用钨克服了铜沾污硅（称为铜中毒）的问题，钨甚至可以被刻蚀成金属线用于局域互连（LI）。而用于多层金属的所有其他金属连线和通孔期望是铜。

半导体制造业中转变到铜的另一个主要妨碍是人们对把新材料引进产品的主观抵触。新材料意味着有新的污染源、新装备、新程序、不可预知的结果等。变化总会带来不可预见的问题，这对半导体制造商来说增加了冒险的因素。然而这些冒险能从改变互连材料进而改进IC性能中获得补偿。

12.2.4 阻挡层金属

提高欧姆接触可靠性更有效的方法是用阻挡层金属化，这种方法可消除诸如浅结材料扩散或结尖刺的问题。阻挡金属层是淀积金属或金属塞，作用是阻止层上下的材料互相混合（见图12.7）。阻挡金属层的厚度在特征尺寸为0.25 μm那一代器件中的典型值约100 nm，而在0.35 μm那一代器件中的厚度为400到600 nm，阻挡金属层厚度在0.18 μm或更小的器件中计划减到23 nm或更少[22]。

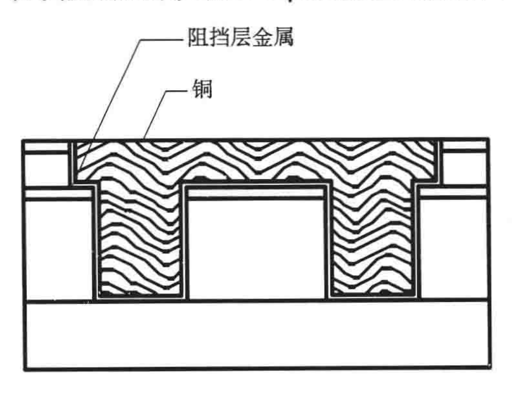


图12.7 用于铜互连结构的阻挡层

阻挡层金属在半导体制造业中被广泛应用。为了连接铝互连金属线和硅源漏之间的钨填充薄膜接触，阻挡层金属阻止了硅和钨相互进入接触点，也阻止了钨和硅的扩散以及任何结尖刺。

可接受的阻挡层金属的基本特性是：

1. 有很好的阻挡扩散特性，结果分界面两边材料（如钨和硅）的扩散率在烧结温度时很低（烧结温度参考通过加热方式结合这两种材料的温度）。

2. 高电导率具有很低的欧姆接触电阻。
3. 在半导体和金属之间有很好的附着。
4. 抗电迁徙。
5. 在很薄并且高温下具有很好的稳定性。
6. 抗侵蚀和氧化。

通常用做阻挡层的金属是一类具有高熔点组被认为是难熔的金属。在硅片制造业中，用于多层金属化的普通难熔金属有钛（Ti）、钨（W）、钽（Ta）、钼（Mo）、钴（Co）和铂（Pt）。20世纪60年代以来，难熔金属已经被用于硅片制造业，如双极工艺的肖特基势垒（Schottky barrier）二极管的形成。用钛作为阻挡层的优点是增强铝合金连线的附着、减小接触电阻、减小应力和控制电迁徙。为了得到好的阻挡特性，在淀积之前，硅片在真空腔经历了清除硅片上的自然氧化层和氧化物残留物等清理步骤（称做溅射刻蚀，将在后面部分解释）。

钛钨（TiW）和氮化钛（TiN）也是两种普通的阻挡层金属材料，它们禁止硅衬底和铝之间的扩散。TiN因其在铝合金互连处理过程中的优良阻挡特性，而被广泛用于超大规模集成电路的制造中。TiN具有为钨和铝作为阻挡层金属的功能。TiN也被广泛用做铝层上的抗反射涂层以改进光刻确定图形的过程（参见第14章）。然而TiN和硅之间的接触电阻不小。为了解决这个问题，在TiN被淀积之前，一薄层钛（典型厚度为几百埃或更少）被淀积，这层TiN能与下层的材料如硅（见下节硅化物的介绍）反应从而降低它的电阻。典型的作法是在集成设备里淀积Ti和TiN以避免氧化物在两层之间形成。

■ **铜阻挡层金属** 对铜冶金术来说阻挡层金属是关键的。铜在硅和二氧化硅中都有很高的扩散率，这种高扩散率将破坏器件的性能。传统的阻挡层金属对铜来说阻挡作用不够，铜需要由一层薄膜阻挡层完全封装起来，这层封装薄膜的作用是加固附着并有效地阻止扩散[23]。在这两个要求之间需要有一个平衡和折中，因为好的附着需要与铜有某种程度的反应；而好的阻挡层金属却需要和铜之间没有反应。对铜来说对这个特殊的阻挡层金属要求[24]：

1. 阻止铜扩散。
2. 低薄膜电阻。
3. 对介质材料和铜都有很好的附着。
4. 与化学机械平坦化过程兼容。
5. 具有很好的台阶覆盖，填充高深宽比间隙的金属层是连续、等角的。
6. 允许铜有最小厚度，占据最大的横截面积。

对于铜互连冶金术来说，钽、氮化钽和钽硅氮（TaSiN）都是阻挡层金属的待选材料（见图12.8）。这个扩散阻挡层必须很薄（约75埃），以致它不影响具有高深宽比填充薄膜的电阻率而又能扮演一个阻挡层的角色。当几何尺寸不断缩小时，要求金属被淀积进具有高深宽比的通孔，这个条件实现起来很困难。研究表明Ta对铜来说有很好的阻挡和附着特性。然而TiN，作为Al/SiO_2互连的传统阻挡层金属，有很好的阻挡性能但附着更差[25]。如果用TaN，则通过注入少量氮气或淀积钽氮化合物来获得。研究还表明氮化钨（WN）也可以对金属铜起到有效阻挡层的作用[26]。一些为铜冶金阻挡层金属开发的研究正在进行之中。

铜的阻挡层能通过应用高密度等离子体CVD（HDPCVD）或者离子化了的金属等离子体物理气相淀积。就钽而言，离子化了的金属等离子体PVD取得了好的台阶覆盖。如果淀积进入具有高深宽比的间隙，那么HDPCVD阻挡层淀积常被选择[27]。

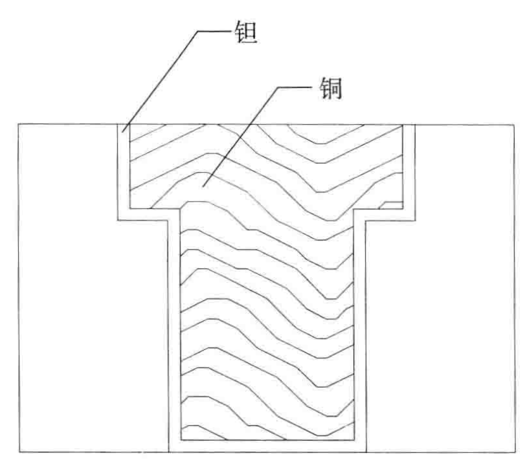


图 12.8 钽作为铜的阻挡层金属

12.2.5 硅化物

难熔金属与硅在一起发生反应，熔合时形成硅化物。硅化物是一种具有热稳定性的金属化合物，并且在硅/难熔金属的分界面具有低的电阻率(见图12.9)。在硅片制造业中，难熔金属硅化物是非常重要的，因为为了提高芯片性能，需要减小许多源漏和栅区硅接触的电阻。在铝互连技术中，钛和钴是用于接触的普通难熔金属。

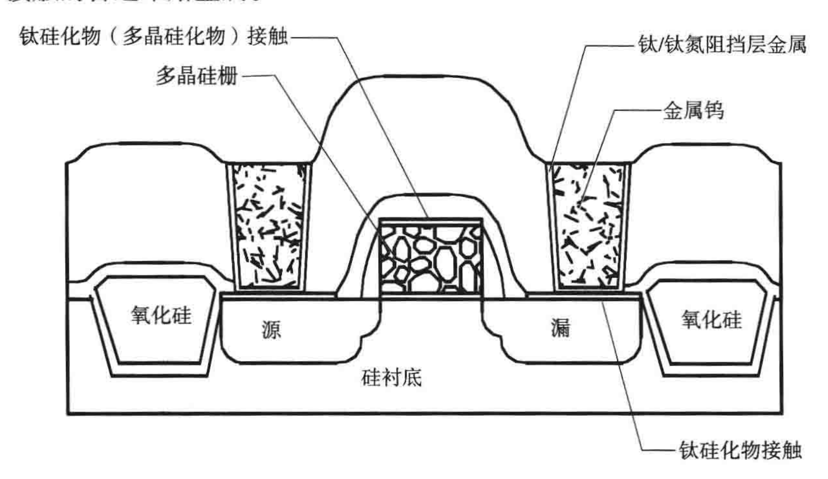


图 12.9 硅接触上的难熔金属硅化物

如果难熔金属和多晶硅反应，那么它被称为多晶硅化物(见图12.10)。掺杂的多晶硅被用做栅电极，相对而言它有较高的电阻率(约500 μΩ-cm)，正是这导致了不应有的RC信号延迟。多晶硅化物对减小连接多晶硅的串联电阻是有益的，同时它也保持了多晶硅对氧化硅好的界面特性。

在硅化物形成过程中，通过减少残留在硅表面的氧化硅而减小硅化物的接触电阻。硅化物对硅形成了一个非常好的冶金接触，并在接触金属和硅结区域用做一个关键的附着层。对相对高的最低熔解温度，许多硅化物在超过1000°C的温度是稳定的。表12.4列出了一些用于硅片制造的普通硅化物的特性[28]。最低的熔解温度是合金熔化的最低温度。硅化物熔化是不希望发生的，因为液态合金能延伸进入硅衬底材料并引起结尖刺。

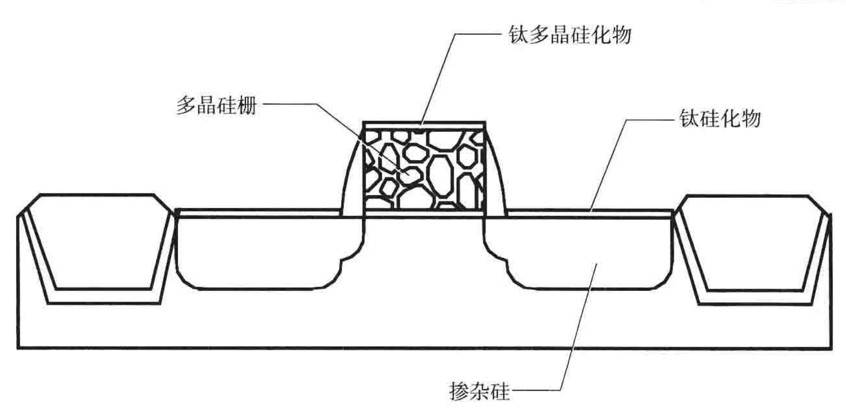


图 12.10　多晶硅上的多晶硅化物

表 12.4　硅化物的一些特性

硅化物	最低熔化温度（°C）	形成的典型温度（°C）*	电阻率（μΩ–cm）
钴/硅（$CoSi_2$）	900	550~700	13~19
钼/硅（$MoSi_2$）	1410	900~1100	40~70
铂/硅（PtSi）	830	700~800	28~35
钽/硅（$TaSi_2$）	1385	900~1100	35~55
钛/硅（$TiSi_2$）	1330	600~800	13~17
钨/硅（WSi_2）	1440	900~1100	31

* 摘自 B.El-Karch, *Fundamentals of Semiconductor Processing Technologies*, (Boston: Kluwer Academic Publishing 1995), p.537

硅化物的形成通常要求把难熔金属淀积在硅片上，接着进行高温退火处理以形成硅化物材料。在有硅的区域，金属与硅反应形成硅化物。在硅片表面的其他区域，如表面是氧化硅（SiO_2），有很少或没有硅化物形成。通常这个热退火步骤在一个多腔集成设备中使用快速热退火（RTA）处理。

$TiSi_2$对硅片制造而言，传统上已经是最普通接触的硅化物，它用做晶体管硅有源区和钨填充薄膜之间的接触。它通常被称为粘合剂，紧紧地把钨和硅粘合在一起。优点是高温稳定，与自对准接触处理过程兼容（在下节内容），比其他硅化物低的电阻率以及同TiN阻挡层金属的兼容性[29]。当$TiSi_2$被退火时形成两个不同的颗粒相（相是物理上的同类材料状态），一个是低温C49相，另一个是高温C54相（见图12.11），这两种相都是$TiSi_2$。

$TiSi_2$的C49相形成在退火温度为625°C到675°C之间，其电阻率为60至65 μΩ-cm；C54相形成在C49相形成以后的第二次退火，其退火温度约为800°C，电阻率较C49相低得多，仅为10到15 μΩ-cm，可期望它降低整个接触电阻[30]。

然而在编写本书时，$TiSi_2$作为接触硅化物，在亚0.25 μm技术未来的应用中似乎受到限制。对于超浅的源/漏结，接触层正在变薄。硅化物接触层的电阻率随着它的减薄而增加，因此$TiSi_2$不希望用做太薄的接触层[31]。另外，由于要求温度对临界时间控制，在第二次退火时形成这种接触也很困难。

对0.18 μm或更低的器件技术，钴硅化物（$CoSi_2$）似乎是有希望的硅化物。这种硅化物经退火处理以后，即使几何尺寸降到0.18 μm或更低的深亚微米，它的接触电阻值仍保持在一个降低了的水平13到19 μΩ-cm。$CoSi_2$的电阻之所以降低，是因为它的颗粒尺寸比$TiSi_2$的小了大约十倍。因此在热退火处理期间，低电阻相被完全成核并且长大。由于$CoSi_2$颗粒的尺寸较小，因此它的电接触也比较容易形成。

	烧结温度	电阻率
$TiSi_2$–C49	625 ~ 675°C	60 ~ 65 μΩ–cm
$TiSi_2$–C54	800°C	10 ~ 15 μΩ–cm

图 12.11 $TiSi_2$ 的退火相

注意硅化物不是阻挡层金属。在一些硅化物中发现，硅迅速地扩散穿过硅化物。扩散发生在金属－硅化物－硅系统的热处理过程中，硅扩散穿过硅化物进入到金属中，这降低了系统的完整性。解决这个问题的方法是在硅化物和金属化层之间淀积一层金属阻挡层。普通的硅化物阻挡层薄膜是氮化钛（TiN），它对钨和铝都有效。以钽为基础的阻挡层被期望应用于铜冶金。

■ 自对准硅化物 由于在优化超大规模和甚大规模集成电路的性能方面，需要进一步按比例缩小器件的尺寸，因此在硅源/漏和第一金属层之间电接触的横截面是很小的。这个小的接触面积导致接触电阻增加。一个可提供稳定接触结构、减小源和漏区接触电阻的工艺被称为自对准硅化物技术。自对准硅化物的方法（取自自对准硅化物的表述）被用于产生硅化物，它能很好地与露出的源、漏以及多晶硅栅的硅对准。许多芯片的性能问题取决于自对准硅化物的形成（见图 12.12）。

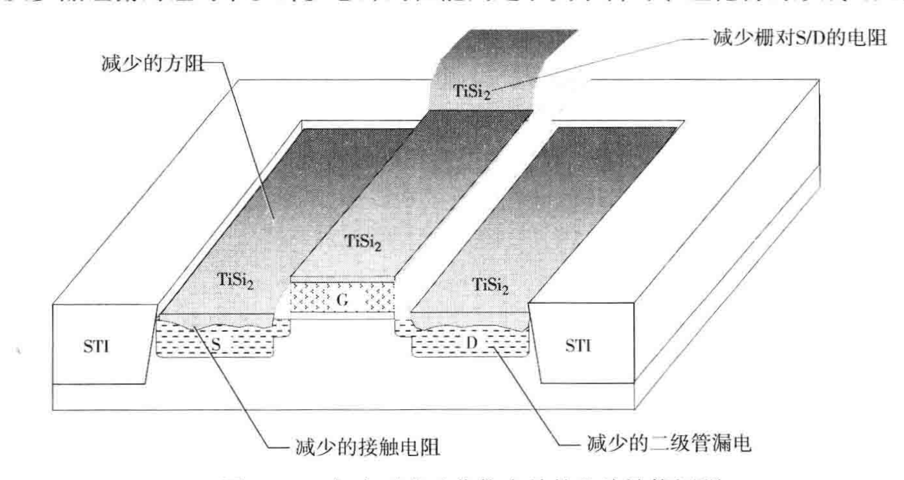


图 12.12 与自对准硅化物有关的芯片性能问题

基本的自对准硅化物步骤显示在图 12.13 中。这个工艺流程相应于第 9 章中描述的 CMOS 工艺流程的第 6 步。为了形成自对准硅化物，氧化硅先被淀积，然后用干法等离子体刻蚀反刻，以便在多晶硅栅的两边留下氧化硅侧墙绝缘分隔层（第 9 章中描述的 CMOS 工艺流程的第 5 步）。有了侧墙绝缘分隔层，仅顶部的多晶硅栅露出来。经过在 HF 中浸泡、去掉了自然氧化硅层的清洗步骤以后，250 至 350 Å 厚的金属钛层被淀积在硅片上。难熔金属经历了 600 到 800°C 的快速退火过程，形成具有高电阻率的 C49 钛硅化物相，任何地方与硅接触的难熔金属都是这个相。当用浅槽隔离氧化硅隔离器件时，侧墙避免了多晶硅栅的侧面露出以及 S/D $TiSi_2$ 的短路。经第一次快速退火处理后，

通过氢氧化铵（NH_4OH）和双氧水（H_2O_2）的湿法化学刻蚀去掉了所有未参与反应的钛。留下的$TiSi_2$覆盖在S/D区域和多晶硅栅的顶部。第二次快速硅化物退火在800至900°C之间进行，产生具有低电阻率的C54金属硅化物相。自对准硅化物过程的主要优点是避免了对准误差，如果光刻确定图形要求对准在硅上接触区的难熔金属，那么误差是不可避免的。退火阶段要小心避免炉管中氧气的污染，钛能很容易和氧反应形成不期望的氧化钛。氧化物沾污可能会促使硅化物形成于氧化硅侧墙的顶部，这会导致多晶硅栅和源或漏之间的短路。

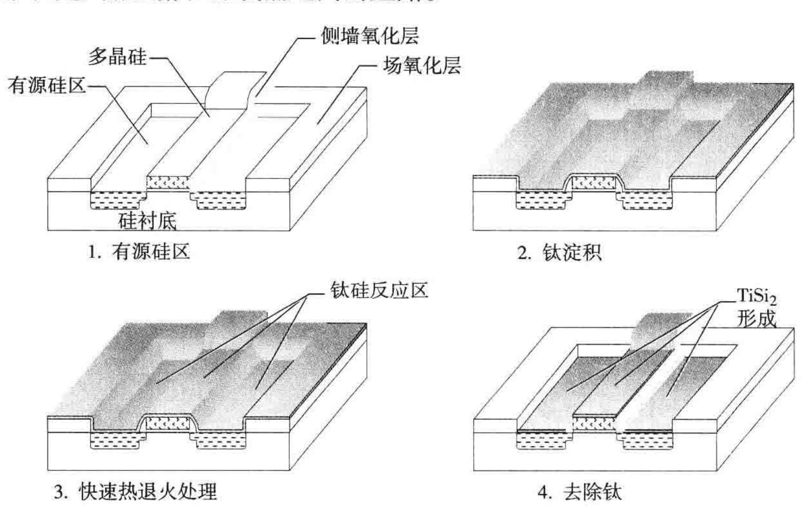


图12.13 自对准金属硅化物的形成

12.2.6 金属填充塞

多层金属化产生了对数以十亿计的通孔用金属填充塞填充的需要，以便在两层金属之间形成电通路。接触填充薄膜也被用于连接硅片中硅器件和第一层金属化。目前被用于填充的最普通的金属是钨，因此填充薄膜常常被称为钨填充薄膜（见图12.14）。当用化学气相淀积（CVD）的方法淀积薄膜时，钨具有均匀填充高深宽比通孔的能力，因此被选做传统的填充材料。钨可抗电迁徙引起的失效，因此也被用做阻挡层以禁止硅和第一金属层之间的扩散及反应。钨是难熔材料，熔点为3417°C，在20°C时，体的电阻率是52.8 μΩ-cm。

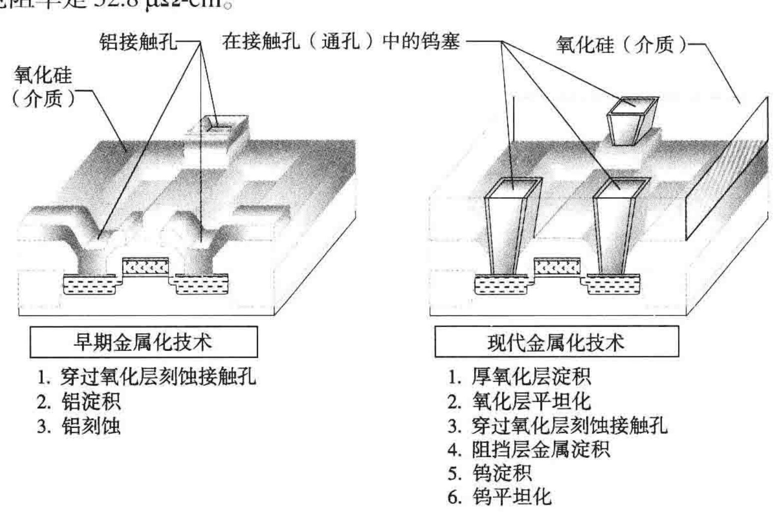


图12.14 多层金属的钨填充塞

铝因其低电阻率（2.65 μΩ-cm）而作为填充材料将是值得期望的，但溅射的铝不能填充具有高深宽比的通孔（见下节对溅射的描述）。基于这个原因，铝被用做互连材料，钨被限于做填充材料。不过回流铝填充薄膜的方法最近已经引起人们的兴趣，将铝通过溅射淀积进入通孔，然后用快速热处理（RTP）的方法进行高温回流[32]。

12.3 金属淀积系统

用于半导体制造业的传统金属化工艺归并到被称为物理气相淀积（PVD）一类。PVD开始是用灯丝蒸发实现的，接着是用电子束，最近是通过溅射。化学气相淀积已经成为淀积金属薄膜最常使用的技术。每次淀积系统的变化都在薄膜特性和质量的控制上取得了改进。

在小规模（SSI）和中等规模（MSI）半导体集成电路制造时代，蒸发是金属化方法。由于蒸发台阶覆盖的特性差，因此它首先被溅射取代。在研究领域和III-V半导体技术应用中，蒸发仍然被使用。它也被用于一些特殊领域，如封装期间C4凸点淀积（参见第20章）。

电镀技术已被用于各种应用领域。最近几年在磁盘驱动领域已被用于薄膜磁头金属化。然而作为半导体制造业中铜的淀积方法，电镀只是刚刚起步。被用于传统和双大马士革金属化的不同金属淀积系统是：

- 蒸发
- 溅射
- 金属CVD
- 铜电镀

12.3.1 蒸发

在半导体制造的早期，所有金属层都是通过蒸发PVD方法淀积的。为了获得更好的台阶覆盖、间隙填充和溅射速率，从20世纪70年代的后期开始，在大多数硅片制造技术领域溅射已经取代蒸发。然而回顾蒸发以理解它的运行机制和硅工业转到溅射的原因是很有益的。

蒸发由将待蒸发的材料放置进坩锅、在真空系统中加热并使之蒸发这些过程组成（见图12.15）。最典型的加热方法是利用电子束加热放置在坩锅中的金属。在蒸发器中通过保持高真空环境，蒸气分子的平均自由程增加，并且在真空腔里以直线形式运动，直到它撞到表面凝结形成薄膜。

蒸发的最大缺点是不能产生均匀的台阶覆盖。当产业进步到超大规模和甚大规模集成电路技术时，金属化需要能够填充具有高深宽比的孔，并且产生等角的台阶覆盖。通过加热硅片以及在具有半球形笼子的腔体里旋转硅片，在台阶覆盖方面取得了一些进步。然而蒸发技术在性能上不能形成具有深宽比大于1.0 : 1的连续薄膜，并且边缘部分的深宽比处于0.5 : 1到1.0 : 1之间。蒸发的这一缺点导致了它在IC生产中被淘汰。

蒸发的另一严重缺点是对淀积合金的限制。为了淀积由多材料组成的合金，蒸发器需要有多个坩锅，这是个因为不同材料的蒸气压不同而产生的问题。这个限制使得控制被淀积合金最后组分具有任意精度变得很困难。

最后，由于溅射系统改进了台阶覆盖能力，在硅片制造业中它迅速地取代了蒸发器。蒸发器仍然应用于研究领域和一些化合物半导体技术，实际上是将蒸发器差的台阶覆盖特性在特殊化处理过程中当做优点使用。除此，为了在芯片表面淀积焊料凸点，蒸发有时仍然被应用于芯片封装过程（参见第20章）。

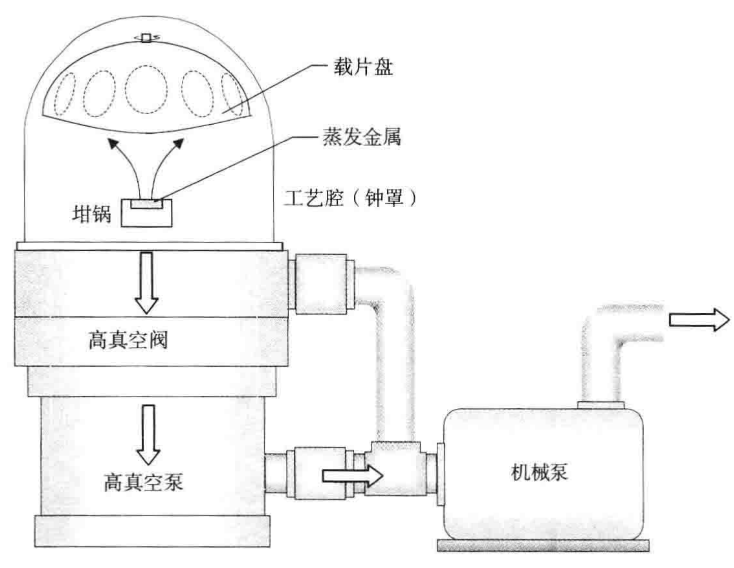


图 12.15 简单的蒸发装置

12.3.2 溅射

溅射是物理气相淀积形式之一，于1852年由William Robert Grove发现，并由Langmuir在上世纪20年代开发成为薄膜淀积技术[33]。就像它的名字所暗示的一样，溅射主要是一个物理过程，而非化学过程。在溅射过程中，高能粒子撞击具有高纯度的靶材料固体平板，按物理过程撞击出原子。这些被撞击出的原子穿过真空，最后淀积在硅片上。

溅射的优点是[34]：

1. 具有淀积并保持复杂合金原组分的能力。
2. 能够淀积高温熔化和难熔金属。
3. 能够在直径为200毫米或更大的硅片上控制淀积均匀薄膜。
4. 具有多腔集成设备，能够在淀积金属前清除硅片表面沾污和本身的氧化层（被称为原位溅射刻蚀）。

对于更早的金属化方法蒸发而言，溅射在间隙填充方面是一个大的改进。蒸发相对有限的台阶覆盖和填充高深宽比通孔的能力，使它不够应用于超大规模集成电路[35]。通过溅射以获得良好台阶覆盖、包括最近用离子化金属等离子体的方法在近几年取得了发展。对于关键应用，如钨填充塞的台阶覆盖，淀积过程通常由CVD金属过程来完成。溅射不断地用于淀积关键的阻挡层和种子层，如用于铜金属化的钽和氮化钽（当深宽比合理时）。

■ **基本溅射步骤** 溅射有6个基本步骤[36]：

1. 在高真空腔等离子体中产生正氩离子，并向具有负电势的靶材料加速。
2. 在加速过程中离子获得动量，并轰击靶。
3. 离子通过物理过程从靶上撞击出（溅射）原子，靶具有想要的材料组分。
4. 被撞击出（溅射）的原子迁移到硅片表面。
5. 被溅射的原子在硅片表面凝聚并形成薄膜，与靶材料比较，薄膜具有与它基本相同的材料组分，接下来薄膜生长的过程在第11章中介绍。
6. 额外材料由真空泵抽走。

为了阐述溅射过程，图12.16 画出了具有平行金属板的简单直流二极管溅射淀积腔体的基本构造。它由固体靶材料、衬底（硅片）和真空环境组成。靶接地被称为阴极，衬底具有正电势，被称为阳极，阳极和阴极都叫电极。溅射靶由需要溅射的材料组成。制造靶的要求是均匀的组分、合适的颗粒尺寸和具体的结晶学取向，所有这一切都是为了在整个硅片上获得均匀的薄膜淀积速率[37]。为了获得可接受的薄膜纯度应用于亚 0.25 μm 的几何尺寸，靶的纯度要求达到 99.999% 或者更高。

从氩气辉光放电产生的高密度阳离子被强烈吸引到负电极靶板，以高速率轰击靶板，撞击出原子以便淀积。从靶材料被溅射的原子在腔体中散开，最后一些停留在硅片和腔体壁上。使得一些系统中清理腔体成为必要。原子在硅片上成核并生长为薄膜。溅射应用的一个重要方面是溅射淀积合金，特别是铝硅和铝铜合金。例如，如果靶材料是铝含有1% 的铜，那么淀积的薄膜也是铝含有1% 的铜（在稳态条件下）。

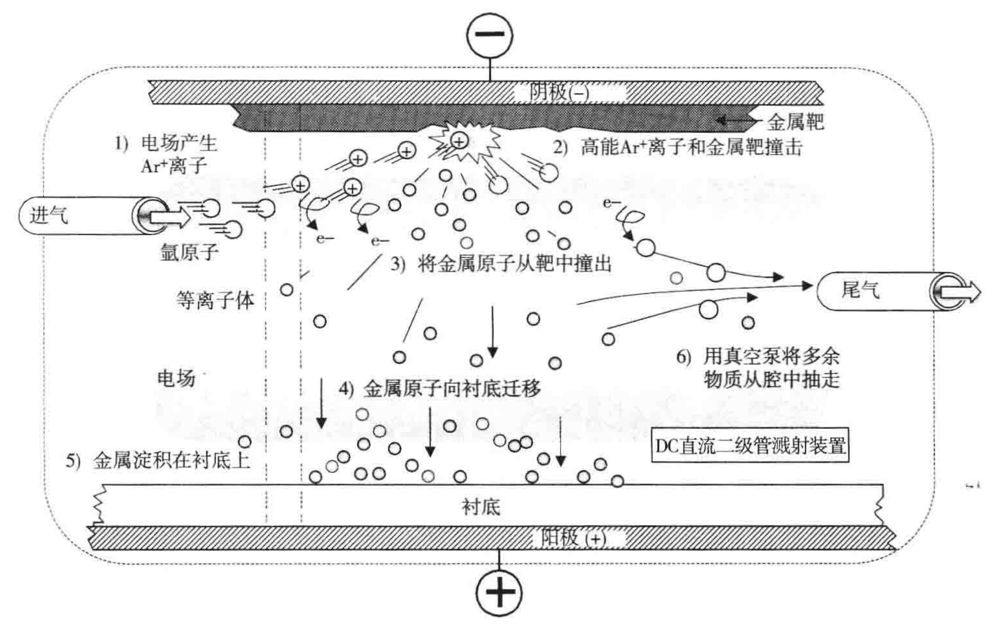


图 12.16　简单平行金属板直流二极管溅射系统

溅射装备系统最新技术是多腔集成设备。系统具有真空锁，能把单个硅片从硅片架里移动到系统的最低气压的背景真空；真空锁由双真空锁构成，这样可以将硅片从大气环境分级地移动到系统的最低气压的背景真空。专门为集成工具环境设计的自动机械传输系统从各种处理腔体和寄存腔体中移动硅片。自动机械装置操作不产生颗粒和极度稳定可靠是很重要的。多腔集成设备的自动机械传输通过磁耦合来实现，这样可使自动传输装置的驱动电动机安装在工艺腔的外面以减少颗粒。

为产生等离子体并保持被淀积薄膜的纯度，溅射腔体内的真空条件很重要，通常其初始真空度的要求是 10^{-7} 托。氩气进入工艺腔的速率很关键，因为它引起腔体中压力的上升。腔体中有氩气和被溅射的材料，压力上升到约 10^{-3} 托。工艺腔中热的高真空环境促使被溅射原子进入硅片表面上的薄膜。

■ **溅射中的物理学**　溅射的一个基本方面是氩气被离化形成等离子体（参见第 8 章）。氩被用做溅射离子，是因为它相对较重并且化学上是惰性气体，这避免了它和生长的薄膜或靶发生化学反应。如果一个高能电子撞击中性的氩原子，碰撞电离外层电子，产生了带正电荷的氩离子。这个具有能量的粒子被用于轰击带负电的靶材料以便被溅射。

溅射的机制　带正电荷的氩离子在等离子体中被阴极靶的负电位强烈吸引。当这些带电的氩离子通过辉光放电暗区的电压降时，它们加速并且获得动能（运动的能量）见第 8 章对辉光放电的描述）。当氩离子轰击靶表面时，氩离子的动量转移给靶材料以撞击出一个或多个原子。这一作用被称为动量转移。被撞出的单个或多个原子运动穿过等离子体（有很小的机率被电离）到达硅片表面。入射离子的能量必须大到能够撞击出靶原子，但又不太大以致渗透进入靶材料的内部。典型溅射离子的能量范围为 500 到 5000 eV。

溅射过程中从靶材料的表面撞击出金属原子的过程类似于撞球游戏中正在撞击的弹子球。即使撞球中的母球是朝一个方向前进的，弹子球也可能朝其他方向被撞出。同样的情况发生在溅射过程中，只不过这里是氩离子轰击靶，并且从靶的表面撞出一个或多个原子（见图 12.17）。

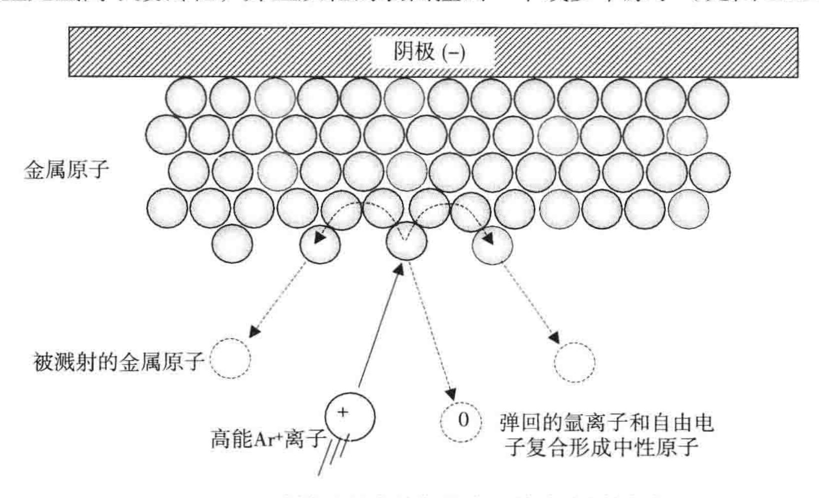


图 12.17　溅射过程中从靶的表面撞出金属原子

溅射产额定义为每个入射离子轰击靶（阴极）以后，由靶喷射出的原子数。产额很大程度决定了溅射淀积的速率。溅射产额在 0.5 至 1.5 之间变化，0.5 的溅射产额意指，平均来讲两个离子轰击一个靶，有一个原子被喷射出。溅射产额取决于下列条件[38]：

1. 轰击离子的入射角。
2. 靶材料的组分和它的几何因素。
3. 轰击离子的质量。
4. 轰击离子的能量。

增加溅射淀积速率的方法之一是把等离子体限制在靶和硅片之间的区域。由于离子化过程，在靠近靶的前面和侧面有暗区，暗区屏蔽罩被放置在靶侧面以防侧面被溅射，因为这些被溅射的材料永远不会淀积在硅片上。屏蔽罩需要定期清理，因为被溅射的靶材料堆积在屏蔽罩表面，这会引起颗粒污染。

靶因离子轰击而慢慢地被侵蚀，当大约 50% 或再多一点儿的靶被侵蚀掉时，就要求更换靶[39]。溅射过程中消耗掉的许多能量是以热的形式在靶中消耗掉的，或者由靶发射的二次电子和光子耗散掉的。基于这个原因，靶材料需要冷却以维持低的靶温。

除了被溅射的原子被轰击外，还有其他核素淀积在衬底上（见图 12.18）。这些核素给衬底加热（使温度达到350°C），引起了薄膜淀积不均匀。在铝的淀积过程中，高温也能产生不需要的铝氧化，这妨碍了溅射过程。在二极管溅射期间，许多核素撞击硅片表面，由于是对灵敏器件的辐射，也增加损坏的可能性。

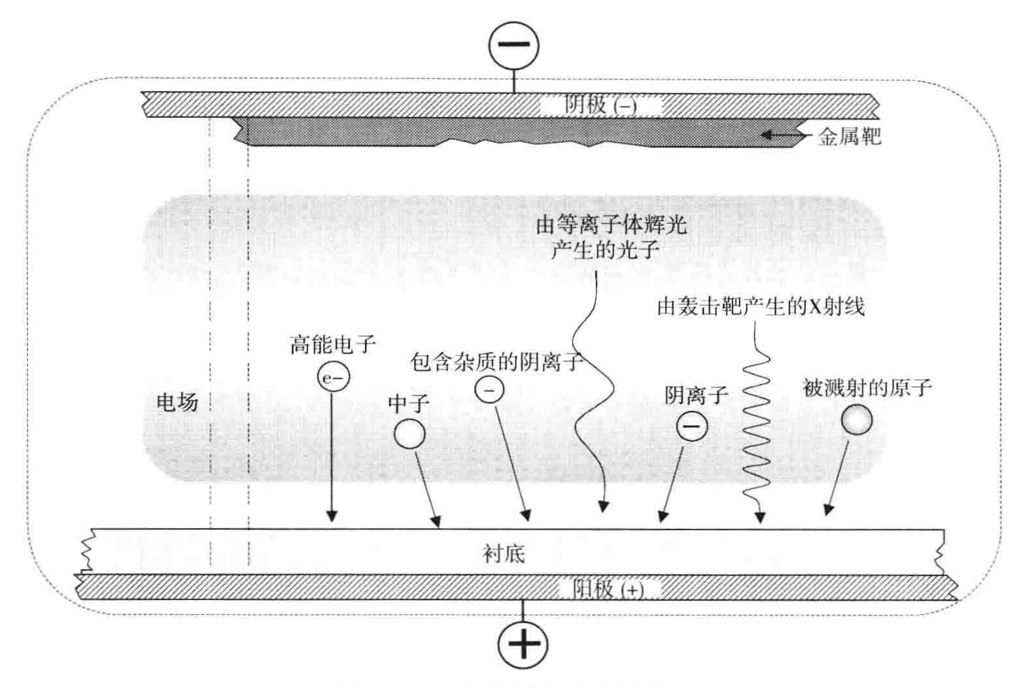


图 12.18 不同核素淀积在衬底上

注意，二极管溅射期间，气体中存在杂质原子。如果杂质原子掺杂进正在衬底上生长的薄膜，这将引起薄膜质量问题。这些污染源是：（1）不纯的溅射气体，（2）从承片台释放的气体，（3）从腔壁释放的气体，（4）真空系统的泄漏[40]。使用超高纯度（UHP）的溅射气体并且确认腔体没有任何泄漏是必不可少。

对每一个溅射系统阴极和阳极之间的空间必须进行优化，目的是让被溅射的原子尽可能多地被淀积在硅片上，形成满足要求的薄膜。

迄今描述的溅射系统是一个简单的直流二极管系统，它在两个电极（阴极和阳极）之间加了一个直流电压。直流二极管溅射系统的严重缺点限制了它在制造业中的使用。一个直流二极管型的溅射系统不能用于溅射介质，因为电极被介质覆盖，辉光放电不能够维持。正电荷将迅速聚集在靶上，这些聚集的正电荷将排斥入射的正电荷。直流二极管溅射也不能用于溅射刻蚀。溅射刻蚀（或反溅）是预清理步骤，这里溅射过程被颠倒，氩原子被用于清除那些污染接触和通孔的自然氧化薄层以及遗留刻蚀剩余物。换句话说，硅片被溅射而不是靶被溅射。溅射刻蚀预清理在多腔集成设备中是很重要的，因为它具有清理硅片后无须从真空环境中移出就能淀积的优点。

下面讨论三类溅射系统：

- RF（射频）
- 磁控
- IMP（离子化的金属等离子体）

简单的RF溅射系统因其固有的低效率，而不被用于硅片制造业。磁控是最广泛应用的传统溅射系统。离子化的金属等离子体对亚0.25微米技术来说正变得越来越普通。

■ RF 溅射 在RF溅射系统中，等离子体是由RF场而非上面所描述的DC场产生的。RF频率通常为13.56 MHz，加在靶电极的背面并通过电容耦合到前面（见图12.19）。等离子体中的电子

和离子都处在RF场的作用之下，但由于高频的缘故，电子的响应最强烈。腔体和电极的作用像一个二极管产生大量的电子流，导致负电荷堆积在靶电极上。这些负电荷（由自偏置产生）吸引正的氩离子引起对绝缘或非绝缘靶材料的溅射[41]。

硅片能够被电偏置在与氩离子不同的场势。加在硅片上的偏置引起氩原子直接轰击硅片。RF偏置允许露在外面的硅片被刻蚀和清理。

实际上，由于RF溅射系统的溅射产额不高，导致它的淀积速率低，因此应用受到限制。由靶发射的许多二次电子穿过放电区，对等离子体的产生没有贡献。如果这些电子被限制与离子碰撞，导致更多的离子产生以轰击靶，那么它的溅射率将高得多。在硅片制造业中为克服低效率，并取得高的金属淀积速率，磁控溅射的概念需要发展。

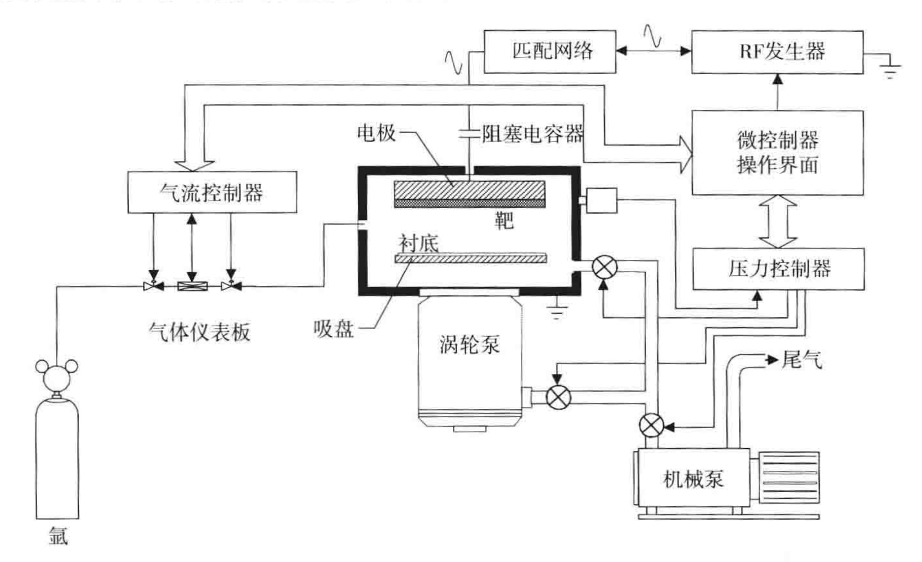


图 12.19 RF溅射系统

■ **磁控溅射** 磁控溅射是在靶的周围和后面装置了磁体以俘获并限制电子于靶的前面（见图12.20）。这种设置增加了离子在靶上的轰击率，产生更多的二次电子，进而增加等离子体中电离的速率。最后的结果是，更多的离子引起对靶更多的溅射，因此增加了系统的淀积速率。在用于金属化铝和接触合金的单个硅片淀积系统中，磁控溅射出的发明提高了淀积速率，这是溅射已经处于主导地位的主要原因之一。

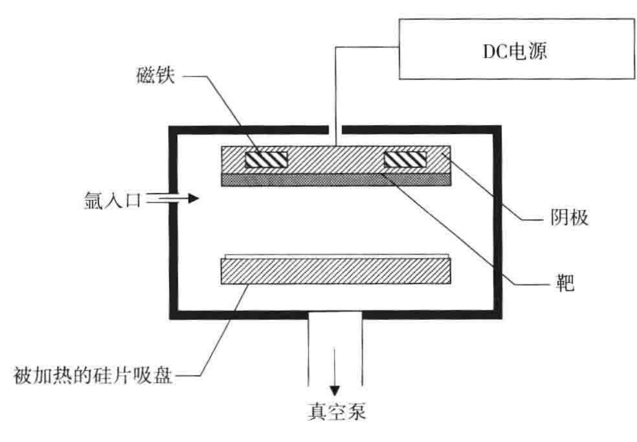


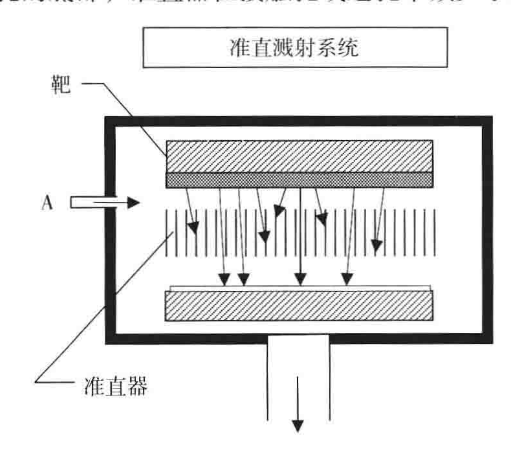
图 12.20 磁控溅射系统

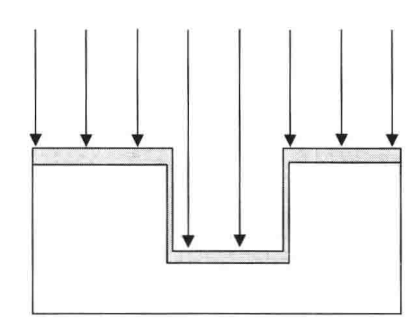
磁控溅射设计需要有一个能量（大约从 3 kW 到 20 kW），供应给氩等离子体，以便取得最大的溅射速率。由于靶吸收了这些能量中的大多数，并且靶与阴极接触，因此阴极的冷却是必需的。溅射淀积在大硅片上面临的重要挑战是膜的均匀性。在单片集成设备中，为了取得高溅射速率和膜的均匀性，需要发展能够旋转、装置稀土和高强度永磁体的新阴极[42]。

台阶覆盖 溅射需要高真空环境，使用高纯度的氩气以避免残余气体的污染。溅射过程中的真空度大约1毫托，其平均自由程为几厘米，大约等于靶和硅片之间的距离。正因为这个距离，从靶上被撞击出的原子基本上通过它沿直线淀积在硅片上。

这个直线路径对于从靶上喷射出来的原子存在许多不同的入射角度，导致接触孔与通孔的台阶和侧壁弱的覆盖。由于它们的几何图形，侧壁和具有高深宽比接触窗口以及通孔的底部将仅为淀积在顶部表面金属的10%或更少[43]。基于这个原因，当淀积材料在具有高深宽比的台阶和沟道上时，通常不选择 PVD。

准直溅射 为了在接触孔或通孔的底部和边沿取得较好的覆盖，通过利用准直溅射能够获得直接的增强（见图 12.21）。设置的准直器好像是等离子体的地极。用这种方式，任何从靶上被溅射出的大角度中性核素被中断，并淀积在准直器上。从靶上直线喷射的其他原子将通过准直器淀积在接触孔的底部，准直器在接触孔或通孔中减少了对侧墙的覆盖。





表明溅射薄膜覆盖通孔的剖面图

图 12.21 准直溅射

准直器的应用意味着被溅射材料大部分将到达不了硅片，因为被溅射材料的大部分终止在准直器上。这个结果降低了溅射的产额，增加了淀积的成本，因为只有很少原子到达硅片表面；同时因为靶的利用率降低，维持费用增加。如果台阶覆盖是一个关键因素，那么在磁控溅射的基础上用 IMP 或 CVD 淀积会更有效。

■ **离子化的金属等离子体** 对高性能 IC 而言，硅片制造业中存在的一个溅射技术问题是：当特征尺寸缩小时，溅射进入具有高深宽比的通孔和狭窄沟道的能力受到限制。为了克服这个问题，最近在PVD方面的发展是离子化的金属等离子体PVD（IMP或离子化的PVD），它于20世纪90年代中期被引入。这种方法是在压力为20到40毫托的RF等离子体中，溅射的金属被离子化（见图 12.22）。由于硅片上加了负的偏置电压，正的金属离子沿着垂直路径朝硅片运动。偏置电压也能用来控制入射金属离子的能量，它减少了对硅片表面的损坏[44]。偏置的硅片能够使薄膜在高深宽比间隙的底部和角落具有更高度的一致性。

离子化的PVD为钛和氮化钛取得好的孔填充，其技术指标能达到0.25微米接触和通孔、深宽比为6：1、覆盖底部的70%、覆盖侧墙的10%以及极好的侧壁完整性 。在底部和底部角落的覆盖很关键，并且以典型的侧壁角度 85° 减少了洞的侧面积。

在0.25微米或更小的器件产品制造中，离子化的PVD被用于淀积钛和氮化钛阻挡层，这些小器件都具有高深宽比接触和通孔结构[45]。它也能淀积钽、氮化钽和铜，对于铜金属化来说这些都是重要金属。离子化PVD的发展，已经在高深宽比间隙的填充方面进一步扩展了溅射的应用。

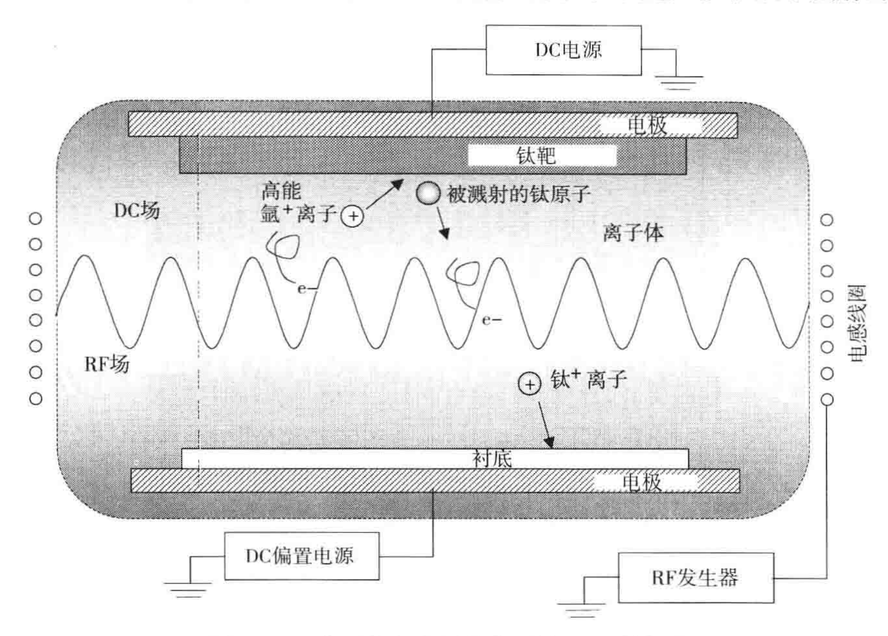


图12.22 离子化的金属等离子体PVD的概念

12.3.3 金属CVD

由于化学气相淀积具有优良等角的台阶覆盖以及对高深宽比接触和通孔无间隙式的填充，在金属淀积方面它的应用正在增加。当器件的特征尺寸减小到0.15微米或更小时，这些因素在硅片制造业中至关重要。在0.15微米的器件设计中，DRAM存储器通孔的深宽比被设计成7∶1，逻辑电路被设计成2.4∶1。[46]

■ 钨CVD 作为淀积通孔填充薄膜以及在第一金属层与硅化物接触之间扮演接触填充物的过程，钨CVD被用于多层互连技术。基于其低电阻率，钨CVD也被用于局域互连。用于一个微芯片上数以十亿计的钨CVD填充薄膜，工作性能稳定。然而由于新的大马士革铜金属化方案的引入，使它作为垂直互连的应用受到限制。钨CVD作为填充材料很普通的，这是因为：

1. 极好的台阶覆盖和间隙填充，特别是在高深宽比通孔的填充方面。
2. 良好的抗电迁徙特性。

就淀积钨填充薄膜而言，低压CVD（LPCVD）是一种通的方法。反应器既可以是热壁也可以是冷壁，并被设置成分批操作或多腔集成设备。淀积钨的最普通气源是WF_6[47]。溅射淀积钨的成本比钨CVD淀积更低，但传统的方向控制更差。这使得钨淀积在通孔中的质量产生不均匀性，也是CVD成为首选方法的原因。由于最近在离子化PVD方面的发展，这种情形可能会发生改变。

钨CVD典型地被淀积成垫膜的形式。垫膜钨非选择性地淀积在整个硅片表面上，包括通孔通路和最普通的通道。

垫膜钨CVD淀积 垫膜钨淀积，紧接着化学机械平坦化的工艺是用于通孔填充以连接两金属层的常用方法。由于都是用CVD，所以用CVD方法淀积薄膜的特性取决于硅片表面的化学反应。对于垫膜钨CVD，最常用的反应是WF_6和H_2之间的反应，产生钨和氟化氢（HF）气体。

WF_6(气体) + $3H_2$ → W(固体) + 6HF(气体)

通常在垫膜钨CVD过程中的第一步是淀积钛/氮化钛阻挡层（见图12.23）。在氮化钛被淀积之前淀积钛，以便它和下层材料反应，降低接触电阻。如果这是在第一层间介质（ILD-1）中的一个接触，那么钛和硅反应形成$TiSi_2$硅化物。氮化钛作为钨的阻挡层金属和附着加固剂（粘帖剂），它需要一个最小约50埃的底层厚度，具有连续的侧墙覆盖以形成一个有效的阻挡层金属并且避免钨攻击下层材料[48]。钛/氮化钛阻挡层金属可以用IMP PVD淀积。可通过CVD用氨水和许多起始分子，包括4个二甲脂氨钛（TDMAT）或者4个二乙醇氨钛（TDEAT），淀积氮化钛阻挡层金属。CVD已成为淀积氮化钛的首选方式，因为它能改进台阶覆盖。

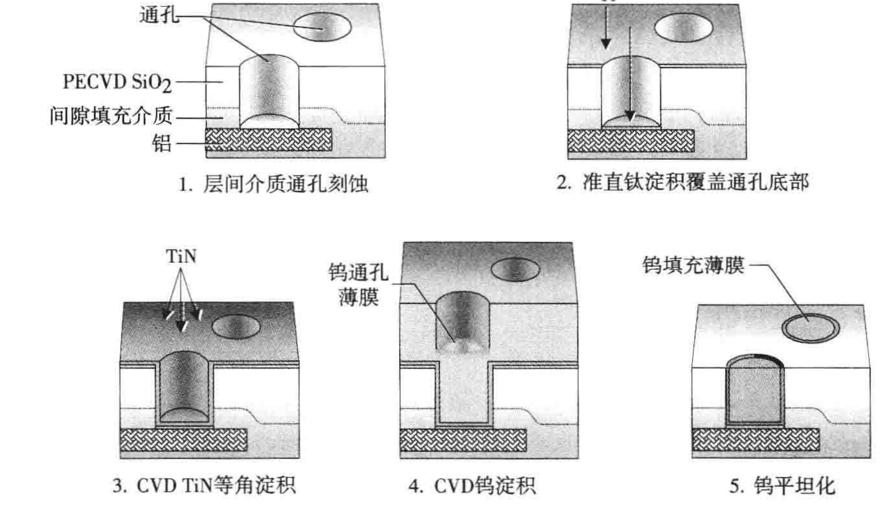
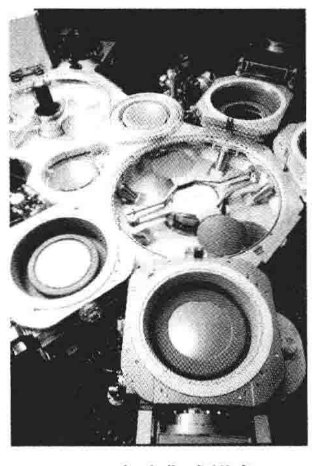


图12.23　具有Ti/TiN阻挡层金属的垫膜钨CVD

在介质层上清除剩余的垫膜钨是必要的。这个以前是由钨反刻工艺清除剩余的钨并留下经平坦化后的填充薄膜来实现的。在0.25微米或更小的器件中，由化学机械平坦化（CMP）完成的钨平坦化是首选的过程（CMP和反刻将在第18章中介绍）[49]。阻挡层金属，比如TiN和Ti被用于防止钨和硅之间的扩散。



PVD多腔集成设备

（承蒙Applied Materials, Inc.允许使用照片）

■ **铜 CVD** 为淀积铜电镀所必需的薄种子层，铜 CVD 是具有潜力的工艺。种子层或触及电镀层是一层厚度约 500 到 1000 Å 的薄层并淀积在扩散阻挡层顶部（最可能的是以钽为基础的阻挡层金属）。对于成功的电镀而言，沿着侧壁和底部，种子层连续的、没有针孔和空洞是至关重要的。如果种子层不连续，就可能会在电镀的铜中产生空洞。CVD 极好的一致性是为淀积种子层研究这个过程的原因。

铜先驱物 用于 CVD 铜的先驱物有两个 Cu(I)和 Cu(II)。注意：Cu(I)表明一个铜离子带有一个单位的正电荷，Cu(II)表明一个铜离子带有两个单位的正电荷。最广泛应用于Cu(I)先驱物的是Cu（hfac）（TMVS），其化学名称为三甲基乙烯树脂硅烷六氟化乙酰丙酮化 Cu(I)(trimethylvinylsilylhexafluoroacetylacetonate copper(I)），化学分子式是$C_{10}H_{13}CuF_6O_2Si$，商品名 CurpraSelect[50]。这个分子把处于一价氧化态的铜和TMVS以及hfac配位基结合起来，形成一种清澈的黄色液体先驱物（配位基是包围中心金属阳离子的一个分子或离子）。TMVS 是易燃物，但化合物 Cu（hfac）（TMVS）不易点燃。Cu（hfac）（TMVS）与工业用不锈钢传输管道兼容。CVD 淀积进行的过程是：在氧化一个原子生成Cu^{+2}（hfac）$_2$并作为副产物释放 TMVS 气体的同时，还原另一个原子生成一个金属铜原子。其化学反应是：

$2Cu^{+1}$（hfac）（TMVS）（气体）→ Cu^0（固体） + $Cu^{+2}(hfac)_2$（气体）+ 2TMVS（气体）

最普通的铜 Cu(II)先驱物是Cu（hfac）$_2$，例如：Cu(II)能通过在H_2中还原Cu（hfac）$_2$进行反应：

Cu（hfac）$_2$（气体） + H_2（气体）→ Cu^0（固体） + 2H（hfac）（气体）

12.3.4 铜电镀

IC 制造业转到铜金属化对所有芯片制造商来说都只是刚刚起步。首先，高性能微处理器和快速静态存储器正在转向铜工艺。铜电镀，就像电镀、电化学淀积（ECD）或电填充那样，是用于铜金属化的第一代淀积方法。当铜将作为互连金属化主流取代铝时，成本和性能是影响这个问题的重要因素。然而在其他电子制造领域，比如用于磁盘存储器件的薄膜磁头、印刷电路板的铜金属线，铜电镀已经成为一个重要的金属化过程。它的过程和装备需要很好地理解。



铜电镀工具

（承蒙 Novellus 允许使用照片）

■ **电镀基础** 电镀铜金属的基本原理是将具有导电表面的硅片沉浸在硫酸铜溶液中，这个溶液包含需要被淀积的铜（见图 12.24）。硅片和种子层作为带负电荷的平板或阴极电连接到外电源。

固体铜块沉浸在溶液中并构成带正电荷的阳极。电流从硅片进入溶液到达铜阴极[51]。当电流流动时，下列反应在硅片表面发生以淀积铜金属：

$$Cu^{2+} \quad + \quad 2e^{-} \quad \rightarrow \quad Cu^{0}$$

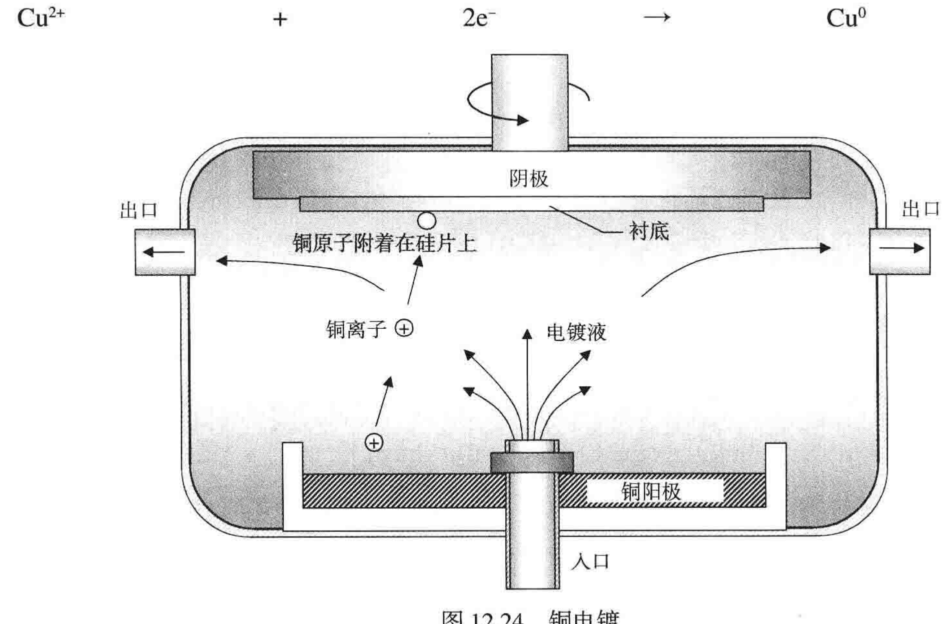


图 12.24 铜电镀

电镀过程中，金属铜离子在硅片表面阴极被还原成金属铜原子，同时在铜阳极发生氧化反应，以此平衡阴极电流。这个反应维持了溶液中的电中和。

铜的淀积量直接正比于传输到导电硅片表面的电流（法拉第电解定律）[52]。基于这一关系，控制电镀的基本参数是电流和时间。没有电流时，在阳极、阴极和溶液之间有个平衡势。当外电源加一个电压时，电流在阳极和阴极之间形成，金属淀积在阴极，且正比于电流量。

实际上，电镀控制很复杂，特别是电解液和加电流的方式。对于高性能IC中必须被填充的具有高深宽比的孔和槽，为了维持孔中电流密度的均匀性，电镀遇到挑战。这个条件很重要，因为电镀率是电流密度的直接函数。如果孔顶部的电流密度高，而底部的低，那么铜在顶部将淀积得快些。

加在阴极/阳极系统的电压方波的类型不同，在电镀高深宽比通孔方面能够起到的帮助也不同，例如：通过加一个振荡电场并控制方波的幅度，淀积/刻蚀序列被获得。用这种方式，在高电流密度区，铜能被稍微清除（刻蚀）以维持铜间隙填充能力的平衡。

由于铜电镀金属化对半导体制造业来说是一个新的过程，所以有一系列其他问题需要解决。例如，重要的是在硅片背面没有镀铜。电镀还要关注化学品控制和处理，但它确实简化了一些金属化过程，避免高真空或复杂的硅片加热过程。

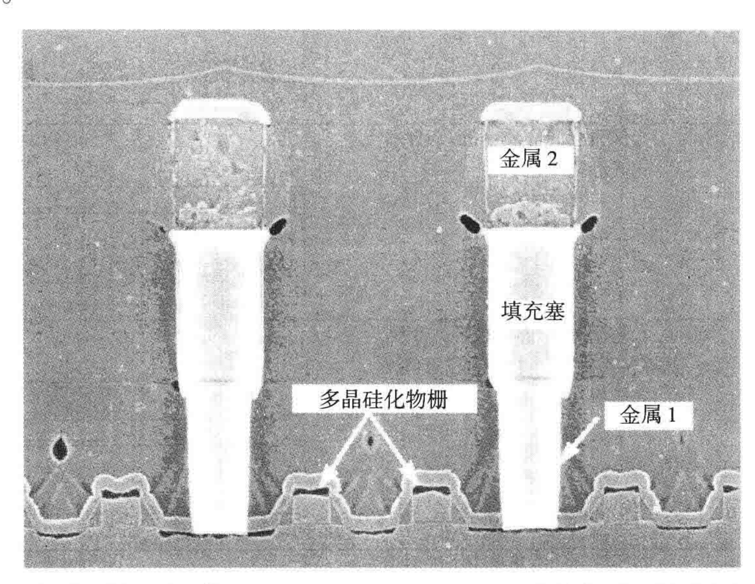
12.4 金属化方案

IC制造业金属互连的策略正在经历一个剧烈的变化。在许多年的发展以后，铜在许多可用于IC互连导体中正被用做主要的芯片互连导体[53]。在这个过渡期直到铜被完全使用为止，铝或铜金属化被希望用于芯片应用。应用金属化方案的种类取决于芯片设计在性能和价格方面被优化的方式。

12.4.1 传统的铝结构

传统的互连金属是铝铜合金，并用SiO_2作为层间介质隔离金属层。第二层间介质和第二金属层间（整个层面）的传统铝互连技术的过程步骤在第9章描述工艺流程的第11步和第12步时描述。该过程被看做一个铝减去过程，因为铝被淀积为无图形薄膜，然后被刻蚀掉（减去）以形成电路。确定铝互连线的宽度和间隔的关键步骤是金属刻蚀，SiO_2被淀积进连线之间狭窄的间隙。

为了用传统的铝合金金属化支持0.18微米的技术节点，新材料和新工艺正在被迅速引入高级硅片制造。这是一个过渡期，直到铜金属化最终被实现。作为一个规则，大多数制造商每次将仅改变一种主要的微芯片材料（如金属或绝缘材料），以最小化因生产而引起的冒险。由于新的制备材料和它们严格的处理要求，一般的趋势是：为介质材料增加高密度等离子体CVD（HDPCVD）的应用，从溅射金属到金属CVD的变化，增加化学机械平坦化（CMP）的应用。目的是增加产品的性能和生产能力。



均厚铝刻蚀（承蒙Integrated Circuit Engineering允许使用显微照片）

12.4.2 铜大马士革结构

半导体产业正在实现用铜作为微芯片的互连材料。因为铜不适合用干法刻蚀，传统工艺流程不采用铜金属化。为了最大限度地减小铜扩散到硅中，铜也有它自己的特殊要求。为了形成铜互连金属线，应用双大马士革方法以避免铜的刻蚀。在大马士革过程中，不再需要金属刻蚀确定线宽和间隔，而需要介质刻蚀。

■ **双大马士革方法** 由于铜难于刻蚀，早期从事铜刻蚀研究的工作者被迫考虑选择另一方法产生金属线。双大马士革方法成为人们一致同意的用于铜金属化的方法。通过在层间介质刻蚀孔和槽，既为每一金属层产生通孔又产生引线，然后淀积铜进入刻蚀好的图形，应用化学机械平坦化去掉额外的铜（被称为铜的超负）。

双大马士革法有许多可能的过程步骤。表12.5中解释了使用基本技术的工艺流程。

表 12.5*　用双大马士革法的同金属化

工艺步骤	描述	结构
1. SiO_2 淀积	用 PECVD 淀积内层氧化硅到希望的厚度，这里没有关键的间隙填充，因此 PECVD 是可接受的	SiO_2
2. SiN 刻蚀阻挡层淀积	厚 250 Å 的 SiN 刻蚀阻挡层被淀积在内层氧化硅上。SiN 需要致密，没有针孔，因此使用 HDPCVD	SiN
3. 确定通孔图形和刻蚀	光刻确定图形、干法刻蚀通孔窗口进入 SiN 中，刻蚀完成后去掉光刻胶	SiN
4. 淀积保留介质的 SiO_2	为保留层间介质，PECVD 氧化硅淀积	SiO_2
5. 确定互连图形	光刻确定氧化硅槽图形，带胶。在确定图形之前将通孔窗口放在槽里	光刻胶
6. 刻蚀互连槽和通孔	在层间介质氧化硅中干法刻蚀沟道，停止在 SiN 层。穿过 SiN 层中的开口继续刻蚀形成通孔窗口	
7. 淀积阻挡层金属	在槽和通孔的底部及侧壁用离子化的 PVD 淀积钽和氮化钽扩散层	阻挡层金属
8. 淀积铜种子层	用 CVD 淀积连续的铜种子层，种子层必须是均匀的并且没有针孔	铜种子层

（续表）

工艺步骤	描述	结构
9. 淀积铜填充	用电化学淀积（ECD）淀积铜填充，即填充通孔窗口也填充槽	铜层
10. 用CMP清除额外的铜	用化学机械平坦清除额外的铜这一过程平坦化了表面并为下道工序做了准备。 最后的表面是一个金属镶嵌在介质内、形成电路的平面结构	铜

* P.Singer, "Making the Move to Dual Damascene Processing," *Semiconductor International* (August 1997): p.79

对双大马士革法而言，除了金属线的互连槽以外，两线系在一起的金属镶嵌也被使用，它包括孔的串联（指接触孔或通孔）。通孔和金属线层的铜填充同时进行，这节省了工艺步骤并消除了通孔和金属线之间的界面。

有不同的方法实现双大马士革过程，每种方法都有自己的特点。大多数制造方法都结合应用了刻蚀阻挡材料以便控制对通孔和沟道的刻蚀需要进行的深度。刻蚀停止典型地通过应用阻挡层金属，如氮化硅（Si_3N_4 或 Si_xN_y）在通孔或沟道的底部作为硬掩膜来实现。Si_3N_4 的刻蚀速率比介质材料的慢得多，因此有效阻止了刻蚀继续进行。一些方法甚至可以有两个分开的 Si_3N_4 层，不过这增加了过程的复杂性。除此以外，Si_3N_4 具有高 k 值，增加了互连内层之间的电容，这也是要求 Si_3N_4 薄的原因。

上述双大马士革流程有通孔刻蚀，它与沟道一样有同相的刻蚀步骤，也是用SiN做刻蚀停止层确定槽的底部。在双大马士革法的其他方面，通孔首先被刻蚀，然后沟道被确定图形，再被刻蚀。从早先通孔刻蚀引发的槽结构、表面形貌对光刻造成重大的挑战。

对铜金属化应用大马士革法最重要的原因是避免金属刻蚀。大马士革处理方法的第二个优点是在刻蚀好的金属线之间不再需要填充介质间隙，因为介质用做垫层，然后被刻蚀。

在硅片制造业中，与传统的铝互连工艺比较，双大马士革法具有减少工艺步骤20%到30%的潜力。双大马士革法不仅有较少的制造步骤，而且排除或减少了传统铝互连金属化中最难的步骤，包括铝刻蚀和许多钨与介质的化学机械抛光步骤[54]。在硅片制造业中，减少工艺步骤对于增进过程的效益是很重要的，因为较少的工艺步骤导致较少的装配产量的错误源。

12.5 金属化质量测量

测试硅片制造中金属化的质量提供于表12.6中。

表12.6 测试金属化的质量

质量参数	缺陷类型	备注
1. 溅射金属的附着	A. 金属层没有附着在衬底上	影响薄膜附着的参数有： ● 硅片沾污 ● 应力 ● 材料的类型

（续表）

质量参数	缺陷类型	备注
		● 衬底的温度 ● 氩压
2. 溅射薄膜的应力	A. 过多的剩余应力导致： ● 薄膜表面断裂 ● 影响膜的附着 ● 在一些材料中增加电阻	薄膜应力可能由衬底过高的温度引起。 降低硅片温度的方法有： ● 降低淀积速率 ● 增加背面的冷却 断裂可能引起： ● 薄膜层蜕皮 ● 沾污迁移 ● 电开路或短路 在淀积前后测试薄膜的应力（硅片表面的弯曲程度）。应力的单位是达因
3. 溅射的膜厚	A. 金属层不满足膜的厚度要求（如方阻偏离要求值）	影响膜厚度的参数是： ● 不正确的方法 ● 不合适的流量速率 ● 不合适的衬底温度 ● 不合适的腔体压力 ● 不合适的电源供应能量 ● 错误的时间设置
4. 电镀（电化学淀积或 ECD）金属薄膜的均匀性	A. 薄膜厚度不均匀如下所示： ● 为高深宽比开口的不合适的间隙填充和台阶覆盖（在高深宽比通孔的底部和顶部膜厚不均匀） ● 整个硅片和从硅片到硅片淀积的膜厚不均匀 ● 薄膜中有空洞	电镀薄膜均匀性的关键参数是： ● 淀积一层均匀的没有空洞的 CVD 种子层 ● 为有机添加剂保持合适电镀浸泡液的化学成分（组分和浓度），添加剂主要是光亮剂和抑制剂，在填充间隙的底部和侧壁时以获得没有空穴的淀积

12.6 金属化检查及故障排除

表 12.7 列出了金属化常见的主要问题。

表 12.7 常见的金属化主要问题

问题	可能的原因	纠正措施
1. 金属薄膜台阶覆盖的质量下降	A. 衬底温度下降，因为在淀积期间，对铝合金的溅射淀积而言，台阶覆盖取决于硅片的温度	加热衬底以改进台阶覆盖，因为淀积金属原子的表面迁移率增加了
	B. 增加淀积速率	降低淀积速率。由于更多的原子到达表面降低了表面迁移率，因此溅射速率的增加可能降低台阶覆盖的质量
2. 真空腔的完整性	A. 腔体清理或在腔体中除气	● 检查真空系统的泄漏情况，腔体中的残留气体能改变膜的反射率 ● 检查金属薄膜中的 O_2 或 N_2，它们能改变膜的电阻率和应力 ● 清理腔体，并烘烤水汽
	B. 除气或系统泄漏	● 用氦泄漏探测设备检查系统的泄漏 ● 用残留气体分析仪在淀积前评估腔体的状况

（续表）

问题	可能的原因	纠正措施
3. 金属薄膜的污染	A. 出现在薄膜表面的颗粒	检查下列普通的颗粒来源： ● 脏的输入硅片 ● 控制机械腔体机械之间的传递 ● 运行过程中未完全清理干净腔体 ● 脏片架 ● 氮气被污染
4. 双大马士革电镀后，铜的沟道填充中的空洞	A. 硅片表面上过厚的种子层，收缩了通孔和槽，在膜中产生了空穴中心 *	通过估计从场区到通孔和沟道的底部电镀电流值，优化 CVD 铜种子层淀积。目的是在没有增加场区膜厚的情况下，在具有高深宽比通孔的底部淀积适当的种子层厚度
5. 双大马士革 CMP 后过剩的铜凹痕	铜凹痕通常是由铜 CMP 钽扩散阻挡层引起的，这必须用铜进行抛光 **	在铜被抛光后，钽层必须从水平面清除，铜浆区没有有效地清除钽。选择是： ● 为钽优化浆 ● 最小化钽区域的水平厚度

*R. Jackson ea al., "Processing and Integration of Copper Interconnects," *Solid State Technology*（March 1998）: p.56
** 如上

12.7　小结

金属化淀积薄的金属薄膜，在芯片上形成了互连金属线和接触孔或通孔连接。有6类金属用于硅片制造业，各有不同的特点满足不同的性能要求。铝用做传统的互连金属线。欧姆接触是硅和互连金属之间的低阻接触。铝有时和硅形成合金以减少欧姆接触区的结尖刺。铝也常和铜形成合金最大程度地解决电迁徙稳定性问题，铜的含量在0.5%到4%之间。新的互连金属化建立在铜冶金的基础之上以减小金属电阻。铜和具有低k值的介质联合使用将减小芯片的互连延迟，但铜需要一个新的处理方法，因为它难于刻蚀。连接金属时常使用阻挡层金属。不同的阻挡层金属是否具有合适的特性取决于应用。硅化物是难熔金属和硅形成的合金，用以减小接触电阻和附着。自对准硅化物是一种特殊的硅化物，它被用于对准源、漏和栅结构。金属层与填充了钨塞的通孔连接。应用最广泛的系统是溅射。溅射的物理特性是轰击靶，以撞击出原子，并在硅片表面淀积这些原子形成薄膜。三类最普通的溅射类型是RF、磁控和离子化金属等离子体。RF溅射效率不够高，与之相反的磁控溅射有更高的淀积速率，但间隙填充能力有限。离子化金属等离子体为高深宽比淀积改进了方向性。CVD金属有最好的均匀性，用于钨塞填充和铜种子层。铜电镀主要是半导体制造业为铜金属线淀积所选择的。传统的铝金属化淀积一层铝薄膜，然后刻蚀成线图形，以形成互连金属线。铜冶金业将用双大马士革方法在介质中刻蚀通孔和槽，淀积铜填充这些通孔和槽，然后通过化学刻蚀平坦化处理清除额外的铜。

关键术语

互连	钨塞
导线	蒸发
接触（孔）	物理气相淀积（PVD）
通孔	靶
填充塞	动量转移

共晶化温度
退火或烧结
欧姆接触
结尖刺
电迁徙
小丘
铜互连
阻挡层金属
难熔金属
硅化物
多晶硅化物
自对准硅化物
溅射产额
溅射腐蚀（反溅）
RF 溅射
磁控溅射
准直溅射
溅射的铝
离子化的金属等离子体 PVD（IMP 或离子化 PVD）
钨 CVD
铜 CVD
电镀［电化学淀积（ECD）］
铝减去法
双大马士革法

复习题

1. 解释下列名词：互连、接触、通孔和填充塞。
2. 哪种金属已经成为传统互连金属线？什么是它的取代物？
3. 列出并且描述金属用于硅片制造的 7 种要求。
4. 列出用于半导体制造业的金属和合金的种类。
5. 解释铝已被选择作为微芯片互连金属的原因。
6. 什么是欧姆接触？它的优点是什么？
7. 描述结尖刺并列出两种解决的主要方法。
8. 讨论电迁徙是怎样影响稳定性的。
9. 列出并讨论引入铜金属化的五大优点。
10. 互连金属转向铜时所面临的三大主要挑战是什么？
11. 什么是阻挡层金属？阻挡层材料的基本特性是什么？哪种金属常被用做阻挡层金属？
12. 列出铜阻挡层金属的特殊要求。
13. 定义硅化物，并解释难熔金属硅化物在硅片制造业中重要的原因。
14. 钛硅化物的优点是什么？解释 C49 相和 C54 相的结构。
15. 哪种硅化物是未来芯片技术的希望，为什么？
16. 什么是自对准硅化过程？
17. 描述钨填充塞，并讨论它是怎样被用于多层金属化的？
18. 为什么蒸发作为金属淀积系统被取代？
19. 为溅射做一个简短的解释，并描述它的工作方式？
20. 溅射适合于合金淀积吗？
21. 溅射淀积的优点是什么？
22. 列出并解释溅射过程的 6 个步骤。
23. 解释溅射的物理过程。
24. 描述溅射产额。
25. 溅射刻蚀的目的是什么？
26. 描述 RF 溅射系统，什么是它的主要限制？

27. 讨论磁控溅射系统是怎样提高淀积速率的?
28. 解释溅射台阶覆盖不良的原因，准直溅射是怎样改进台阶覆盖的?
29. 描述离子化金属等离子体，这个过程是怎样改进高深宽比间隙填充的?
30. 在高级 IC 中，什么是产生钨填充的典型方法?
31. 为什么 CVD 能被用于铜种子层?
32. 解释铜电镀的基本过程。
33. 为什么传统的铝金属化过程是一个减去过程?
34. 什么是铜使用大马士革方法的主要原因?
35. 列出双大马士革金属化过程的 10 个步骤。

金属化装备和材料供应商网站

Angstrom Sciences Inc.	http://www. angstromsciences.com/
Applied Materials	http://www. appliedmaterials.com/products/
Genus Incorporated	http://www. genus.com/
Materials Research Corporation	http://www. materialsresearch.com/
Nordiko USA Inc.	http://www. nordiko.com/
Novellus Systems Inc.	http://www. novellus.com/index.htm
Process Materials Inc.	http://www. processmaterials.com/
TEL, Tokyo Electron Ltd.	http://www. teainet.com/
Veeco-CVC	http://www. veeco.com

参考文献

1. C. Weber, D. Jensen, and E. Hirleman, "What Drives Defect Detection Technology?" *Micro* (June 1998): p. 60.
2. M. Bohr, "Interconnect Scaling—The Real Limiter to High Performance ULSI," *Solid State Technology* (September 1996): p. 105.
3. S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed. (New York: Wiley, 1994): p. 548.
4. K. Bachmann, *The Materials Science of Microelectronics*, (New York: VCH Publishers, 1995), p. 484.
5. Compiled from multiple sources, including: S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, 2nd ed., (Sunset Beach: Lattice Press, 1986), p. 399.
6. L. Peters, "Advanced Aluminum Interconnect Tech-nology," *Semiconductor International* (November 1998): p. 83.
7. R. Jaeger, *Introduction to Microelectronic Fabrication*, (Reading, MA: Addison-Wesley, 1988), p. 136.
8. S. Campbell, *The Science and Engineering of Microelec-tronic Fabrication*, (New York: Oxford University Press, 1996), p. 406.
9. Ibid., p. 412.
10. E. Amerasekera and F. Najm, *Failure Mechanisms in Semiconductor Devices*, 2nd ed., (New York: Wiley, 1997), p. 103.

11. J. Yue, "Reliability," Sze, *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 672.
12. K. Rodbell, "Reliability," *Handbook of Semiconductor Interconnection Technology*, ed. G. Schwartz, K. Srikrishnan, and A. Bross (New York: Marcel Dekker, 1998), p. 480.
13. S. Campbell, *The Science and Engineering of Microelectronic Fabrication*, p. 413.
14. J. Yue, "Reliability," p. 663.
15. P. Singer, "Tantalum, Copper and Damascene: The Future of Interconnects," *Semiconductor International* (June 1998): p. 91.
16. "Technology News," *Solid State Technology*, (February 1998): p. 26.
17. P. Singer, "Tantalum, Copper and Damascene," p. 91.
18. Ibid.
19. A. Sethuraman, J. F. Wang, and L. Cook, "Copper vs. Aluminum: A Planarization Perspective," *Semiconductor International* (June 1996): p. 178.
20. X. Lin and D. Pramanik, "Future Interconnect Tech-nologies and Copper Metallization," *Solid State Technology* (October 1998): p. 63.
21. P. Singer, "Tantalum, Copper and Damascene," p. 94.
22. Semiconductor Industry Association, *National Technol-ogy Roadmap for Semiconductors: Technology Needs*, (San Jose: SIA, 1997), p. 101.
23. C. Ryu et al., "Barriers for Copper Interconnections," *Solid State Technology* (April 1999), p. 53.
24. B. Chin et al., "Barrier and Seed Layers for Damascene Copper Metallization," *Solid State Technology* (July 1998), p. 141.
25. C. Ryu, "Barriers for Copper Interconnections," p. 56.
26. A. Braun, "Copper Electroplating Enters Mainstream Processing," *Semiconductor International* (April 1999), p. 64.
27. R. Jackson, et al., "Processing and Integration of Copper Interconnects," *Solid State Technology* (March 1998): p. 56.
28. S. Ghandhi, *VLSI Fabrication Principles*, p. 576.
29. D. Campbell, "Semiconductor Contact Technology," *Handbook of Semiconductor Interconnection Technology*, ed. G. Schwartz, K. Srikrishnan and A. Bross (New York: Marcel Dekker, 1998), p. 176.
30. K. Rodbell, Reliability," p. 480.
31. L. Peters, "Is the 0.18 μm Node Just a Roadside Attrac-tion?" *Semiconductor International* (January 1999), p. 50.
32. R. Liu, "Metallization," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 410.
33. S. Campbell, *Science and Engineering*, p. 292.
34. R. Liu, "Metalization," p. 379.
35. X. Lin and D. Pramanik, "Future Interconnect Technol-ogies," p. 74.
36. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, 2nd ed., pp. 443–50.

37. M. Rittner, "Growth Predicted for Sputtering Target and Sputtered Film Markets," *Solid State Technology* (January 2000): p. 26.
38. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, p. 445.
39. A. Braun, "Sputtering Targets Adapt to New Materials and Shrinking Architectures," *Semiconductor Interna-tional* (June 1998): p. 130.
40. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, p. 449.
41. Ibid., pp. 348–51.
42. R. Liu, "Metallization," p. 382.
43. Ibid., p. 384.
44. B. Chin et al., "Barrier and Seed Layers," p. 141.
45. A. Braun, "Sputtering Targets," p. 128.
46. Semiconductor Industry Association, *The National Technology Roadmap for Semiconductors: Technology Needs*, (San Jose: SIA, 1997), p. 101.
47. G. Schwartz, "Metallization," *Handbook of Semiconduc-tor Interconnection Technology*, ed. G. Schwartz, K. Srikrishnan and A. Bross, (New York: Marcel Dekker, 1998), p. 320.
48. J. Baliga, "Depositing Diffusion Barriers," *Semiconduc-tor International* (March 1997): p. 77.
49. K. Wijekoon, et al., "Tungsten CMP Process Developed," *Solid State Technology* (April 1998): p. 53.
50. B. Zorich and M. Majors, "Safety and Environmental Concerns of CVD Copper Precursors," *Solid State Technology* (September 1998): p. 101.
51. P. Singer, "Tantalum, Copper and Damascene," p. 94.
52. Ibid.
53. Ibid., p. 91.
54. Ibid.

第13章　光刻：气相成底膜到软烘

光刻的本质是把临时电路结构复制到以后要进行刻蚀和离子注入的硅片上。这些结构首先以图形形式制作在名为掩膜版的石英膜版上。紫外光透过掩膜版把图形转移到硅片表面的光敏薄膜上。通常的光刻是这样进行的：光刻显影后图形出现在硅片上，然后用一种化学刻蚀工艺把薄膜图形成像在下面的硅片上，或者被送到离子注入工作区来完成硅片上图形区中可选择的掺杂。转移到硅片上的各种各样的图形确定了器件的众多特征，例如：通孔、器件各层间必要的互连线以及硅掺杂区。

光刻与微芯片的价格和性能密切相关。一个硅片的处理费用对于硅片上的芯片数目来说有很大的独立性；也就是说，既然工艺步骤、材料总量、硅片的传送对于两个硅片几乎完全相同，那么一个只有很少芯片数目的硅片与一个具有很多芯片的硅片耗费也相差无几。相同的代价而芯片数目越多意味着每个芯片的全部成本要低，仅需要在硅片上安排更多的芯片。

从半导体制造的初期，光刻就被认为是集成电路制造工艺发展的驱动力。直到今天，集成电路正致力于把更多的器件和组合电路集成在一个芯片上，这种趋势仍在延续。在半导体制造业发展的五十年来，正像摩尔定律所阐明的，相比于其他单个制造工艺技术来说，光刻对芯片性能的发展有着革命性的贡献。

目标

通过本章的学习，你将能够：

1. 解释光刻的基本概念，包括工艺概述、关键尺寸划分、光谱、分辨率、工艺宽容度等。
2. 讨论负性和正性光刻的区别。
3. 说明并描述光刻的8个基本步骤。
4. 解释如何在光刻前处理硅片表面。
5. 描述光刻胶并讨论光刻胶的物理特性。
6. 讨论传统I线胶的化学性质和应用。
7. 描述深紫外光刻胶的化学性质和优点，包括化学放大光刻胶。
8. 解释在硅片制造业中如何应用光刻胶。
9. 讨论软烘的目的，并解释它如何在生产中完成。

13.1　引言

光刻使用光敏光刻胶材料和可控制的曝光在硅片表面形成三维图形。光刻过程的其他说法是照相、光刻、掩膜、图形形成。总的来说，光刻指的是将图形转移到一个平面的任一复制过程。因此，光刻有时就指“复制”。对于半导体制造业，微光刻描述了用来形成非常细小的特征图形的过程，这在亚微米结构硅片制造中非常重要。本书中的术语微光刻和光刻可以交换使用。

13.1.1　光刻概念

光刻处于硅片加工过程的中心，这可以通过在各制造工艺中如何从光刻工艺流进流出中证明（见图 13.1）。光刻常被认为是IC制造中最关键的步骤，需要高性能以便结合其他工艺获得高成品率。据估计，光刻成本在整个硅片加工成本中几乎占到三分之一[1]。

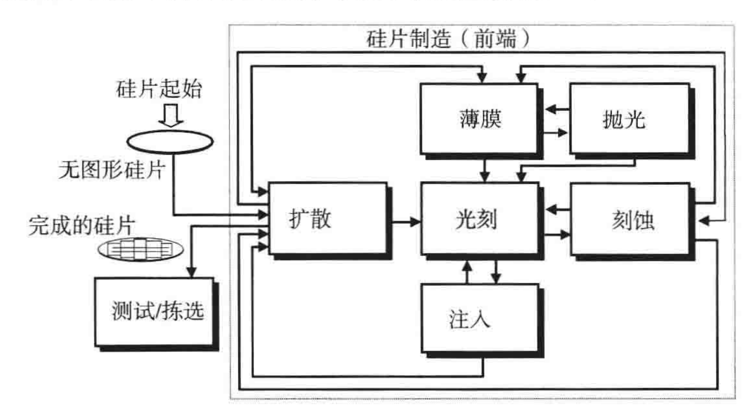


图 13.1　硅片制造工艺流程（承蒙 Advanced Micro Devices 公司允许使用）

转移到硅片表面的光刻图形的形状完全取决于硅片层面的构成。图形可能是硅片上的半导体器件、隔离槽、接触孔、金属互连线以及互连金属层的通孔。这些图形被转移到光敏光刻胶材料上，为进行刻蚀（参见第 16 章）或离子注入（参见第 17 章）的衬底做好准备。形成的光刻胶图形是三维的，因为光刻胶中的图形具有长、宽、高（见图 13.2）。在一个硅片上可能有成百个完全相同的芯片，每一个都需要将合适的图形转移到管芯上。

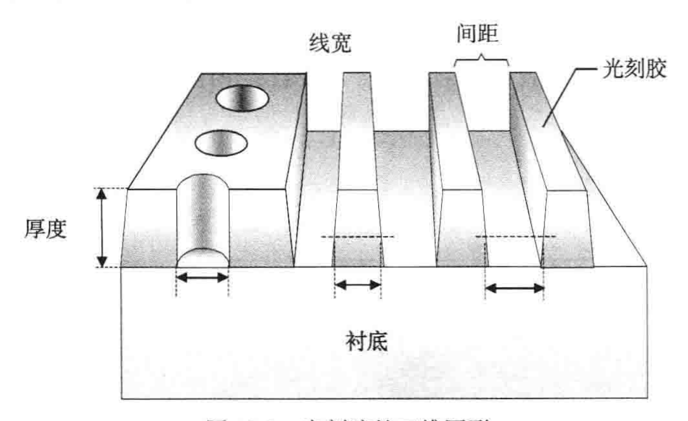
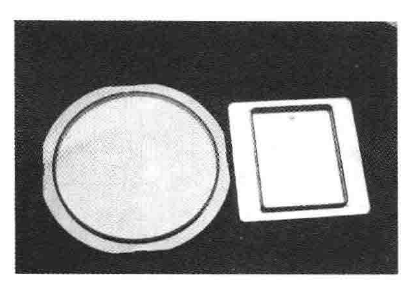


图 13.2　光刻胶的三维图形

光刻技术要应用光敏光刻胶或光刻胶，它们作为一种聚合可溶解物被涂在衬底表面，然后光刻胶被烘焙除去溶剂，下一步再将其用受控的光线曝光。光透过确定了所需图形的投影掩膜版。光刻胶是涂在硅片表面上的临时材料，仅是为了必要图形的转移，一旦图形经过刻蚀或离子注入，就要被去掉。

投影掩膜版（reticle）是一个石英版，它包含了要在硅片上重复生成的图形。就像投影用的电影胶片的底片一样。这种图形可能仅包含一个管芯，也可能是几个。光掩膜版（photomask）常被称为掩膜版（mask），并与投影掩膜版一词交换使用，它是一块石英版，包含了对于整个硅片来说确定一工艺层所需的完整管芯阵列。在本书中，投影掩膜版指的是对于一个管芯或一组管芯的图形，

掩膜版则指对于整个硅片层所必要的整个管芯阵列或矩阵。由于在图形转移到光刻胶中光是最关键的，并且通过光学控制，所以光刻有时被称为光学光刻。



微光刻用的光掩膜版和投影掩膜版（承蒙 Advanced Micro Devices 允许使用照片）

先进的CMOS IC可能需要30块以上的掩膜版用于在管芯上形成多层图形[2]。每一个投影掩膜版都有独一无二的特别图形或特征图形，它被置于硅片表面并步进通过整个硅片来完成某一层。为了制作整个一层的硅片，必须要进行光刻和随后的操作（如刻蚀和离子注入）。

■ **产生关键尺寸**　微光刻在硅片上确定关键尺寸（例如微处理器的栅长）是传统的技术。由于关键尺寸是制造过程中最难控制的尺寸，所以它也就成为其他工艺所需要达到的尺寸。光刻中的关键尺寸常用做描述器件工艺技术的节点或称为某一代。0.25 μm以下工艺技术的节点是0.18 μm、0.15 μm、0.1 μm。减小关键尺寸可在单个硅片上布局更多芯片，这样将大大降低制造成本，提高利润。

■ **光谱**　能量要满足激活光刻胶并将图形从投影掩膜版中转移过来的要求。能量源以辐射的形式，典型的是紫外（UV）光源。将光敏光刻胶制成与特定的紫外光波长有化学响应。紫外光一直是形成光刻图形常用的能量源，并会在接下来的一段时间内继续沿用（包括0.1 μm或者更小的工艺节点的器件制造中）。

电磁光谱用来为光刻引入最合适的紫外光谱，如图13.3所示。对于光刻重要的几种紫外光波长在表13.1中列出。大体上说，深紫外光（DUV）指的是波长在300 nm以下的光。关于紫外光谱的详细内容将在第14章中介绍。

表13.1　对于光刻曝光的重要UV波长

UV波长（nm）	波长名	UV发射源
436	G线	汞灯
405	H线	汞灯
365	I线	汞灯
248	深紫外（DUV）	汞灯或氟化氪（KrF）准分子激光
193	深紫外（DUV）	氟化氩（ArF）准分子激光
157	真空紫外（VUV）	氟（F_2）准分子激光

■ **分辨率**　光刻中一个重要的性能指标是每个图形的分辨率。分辨率是将硅片上两个邻近的特征图形区分开来的能力。硅片上形成图形的实际尺寸就是特征尺寸，最小的特征尺寸就是关键尺寸，如0.18 μm。但这并不意味着硅片上每个线条都是这个关键尺寸。在某一关键层上，有一些关键尺寸，例如第一层层间介质上的接触孔或者多晶硅栅长。还有其他一些尺寸是非关键的，并且大于关键尺寸。对于关键尺寸来说，分辨率很重要。

在过去三十年里，硅片制造业的关键尺寸每年约减小11%。器件特征尺寸的缩小使其通过按比例缩小、电路密度增加和芯片尺寸减小而改善性能。但是，CD只能在光刻工艺允许的范围内减小。对于得到更小分辨率的光刻的重大挑战是需要将曝光的波长减小到与CD几乎一样大小（参见第14章）。

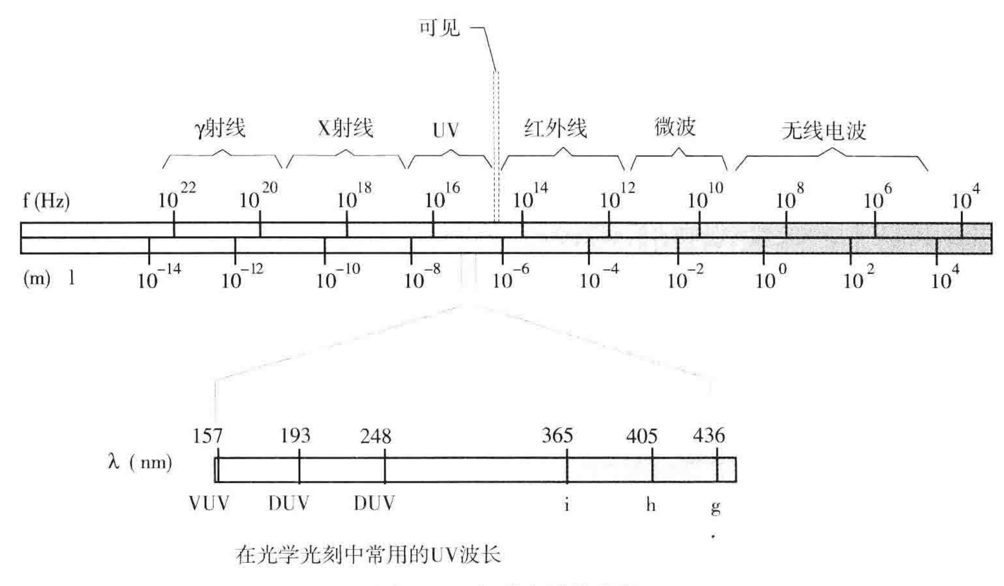


图 13.3　电磁光谱的片段

■ **套准精度**　正像我们将要从第 14 章中看到的，光刻要求硅片表面上存在的图案与掩膜版上的图形准确对准，这种特性指标就是套准精度。对准十分关键是因为掩膜版上的图形要层对层准确地转移到硅片上（见图 13.4）。当图形形成要多次用到掩膜版时，任何套准误差都会影响硅片表面上不同图案间总的布局宽容度。这种情况就是套准容差。而大的套准容差会减小电路密度，即限制了器件的特征尺寸，从而降低 IC 性能。

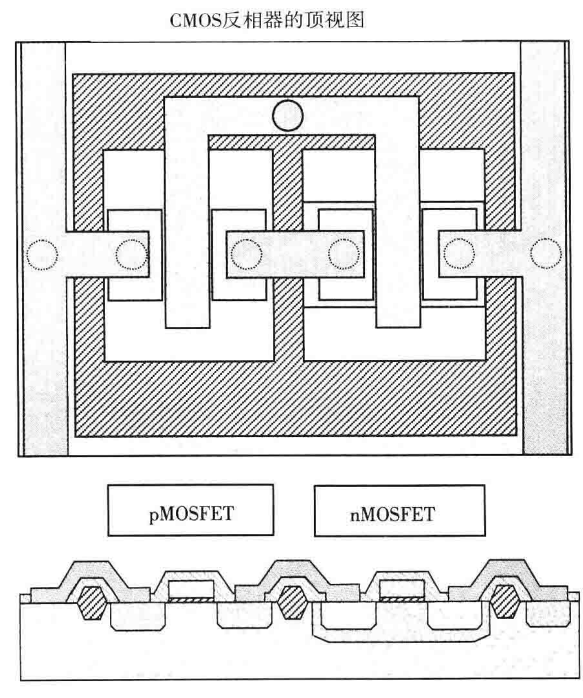


图 13.4　掩膜版套准精度的重要性

不同种类的对准误差影响套准容差。对准误差由掩膜版和硅片间不良的对准引起。还有一种容差是管芯与管芯间距离上的差异[3]。它可以由温度的变化所引起。这些误差可以在现代对准系统中采用整场对准或逐场对准的方式来控制变化（参见第14章）。

■ **工艺宽容度** 在光刻工艺中有许多工艺是可变量。例如，设备设定、材料种类、人为操作、机器对准，还有材料随时间的稳定性。工艺宽容度表示的是光刻始终如一地处理符合特定要求产品的能力。目标是获得最大的工艺宽容度，以提高工艺生产好的器件的能力。为了获得最大的工艺宽容度，工艺工程师要调整不同的工艺变量。对于光刻，高的工艺宽容度意味着，在生产过程中，即使遇到所有的工艺发生变化，在规定范围内也能达到关键尺寸要求。

13.2 光刻工艺

光刻包括两种基本的工艺类型：负性光刻和正性光刻。负性光刻把与掩膜版上图形相反的图形复制到硅片表面。正性光刻把与掩膜版上相同的图形复制到硅片上。这两种基本工艺的主要区别在于所用光刻胶的种类不同。当曝光时，光刻胶如何反应取决于它是负性还是正性光刻胶材料。

13.2.1 负性光刻

负性光刻的基本特征是当曝光后，光刻胶会因交联而变得不可溶解，并会硬化。一旦硬化，交联的光刻胶就不能在溶剂中被洗掉。因为光刻胶上的图形与投影掩膜版上的图像相反（见图13.5），所以这种光刻胶被称为负性光刻胶。负性光刻胶是最早应用在半导体光刻工艺中的光刻胶。

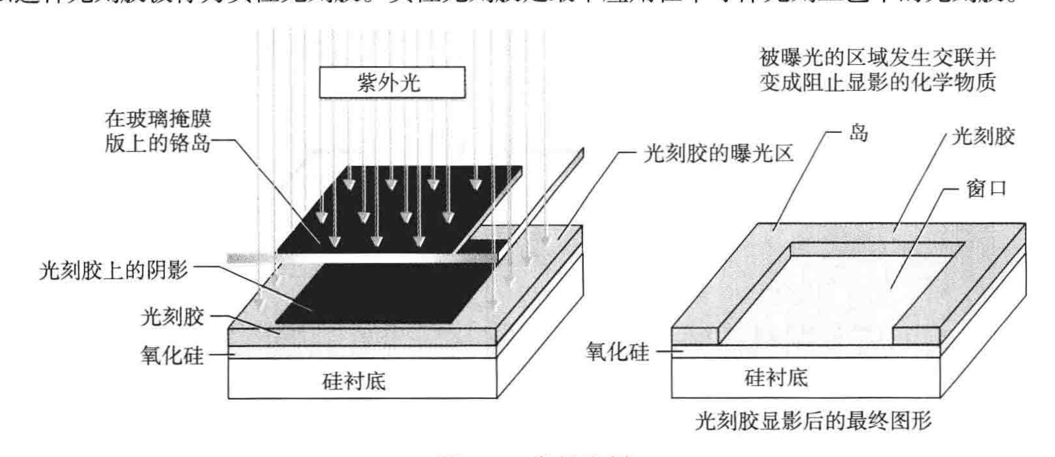


图13.5 负性光刻

由图13.5中的图解可以看出负性光刻胶的掩膜版是透明的石英版。掩膜版的黑色部分是一层淀积的铬膜，它形成想得到的掩膜版图案。铬是不透明的，不允许紫外光透过。对于负性光刻胶，在掩膜版上不透明铬下面的区域没有被曝光，因此没有改变。光刻胶仍是软的，当曝露在显影化学溶剂中时就会溶解。紫外光透过掩膜版透明区域后把光刻胶硬化，所以就不会溶解在显影液中。用这种方法，负性光刻胶得到了与掩膜版上图案相反的图形。

13.2.2 正性光刻

在正性光刻工艺中，复制到硅片表面上的图形与掩膜版上的一样。被紫外光曝光后的区域经历了一种光化学反应，在显影液中软化并可溶解在其中。用这种方法，曝光的正性光刻胶区域将在显

影液中被除去，而不透明的掩膜版下的没有被曝光的光刻胶仍保留在硅片上（见图 13.6）。由于形成的光刻胶上的图形与投影掩膜版上的相同，所以这种光刻胶被称做正性胶。保留下来的光刻胶在曝光前已被硬化，它将留在硅片表面，作为后步工艺（如刻蚀）的保护层，在接下来的工艺结束后光刻胶就被除去。在20世纪70年代，正性光刻胶成为亚微米微光刻的主流光刻胶，并延续至今（见下节对正性光刻胶优点的探讨）。

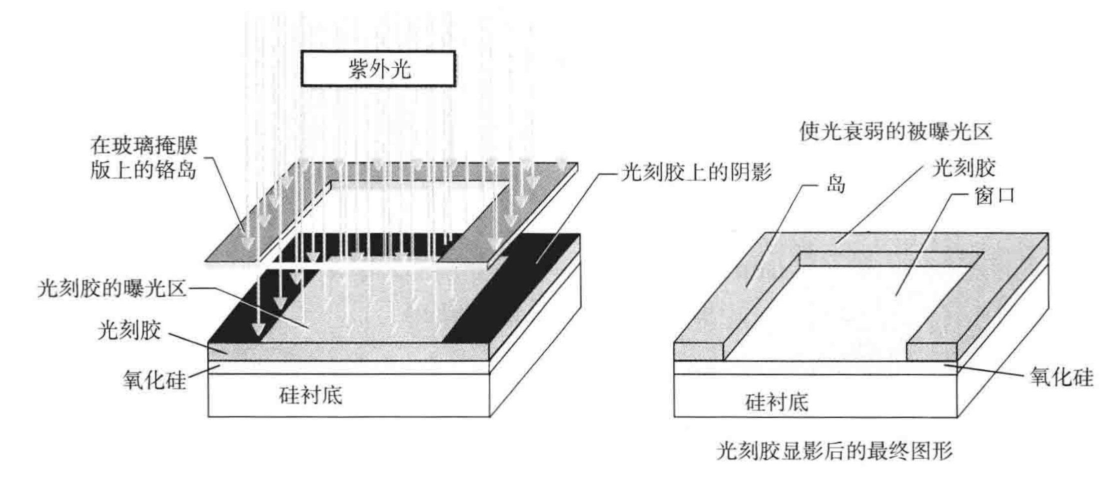


图 13.6　正性光刻

转移到光刻胶上的图形可以被看成是窗口或岛。关于这两种不同类的掩膜版和光刻胶结果的概述见图 13.7。

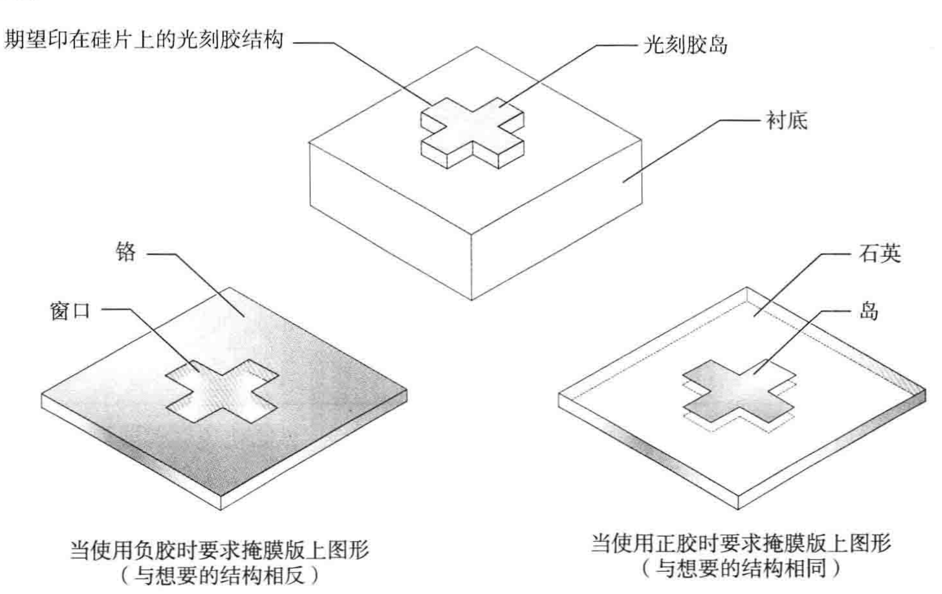


图 13.7　掩膜版与光刻胶之间的关系

另一种描述掩膜版的方法是根据它们的表面外观。如果有一个掩膜版，其石英版上大部分被铬覆盖，它就指的是暗场掩膜版。亮场掩膜版有大面积透明的石英，而只有很细的铬图形。比较正性光刻和负性光刻所用的掩膜版，如果一个用正性光刻胶的特定掩膜层需要用亮场掩膜版，那么具有相同图形的暗场掩膜版就被用于负性光刻胶。

用正性光刻作为例子，一些通常的暗场掩膜版被用于源漏注入、LDD注入和接触孔刻蚀工艺之前。亮场掩膜版应用于栅刻蚀和金属互连刻蚀工艺之前。图13.8说明了基于正性光刻胶光刻工艺的两种掩膜版的例子。

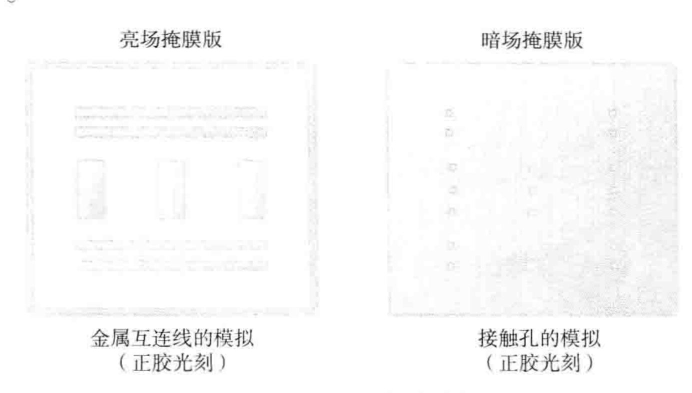


图13.8 亮场与暗场掩膜版

13.3 光刻工艺的8个基本步骤

光刻工艺是一个复杂过程，它有很多影响其工艺宽容度的工艺变量。例如减小的特征尺寸、对准偏差、掩膜层数目以及硅片表面的清洁度。为方便起见，我们可以将光刻的图形形成过程分为8个步骤（见表13.2）。图13.9为这8个工艺步骤提供了图解概要。在硅片制造厂中这些步骤常称为操作。把大的图形处理工艺分成这8个步骤，简化了微光刻的各个方面。本章首先为这8个基本步骤做概述，然后再对材料、设备和光刻每步所用的工艺进行深入分析。这些步骤的深入分析会放在本章的末尾和下面两章中。表13.2指出了本章包括的特定步骤。

表13.2 光刻的8个步骤

步骤	所在章节
1. 气相成底膜	本章
2. 旋转涂胶	本章
3. 软烘	本章
4. 对准和曝光	14
5. 曝光后烘焙（PEB）	15
6. 显影	15
7. 坚膜烘焙	15
8. 显影检查	15

光刻工艺经历了重大的设备集成。自动化设备指的是涂胶/显影轨道系统或轨道，使用机器人、自动化材料传送，计算机执行所有8个步骤而没有人的介入。相对于从前光刻的人为操作，集成轨道有很多优点。它通过控制工艺步骤间的延迟来提高工艺控制水平，更有效地处理硅片，增加了灵活性，并因环境控制和最少的操作者传送减少了沾污，因为减少了操作者曝露于化学试剂的机会而增加了安全性。

13.3.1 步骤1：气相成底膜处理

光刻的第一步是清洗、脱水和硅片表面成底膜处理。这些步骤的目的是增强硅片和光刻胶之间的粘附性。



光刻轨道系统（承蒙 Advanced Micro Devices 公司允许使用照片）

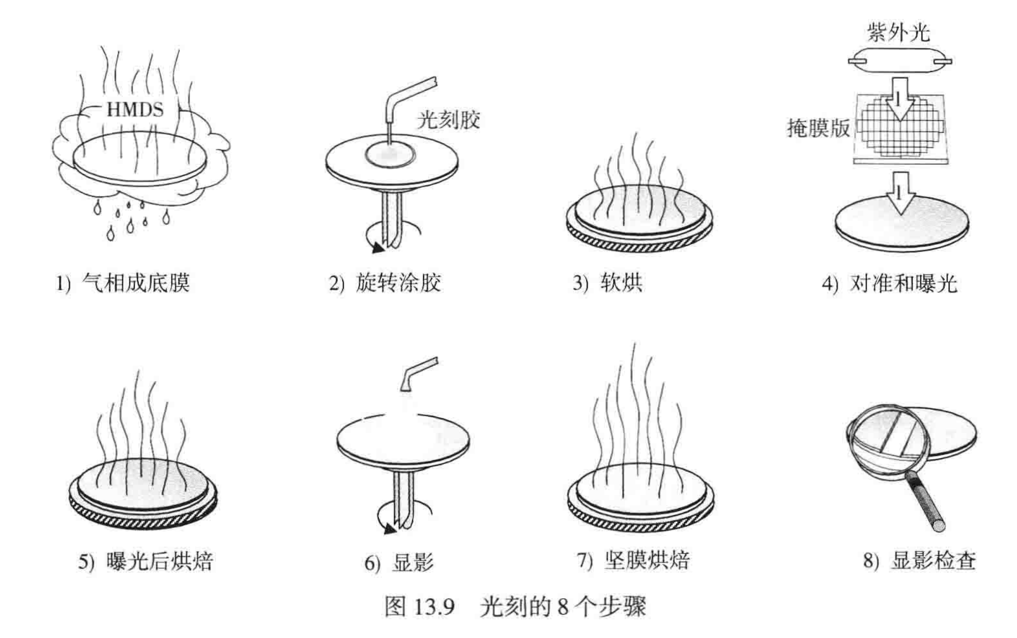


图 13.9　光刻的 8 个步骤

硅片清洗包括湿法清洗和去离子水冲洗以去除沾污物，大多数的硅片清洗工作在进入光刻工作间之前进行。脱水致干烘焙在一个封闭腔内完成，以除去吸附在硅片表面的大部分水汽。硅片表面必须是清洁和干燥的。脱水烘焙后硅片立即要用六甲基二硅胺烷（HMDS）进行成膜处理，它起到了粘附促进剂的作用。

13.3.2　步骤 2：旋转涂胶

成底膜处理后，硅片要立即采用旋转涂胶的方法涂上液相光刻胶材料。硅片被固定在一个真空载片台上，它是一个表面上有很多真空孔以便固定硅片的平的金属或聚四氯乙烯盘。一定数量的液体光刻胶滴在硅片上，然后硅片旋转得到一层均匀的光刻胶涂层（见图 13.10）。

不同的光刻胶要求不同的旋转涂胶条件，例如最初慢速旋转（例如500 rpm），接下来跃变到最大转速3000 rpm或者更高。一些光刻胶应用的重要质量指标是时间、速度、厚度、均匀性、颗粒沾污以及光刻胶缺陷，如针孔。

工艺小结：
- 硅片置于真空吸盘上
- 滴约5 ml的光刻胶
- 以约500 rpm的慢速旋转
- 加速到约3000至5000 rpm
- 质量指标：
  - 时间
  - 速度
  - 厚度
  - 均匀性
  - 颗粒和缺陷



图 13.10 旋转涂胶

13.3.3 步骤 3：软烘

光刻胶被涂到硅片表面后必须要经过软烘，软烘的目的是去除光刻胶中的溶剂。软烘提高了粘附性，提升了硅片上光刻胶的均匀性，在刻蚀中得到了更好的线宽控制。典型的软烘条件是在热板上90°C到100°C烘30秒，接下来是在冷板上的降温步骤，以得到光刻胶一致特性的硅片温度控制。

13.3.4 步骤 4：对准和曝光

下一步被称做对准和曝光。掩膜版与涂了胶的硅片上的正确位置对准。硅片表面可以是裸露的硅，但通常在其表面有一层事先确定了的图形。一旦对准，将掩膜版和硅片曝光，把掩膜版图形转移到涂胶的硅片上（见图 13.11）。光能激活了光刻胶中的光敏成分。对准和曝光的重要质量指标是线宽分辨率、套准精度、颗粒和缺陷。

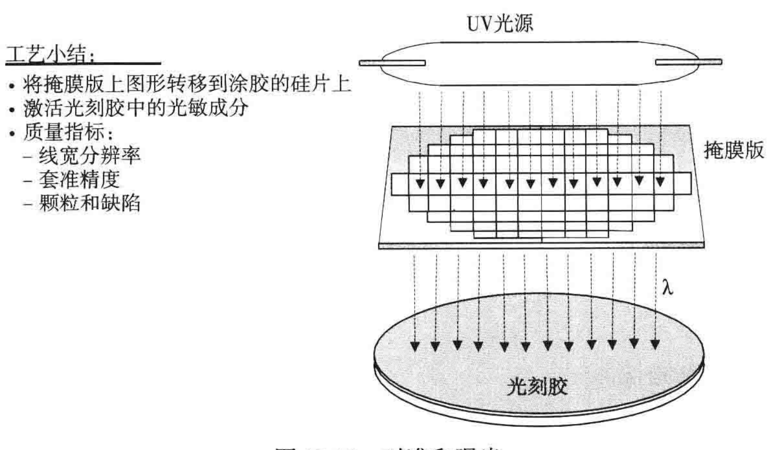


图 13.11 对准和曝光

13.3.5 步骤 5：曝光后烘焙

对于深紫外（DUV）光刻胶在100°C到110°C的热板上进行曝光后烘焙是必要的，这步烘焙应紧随在光刻胶曝光后。几年前，这对于非深紫外光刻胶是一种可选择的步骤，但现在即使对于传统光刻胶也成了一种实际的标准。

13.3.6　步骤 6：显影

显影是在硅片表面光刻胶中产生图形的关键步骤。光刻胶上的可溶解区域被化学显影剂溶解，将可见的岛或者窗口图形留在硅片表面。最通常的显影方法是旋转、喷雾、浸润（见图 13.12），然后显影，硅片用去离子水（DI）冲洗后甩干。



工艺小结：
- 用显影液溶解光刻胶可溶的区域
- 可见图形出现在硅片上
  - 窗口
  - 岛
- 质量指标:
  - 线条分辨率
  - 均匀性
  - 颗粒和缺陷

图 13.12　光刻胶显影

13.3.7　步骤 7：坚膜烘焙

显影后的热烘指的就是坚膜烘焙。烘焙要求挥发掉存留的光刻胶溶剂，提高光刻胶对硅片表面的粘附性。这一步是稳固光刻胶，对下面的刻蚀和离子注入过程非常关键。正胶的坚膜烘焙温度约为 120°C 到 140°C，这比软烘温度要高，但也不能太高，否则光刻胶就会流动从而破坏图形。

13.3.8　步骤 8：显影后检查

一旦光刻胶在硅片上形成图形，就要进行检查以确定光刻胶图形的质量。这种检查系统对于高集成的关键层几乎都是自动完成的。检查有两个目的：找出光刻胶有质量问题的硅片，描述光刻胶工艺性能以满足规范要求。如果确定胶有缺陷，通过去胶可以把它们除去，硅片也可以返工。

与任何制造工艺一样，光刻工艺的目标是无缺陷产品。然而，不检查并在胶中留下缺陷将是灾难性的问题。显影后检查可以发现错误并就地纠正，这是硅片制造过程中少有的可以纠正的几步之一。一旦有缺陷的硅片被送到下一个图形形成步骤（通常是刻蚀），就没有纠正错误的机会了。如果一个硅片被错误刻蚀，它就有了致命的缺陷，被认为是废品，对公司来说没有进一步的价值了。这就是检查数据对于描述和提高光刻胶工艺特性如此重要的原因。

13.4　气相成底膜处理

要成功地制造集成电路，硅片在所有的工艺步骤中都要仔细地清洗。在各工艺步骤间保存和传送硅片时不可避免地要引入沾污，所以清洗步骤非常必要。而许多缺陷都来自沾污的硅片，所以硅片表面的准备对于得到高成品率的光刻过程是非常关键的。

13.4.1　硅片清洗

光刻的第一步是清洗和准备硅片表面，通常在硅片进入光刻间之前进行。硅片沾污和适当的

清洗过程在第6章中讨论。概括来讲，不良的表面沾污有颗粒、金属杂质、有机沾污和自然氧化。这些沾污的来源包括人、工艺用化学试剂、工艺设备、封装和保存、硅片的传送方式，还有环境条件。硅片上被沾污的薄层中包括离子（金属）杂质、原子和聚合物（有机物）层，这些都难于探测。第6章讨论了沾污种类和清洗工艺。

光刻过程中硅片上的沾污物的一个主要影响是造成光刻胶与硅片的粘附性很差。这种情况会在显影和刻蚀中引起光刻胶的漂移问题。光刻胶漂移导致底层薄膜的钻蚀（见图13.13）。光刻胶中的颗粒沾污会导致不平坦的光刻胶涂布或在光刻胶中产生针孔。

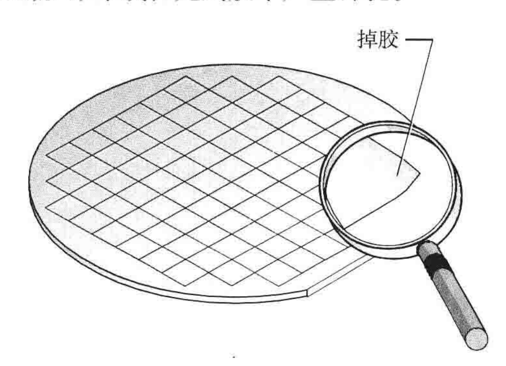


图13.13 由于表面沾污引起的粘附性差的效果

通常进入光刻工艺的硅片刚完成氧化或淀积操作，并处于洁净的状态。为这些洁净硅片涂胶的最佳条件是尽可能地快。为保证这点，一些工厂会设定硅片在进行光刻工艺所能等待的时间限制，使吸附在硅片表面的沾污最小化。

13.4.2 脱水烘焙

硅片容易吸附潮气到它的表面。硅片曝露在潮气中叫做亲水性（也称水合作用）。对于光刻胶的粘附性，具有干燥成疏水性的硅片表面非常重要。一种保持疏水性硅片表面的方法是在上步工艺完成后尽快为硅片涂光刻胶，另一种措施是将室内的相对湿度控制在50%以下。

由于光刻胶粘附要求要严格的干燥表面，所以在成底膜和光刻胶旋转涂胶前要进行脱水烘焙。实际的烘焙温度是可变的，常用的是200°C到250°C。脱水烘焙温度通常不能超过400°C，因为下面层（例如铝）的温度敏感性经常不能到这个温度。硅片表面的总体脱水温度大约在750°C，但空气中的潮气在硅片表面冷却下来时就会很快被重新吸附，因此，加热到这个温度基本没什么益处[4]。

典型的烘焙是在传统的充满惰性气体（例如氮气）的烘箱或真空烘箱中完成。也可以在一热板上完成，接下来有一冷板来快速降低硅片温度。几乎所有的硅片加工厂都使用自动化硅片轨道系统，所以脱水烘焙过程被集成在硅片传送系统中。

13.4.3 硅片成底膜

脱水烘焙后硅片马上要用六甲基二硅胺烷（HMDS）成底膜，它起到提高粘附力的作用。这步工艺与准备油漆木料时所用的油漆底漆类似。HMDS影响硅片表面使之疏离水分子，同时形成对光刻胶材料的结合力。它本质是作为硅片和光刻胶的连接剂，所以这些材料具有化学相容性。

硅片成底膜处理的一个重要方面在于硅片应该在进行成底膜操作后尽快涂胶，使潮气问题达到最小化。建议涂胶在成底膜后60分钟内进行[5]。成底膜过程通常由自动化轨道系统上的软件来控制。

■ **成底膜技术**　HMDS 可以用浸泡、喷雾和气相方法来涂。硅片上成底膜的方法一般被集成在硅片轨道系统上。

浸润液分滴和旋转　滴浸润液和旋转的方法常用于单个硅片处理（见图 13.14）。温度和用量容易控制，但系统需要排液和排气装置。这种方法的缺点是 HMDS 大的消耗量。

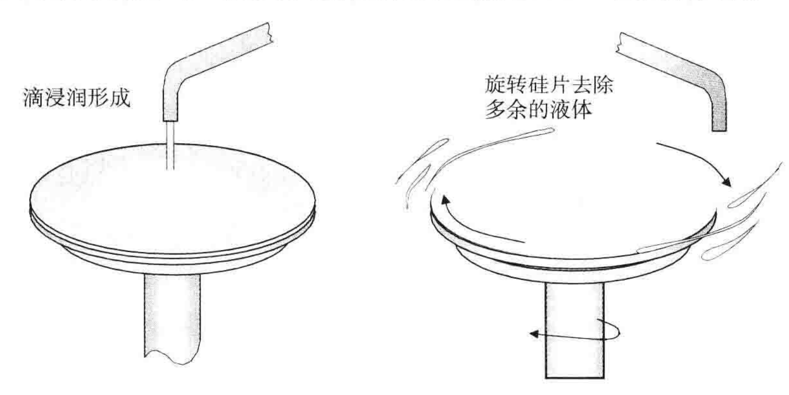


图13.14　HMDS滴浸润液和旋转

喷雾分滴和旋转　喷雾方法用一喷嘴喷雾器在硅片表面上沉积一层细微的雾状 HMDS。这种方法的优点是喷雾有助于硅片上颗粒的去除，缺点是处理时间长和 HMDS 消耗量大。

气相成底膜和脱水烘焙　在硅片表面涂 HMDS 最常用的方法是气相底膜涂胶，气相成底膜在 200°C 到 250°C 下约 30 秒钟完成。气相成底膜的优点是由于没有与硅片接触减少了来自液体 HMDS 颗粒沾污的可能。气相成底膜 HMDS 消耗量也最少。合适的硅片成底膜方法已被接触角测量仪证实（参见第 7 章）。

一种方法是先进行脱水烘焙，接下来将单个硅片置于热板上通过热传导熏蒸形成底膜（见图 13.15）。硅片载片台通常由石英制成。这种方法的优点是硅片由里向外烘焙，低缺陷密度，均匀加热和可重复性。

工艺小结：

- 在带有抽气的密闭腔内去湿烘焙
- 六甲基二硅胺脘（HMDS）
- 清洗并干燥硅片表面
- 湿度为200到250 °C
- 时间为60秒

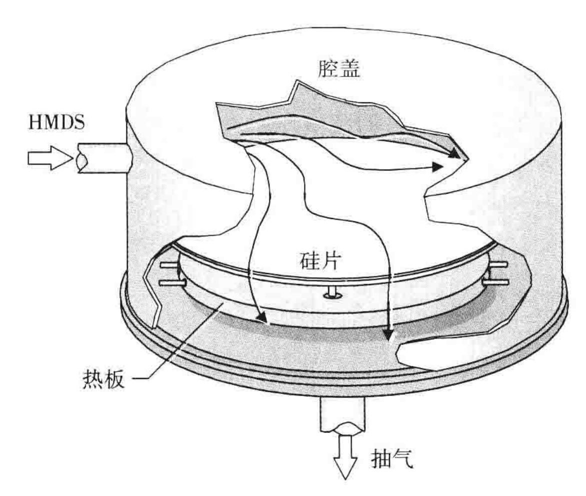


图13.15　HMDS热板脱水烘焙和气相成底膜

另一种与气相成底膜结合的脱水烘焙方法是用一个以氮气携带气体的真空腔。这是一个成批处理工艺，硅片被放在烘箱内的石英载片台上，加热的腔体抽空后充入氮气携带的 HMDS 蒸气达到一个预先设定的压力。预处理完成后，腔体被抽空，并充入氮气到常压。

13.5 旋转涂胶

一旦硅片被清洗、脱水烘焙、成底膜，就已经做好了涂光刻胶的准备。光刻胶适于旋转涂胶，硅片旋转涂胶直到在硅片表面形成一层薄膜。在考虑光刻胶旋转涂胶前，我们将回顾一下光刻胶的不同化学性质。

13.5.1 光刻胶

光刻胶是一种有机化合物，它受紫外光曝光后，在显影溶液中的溶解度会发生变化。硅片制造中所用的光刻胶以液态涂在硅片表面，而后被干燥成胶膜。硅片制造中光刻胶的目的是：

1. 将掩膜版图案转移到硅片表面顶层的光刻胶中。
2. 在后续工艺中，保护下面的材料（例如刻蚀或离子注入阻挡层）。

随着器件电路密度持续几代缩小了关键尺寸，为了将亚微米线宽图形转移到硅片表面，光刻胶技术得到了改善。这些改善包括：

1. 更好的图形清晰度（分辨率）；
2. 对半导体硅片表面更好的粘附性；
3. 更好的均匀性；
4. 增加了工艺宽容度（对工艺可变量敏感度降低）。

■ 光刻胶的种类 光学光刻胶的两个主要类别是负性光刻胶和正性光刻胶。这种分类基于光刻胶材料是如何响应紫外光的。对于负胶，紫外光曝光区域交联硬化，这使曝光的光刻胶难溶于显影液溶剂中，光刻胶没有在显影液中除去。一种负相的掩膜图形形成在光刻胶上。对于正性光刻胶，其曝光区域变得更易溶解，一种正相掩膜版图形出现在光刻胶上。在曝光过程中正性光刻胶分解，曝光区域易在显影液中被洗去。

也可以依据光刻胶能形成图形的最小关键尺寸来给光刻胶分类。重要的一类是能形成线宽尺寸在 0.35 μm 和 0.35 μm 以上的传统光刻胶。在 20 世纪 90 年代后期引入了一种新的光刻胶技术，即适用于深紫外（DUV）波长的化学放大（CA）光刻胶（见下一节）。化学放大光刻胶可以在批量生产中形成 0.25 μm 以下的细微几何关键尺寸。已在实验室环境中形成 0.05 μm 的关键尺寸。对于高性能的集成电路生产，硅片可能在非关键层用传统光刻胶形成图形，而在关键层用 CA 光刻胶。这里指的传统光刻胶是不包括化学放大光刻胶的所有光学光刻胶。还有用于非光学光刻的电子束成像技术和 X 射线曝光系统（参见第 15 章）的特殊光刻胶。我们关注适用于硅片加工的传统和化学放大光学光刻胶。

■ 正负光刻胶对比 如前概述，负性光刻胶在曝光后硬化变得不能溶解。在显影后，图像与原先的掩膜版图形相反。正性光刻胶曝光时软化，变得可溶。显影后，图像与原先的掩膜板图形一样。

在半导体微光刻技术中，最早使用的光刻胶主要是负性光刻胶，直到 20 世纪 70 年代中期。这个时期的负性光刻胶显示出对硅片良好的粘附性和对刻蚀良好的阻挡作用。然而，由于显影时的变形和膨胀，负性光刻胶通常只有 2 μm 的分辨率[6]。只要电路线宽尺寸保持到这个尺寸左右，负性光刻胶便是可以接受的。但是随着超大规模集成电路和甚大规模集成电路及其相关微米、亚微米电路图形尺寸的出现，负性光刻胶被正性光刻胶所取代。正性光刻胶已经徘徊了许多年，但它的粘附性较差，改善了分辨率的能力仍没有需求。

20世纪70年代，由负性光刻胶向正性光刻胶的转换代表了在光刻工艺中的一次根本改变。它需要改变光刻掩膜版的极性，即亮场区变成暗的（不透明的），而暗场区变成透明的。这种变化不只包括改变掩膜版制造工艺的明暗场。两种不同的光刻胶其复印掩膜尺寸不同。例如，对于用亮场掩膜版的负性光刻胶，光刻胶中的尺寸要比相应的光刻掩膜版的尺寸小，因为图形周围有光的散射（衍射）。这与用暗场掩膜版的正性光刻胶相反，因为散射会趋向于增大光刻胶中的图案。这样，负性光刻胶到正性光刻胶的转变需要新的掩膜版，并在掩膜版制作过程中采用不同的调节量。如今正性光刻胶仍是占主导地位的光刻胶。

13.5.2　光刻胶的物理特性

光刻胶最基本的组成是在有机溶剂中的一种聚合物溶液。在各种工艺条件下，光刻胶都必须有良好的性能，包括涂胶、旋转、烘焙、显影、离子注入、刻蚀。在硅片应用中，用到许多类型的光刻胶，每一种都具有其与光刻工艺要求直接相关的自身物理特性。一种专用的光刻胶基于以下物理特性才被选中：

- 分辨率
- 对比度
- 敏感度
- 粘滞性
- 粘附性
- 抗蚀性
- 表面张力
- 存储和传送
- 沾污和颗粒

分辨率　分辨率是区别硅片表面上两个或更多的邻近特征图形的能力。一种解释分辨率的实际方法是通过硅片上形成符合质量规范要求的最小特征图形。形成的关键尺寸越小，光刻胶的分辨能力和光刻系统就越好。

对比度　对比度指的是光刻胶上从曝光区到非曝光区过渡的陡度（见图 13.16）。对比度代表着只适于在掩膜版透光区规定范围内曝光的光刻胶的能力。具有高对比度从而产生垂直的光刻胶侧墙是最理想的。

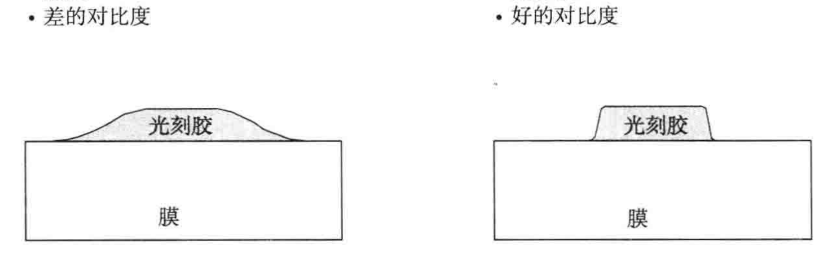


图 13.16　光刻胶的对比度

敏感度　敏感度是硅片表面光刻胶中产生一个良好图形所需要的一定波长光的最小能量值（以毫焦每平方厘米或 mJ/cm^2 为单位）。提供给光刻胶的光能量值通常称为曝光量。敏感度对于新型

光刻胶非常重要，因为波长更短的紫外波发射的能量低（例如，深紫外光）。光刻胶制造商使其光刻胶达到合适的敏感度，即在目前可用的辐射源的输出最佳能量值范围内，光刻胶具有最大能量吸收率。

粘滞性　粘滞性指的是对于液体光刻胶来说其流动特性的定量指标。粘滞性与时间相关，因为它会在使用中随着光刻胶中溶剂挥发增加。粘滞性非常重要，因为硅片表面具有各种形貌，例如台阶和狭缝，在这些地方，它会影响光刻胶的厚度和均匀性。随着粘滞性增加，光刻胶流动的趋势变小，它在硅片上的厚度增加。厚的光刻胶提供了更好的台阶覆盖和更好的干刻阻挡层，但使得小的开孔的分辨更困难了。同时厚的光刻胶使得到针孔的几率降低了，针孔是穿过光刻胶层直到衬底材料的微小空洞，后续的刻蚀工艺是非常不愿遇到它的，因为刻蚀的化学药剂会穿过小孔从而破坏下面的衬底材料。低粘滞性光刻胶流动的倾向性更大，会在硅片表面产生更薄的覆盖层。

固体含量指的是液体光刻胶在溶剂挥发掉后作为固体留下来的量。比重（SG）是光刻胶密度的一个指标，它与光刻胶中的固体含量有关。较大比重意味着光刻胶中有更多的固体，这表明粘滞性更高，流动性更差。

粘度用单位泊（poise）来度量。光刻胶粘度用厘泊（泊的1%）度量或cps。粘滞性可用百分斯托克斯（cs）表示，就是运动粘滞，在这里百分泊是绝对粘滞率。用密度（比重）去除绝对粘滞率（厘泊）可以得到运动粘滞率。例如，一个SG为0.8，cps为70的光刻胶，其运动粘滞率为：

运动粘滞率 = 绝对粘滞率（cps）/ 比重
=70 cps/0.8 SG
=87.5 百分斯托克斯（cs）

粘附性　光刻胶的粘附性描述了光刻胶粘着于衬底的强度。光刻胶必须粘附于许多不同类型的表面，包括硅、多晶硅、二氧化硅（掺杂和未掺杂的）、氮化硅和不同的金属。光刻胶粘附性的不足会导致硅片表面上的图形变形。光刻胶的粘附性必须经受住曝光、显影和后续的工艺（例如刻蚀和离子注入）。

抗蚀性　光刻胶胶膜必须保持它的粘附性，并在后续的湿刻和干刻中保护衬底表面（参见第16章）。这种性质被称为抗蚀性。一些干法刻蚀工艺要在高温（例如150°C）下完成，这需要光刻胶具有热稳定性以保持其形状。

表面张力　表面张力指的是液体中将表面分子拉向液体主体内的分子间吸引力。一个高表面张力的例子就像打蜡的汽车表面的水形成珠状（见图13.17）。光刻胶具有产生相对大的表面张力的分子间力，所以在不同工艺步骤中光刻胶分子会聚在一起。同时，光刻胶的表面张力必须足够小，从而在应用时能提供良好的流动性和硅的覆盖。

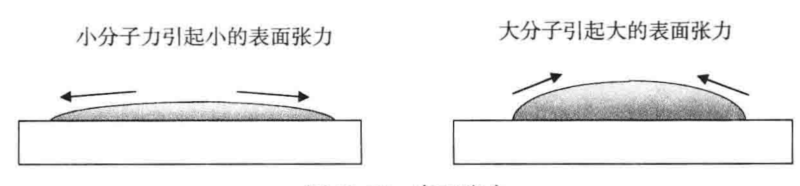


图 13.17　表面张力

存储和传送　能量将激活光刻胶的化学性质，无论是光能还是热能，这就要求小心控制存储和使用条件。特别规定了光刻胶闲置期限和存储温度环境。在超过存储时间或较高的温度时，负胶会发生交联，正胶会发生感光剂延迟。如果因为容器开口而使光刻胶中的溶剂挥发，那么其粘度会很快改变，固体会从液体中凝结。

光刻胶制造商已开发了自动滴胶系统来控制沾污和挥发。光刻胶容器通常是一密闭系统，比如可拆卸的盒。它们是不透光的，并直接固定在硅片轨道系统上，避免曝露在空气中。

沾污和颗粒　与硅片加工中所用到的任何化学品一样，光刻胶材料的纯度十分重要。与光刻胶相关的最关键的纯度是可动离子沾污(MIC)和颗粒。光刻胶涂在硅片表面很容易引入有害沾污。为了控制沾污和颗粒，光刻胶供应商需要极为严密地过滤和封装程序。涂光刻胶之前，用带有薄膜的过滤器，在使用点就地过滤可以将光刻胶的沾污控制在小于1 ppb。

13.5.3　传统的I线光刻胶

光学微光刻的传统I线光刻胶是那些适用于I线紫外波长（365 nm）的光刻胶，对应于关键尺寸在0.35 μm以上的非关键层的光刻都适用，这种情况包括负胶和正胶，尽管正胶是最常用的。注意I线光刻胶的特性也同时代表了G线（436 nm）和H线（405 nm）波长所用的光刻胶的基本特性。

I线光刻胶由三种基本成分组成[7]，还经常有作为添加剂的第四种成分（见图13.18）

1. 树脂（聚合物材料）；
2. 感光剂；
3. 溶剂；
4. 添加剂（备选的）。

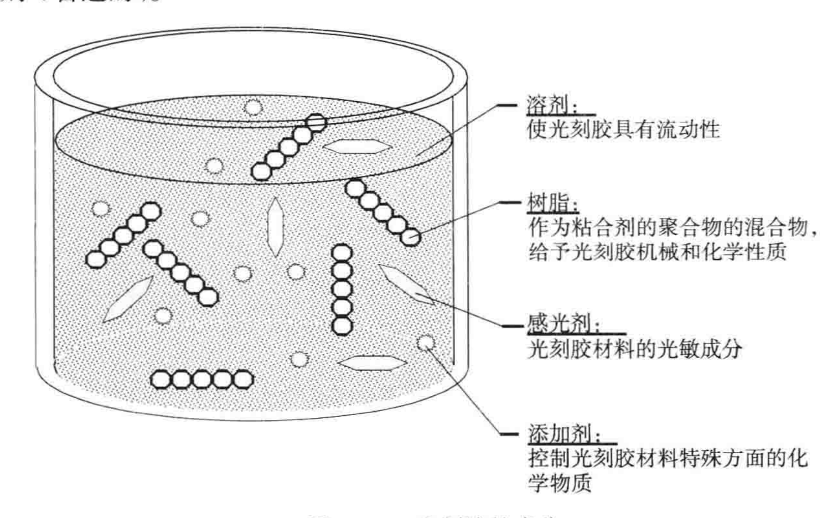


图13.18　光刻胶的成分

树脂　光刻胶树脂是一种惰性的聚合物（包括碳、氢、氧的有机高分子）基质，用于把光刻胶中的不同材料聚在一起的粘合剂。树脂给予了光刻胶其机械和化学性质，例如粘附性、胶膜厚度、柔顺性和热流稳定性。树脂通常对于光不敏感，意味着紫外光曝光后它不会发生化学变化。

感光剂　光刻胶感光剂是光刻胶材料中的光敏成分，它对光形式的辐射能，特别在紫外区，会发生反应。感光剂对于光能发生光化学反应。

溶剂　溶剂使光刻胶保持液体状态，直到它被涂在硅片衬底上。绝大多数的溶剂在曝光前挥发，对于光刻胶的光化学性质几乎没有影响。

添加剂　光刻胶添加剂通常是专有化学品，即这种成分是由制造商开发并由于竞争的原因不对公众公开。添加剂用来控制和改变光刻胶材料的特定化学性质或光刻胶材料的光响应特性。它也包括控制光刻胶反射率的染色剂。

■ 负性I线光刻胶 I线负胶的树脂通常是一种化学的惰性聚异戊二烯聚合物，这是一种天然橡胶。聚异戊二烯悬浮在溶剂中，如二甲苯。光刻胶的感光剂是一种经过合适波长的紫外光曝光后释放出氮气的光敏剂，产生自由基在橡胶分子间形成交联。经紫外光曝光形成的交联橡胶变得不溶于显影液（见图13.19）。同时，光刻胶未曝光（因此未聚合）的区域在影液中被冲去。负胶交联的基本步骤在表13.3中列出。

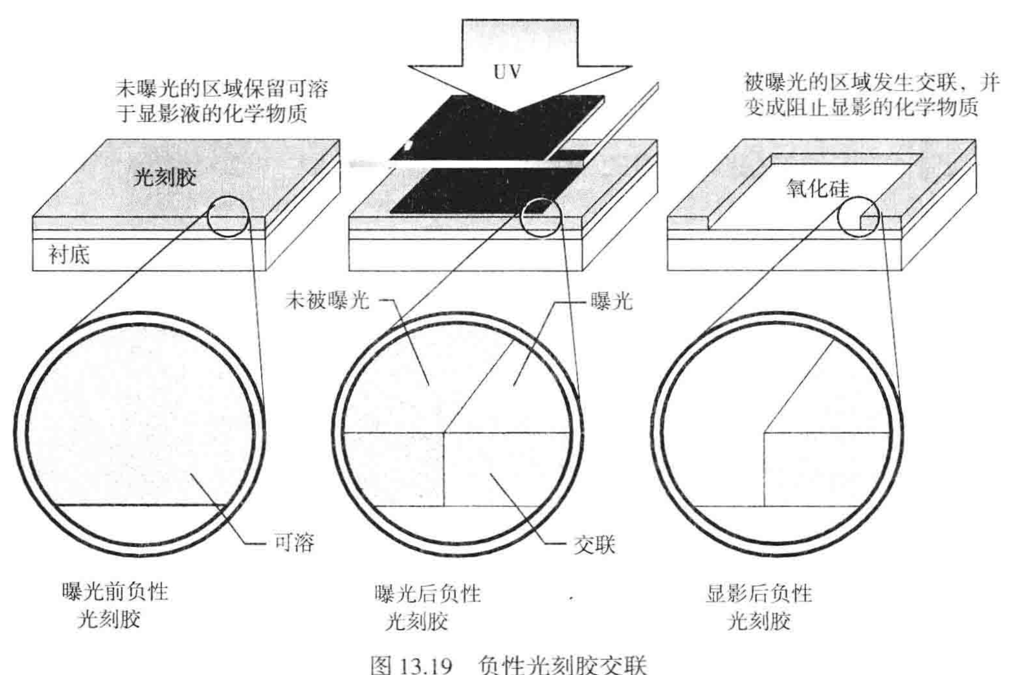


图13.19 负性光刻胶交联

表13.3 负胶交联步骤

1. 光刻胶树脂是悬浮在溶剂（可溶于显影剂溶液）中的聚异戊二烯橡胶聚合物
2. 曝光使光敏感光剂释放出氮气
3. 释放出的氮气产生自由基
4. 自由基通过交联橡胶聚合物（不溶于显影液）使光刻胶聚合

传统负胶的一大缺点就是在显影时曝光区域由溶剂引起的泡胀。这种泡胀使硅片表面的光刻胶图形变形，对于具有微米和亚微米关键尺寸的极细小图形线条来说是不能接受的。另一缺点是曝光时光刻胶可与氮气反应从而抑制其交联。因此，这也是研究新的不会泡胀或扭曲图形的光刻胶的规则[8]。负胶曝光速度快（使得硅片的总处理能力更高），对硅片的粘附性也好。

■ 正性I线光刻胶 正性I线光刻胶是IC光刻中最常用的光刻胶。其中的树脂材料是一种叫做线性酚醛树脂的酚醛甲醛。线性酚醛树脂的一种常见用途就是作为把木质胶合板粘在一起的粘着剂。线性酚醛树脂是一种长链聚合物，它形成了光刻胶胶膜的关键特性，比如良好的粘附性和化学抗蚀性，使它成为后续工艺（如刻蚀）可接受的保护层。当没有溶解抑制剂存在时，线性酚醛树脂会溶解在显影液溶剂中。

正性I线光刻胶中的感光剂是光敏化合物（PAC），最常见的是重氮萘醌（DNQ）。在曝光前，DNQ作为一种强力的溶解抑制剂，降低溶解速率。当用紫外光曝光后，DNQ提高显影液中的溶解度因子到100或更高（见图13.20）[9]。这种I线胶常被称为DNQ线性酚醛树脂，表示DNQ和线性酚醛树脂的混合物。它最初是从设计蓝图所用的材料中进化而来的。注意，图13.20中的掩膜版与图13.19中的是直接相反的。

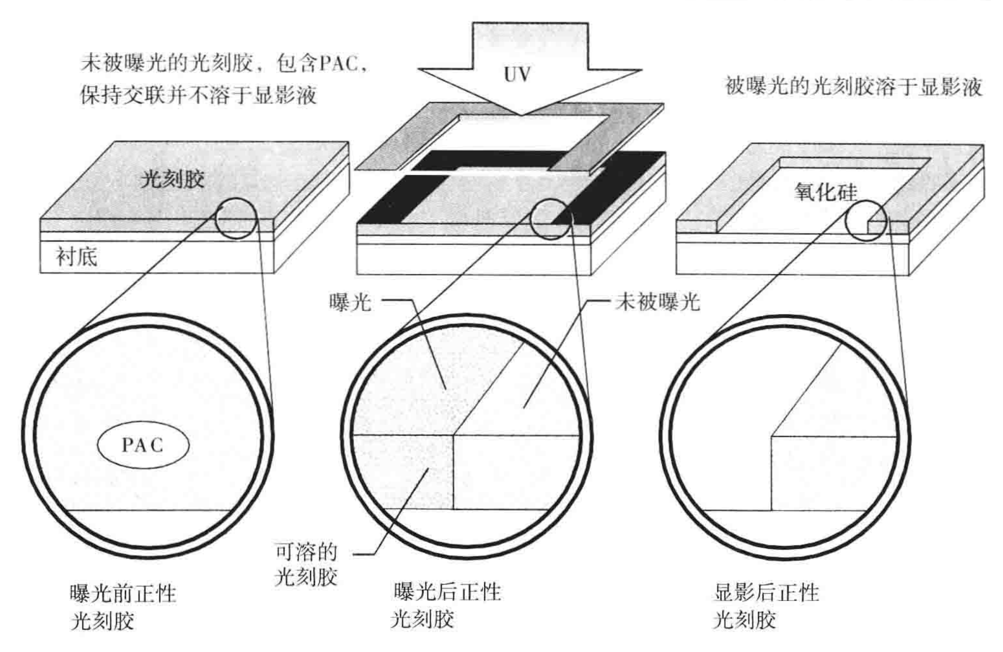


图 13.20　在正性 I 线光刻胶中作为溶解抑制剂的 PAC

当经过适当波长的光能曝光后，重氮萘醌（DNQ）在光刻胶中化学分解。现在曝过光的 DNQ 成为光刻胶曝光区域的溶解度增强剂。这种变化是在 DNQ 产生羧基酸时完成的，它在显影液溶剂中溶解度很高。曝光后的正胶以这种方式由不溶变成可溶并溶解在显影液溶剂中。这就是正胶的可溶解性（见表 13.4）。在这过程中，对应于掩膜版透明区域的光刻胶会溶解，产生正相图形。在 DNQ 光刻胶中，曝光区域的溶解度要比未曝光的区域高 100 倍左右[10]。

表 13.4　正性 I 线胶溶解于显影液的步骤

步骤
1. 树脂是悬浮于溶剂中的酚醛甲醛聚合物（线性酚醛树脂）
2. 感光剂化合物作为强的溶解抑制剂（不溶于显影液）被加到线性酚醛树脂中
3. 曝光过程中，DNQ 发生光化学分解产生羧酸
4. 羧酸提高光刻胶曝光区域的线性酚醛树脂的溶解度（光刻胶在显影液中变得可溶解）

正胶的一大优点是在光刻胶的未曝光区域不受显影液的影响，因为光刻胶最初就不溶解，并保持这种性质。这样在光刻过程中转移到光刻胶上的极细线条的图形会保持线宽和形状，产生良好的线宽分辨率。原来的正胶只有很弱的粘附力，但现在的正胶已被设计得具有更令人满意的粘附性。

正胶具有好的分辨率的原因之一是对比度高。正胶可以更好地分辨掩膜版的亮区和暗区，在光刻胶上产生陡直的转移图形。正胶具有良好的对比特性，由于光刻胶侧墙陡直使其产生更好的线宽分辨率（见图 13.21）。

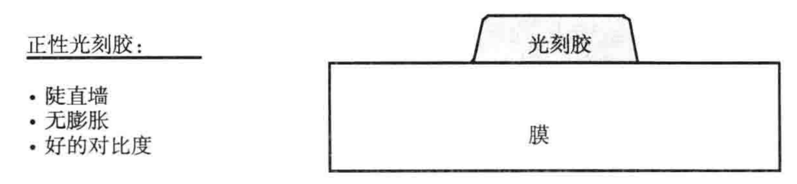
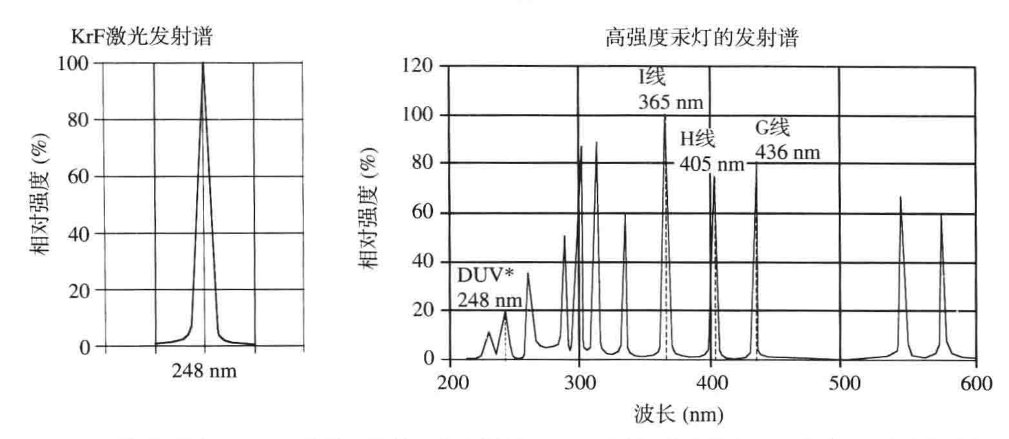


图 13.21　正性 I 线光刻胶良好的对比特性

13.5.4 深紫外（DUV）光刻胶

对于最理想的图形分辨率，微光刻的目标是曝光光线的波长与关键尺寸成比例（参见第14章）。在20世纪90年代中期，用波长365 nm的I线曝光可得到0.35 μm的关键尺寸。在20世纪90年代后期，为了在关键层上得到0.25 μm的关键尺寸，必须要减小曝光光源的波长到250 nm(0.25 μm)左右。这个值相当于深紫外（DUV）248 nm的紫外波长。该波长在图13.22中展示。



* 汞灯的强度在248 nm处是如此低以致不能被用于DUV光刻。如左图所示，准分子激光为给定的DUV波长提供更多的能量

图13.22 DUV发射光谱，汞灯光谱
（承蒙USHIO Specialty Lighting Product允许使用）

标准的I线光刻胶由于缺乏对更小波长的敏感性，所以不能被制作0.25 μm或以下关键尺寸的深紫外波长所接受。光刻胶有一个要转移令人满意的图形所需最小能量值的敏感性问题，而DNQ I线光刻胶体系具有过度的光吸收，并且在短的DUV波长的低光强下缺乏敏感性[11]。如果I线光刻胶具有过度的光吸收，那么光线就不能渗透光刻胶的整个厚度，导致不彻底曝光和粗劣的图形形状。而I线光刻胶差的光敏感性将需要更长的曝光时间，导致硅片处理能力下降。在248 nm深紫外波段汞灯只有很小的能量输出，低敏感性就是一个非常严重的问题。基于这一原因，I线光刻胶只适用在线宽为0.35 μm和以上的硅片非关键层上。

■ 深紫外光刻胶的化学放大 随着一种基于化学放大的DUV波长光刻胶的引入，光刻胶技术发生了一个重大的变化。化学放大（CA）的意思是对于那些DNQ线性酚醛树脂极大地增加它们的敏感性，所有的正性和负性248 nm的光刻胶都可以化学放大[12]。那些在IBM于20世纪80年代开展化学放大光刻胶的研究员们意识到，I线光刻胶体系的光吸收敏感性对于更短的DUV波长不能令人满意，需要一种新型的能提供化学放大益处的光刻胶[13]。

化学放大DUV光刻胶已被制成。DUV曝光进行酸致催化反应而加速反应速率。这个过程是通过采用一种称为光酸产生剂（PAG）的感光剂，增加光刻胶的敏感性而完成的。伴随着DUV曝光，PAG产生这种酸。这种酸仅在光刻胶的曝光区产生，在未曝光的光刻胶中没有酸产生。用于DUV光刻胶的最著名的酸产生剂是最高正价盐，如碘化盐和硫化盐[14]。

近年来，CA DUV光刻胶技术经历了长足的发展，对于所有CA DUV光刻胶树脂的基本原则是：树脂需要化学保护团使其不能溶于含水（以水为基本成分）的显影液。在光刻胶的DUV曝光区域由PAG产生酸，在曝光后烘焙步骤加热时，通过催化反应，将保护团移走（称为消除保护）。DUV光刻胶加热后，曝过光的树脂便可溶于显影液。

在20世纪80年代，IBM开发并使用CA DUV光刻技术生产过DRAM，CA DUV树脂是t-BOC (tert-butoxycarbonyl)[15]。t-BOC是PHS或PHOST（聚乙烯[羟基苯乙烯]）树脂的保护团。一旦光产生的酸移走t-BOC的保护团（指酸催化的t-BOC消除保护反应），那么PHS树脂就变得溶于显影液。

为了CA DUV正胶的应用，PHS树脂被很好地确立（值得注意的是所有主要的光刻胶制造商都在致力于寻求"新一代"CA DUV光刻胶）[16]。PHS树脂是一种具有保护团的酚醛共聚物，保护团使它不能溶于含水溶剂。在深紫外曝光过程中，PAG酸在所有的光刻胶曝光区域由光化学反应产生。这种酸是在曝光后热烘时除去保护团的化学催化剂。这步操作使得曝光的PHS高度溶于含水的显影液（见图13.23）。从本质上说，这些化学反应使曝光的DUV光刻胶区域从不溶解的光刻胶转变为高度溶解于以水为主要成分的显影液的光刻胶。表13.5概述了显影CA DUV光刻胶的4个主要步骤。

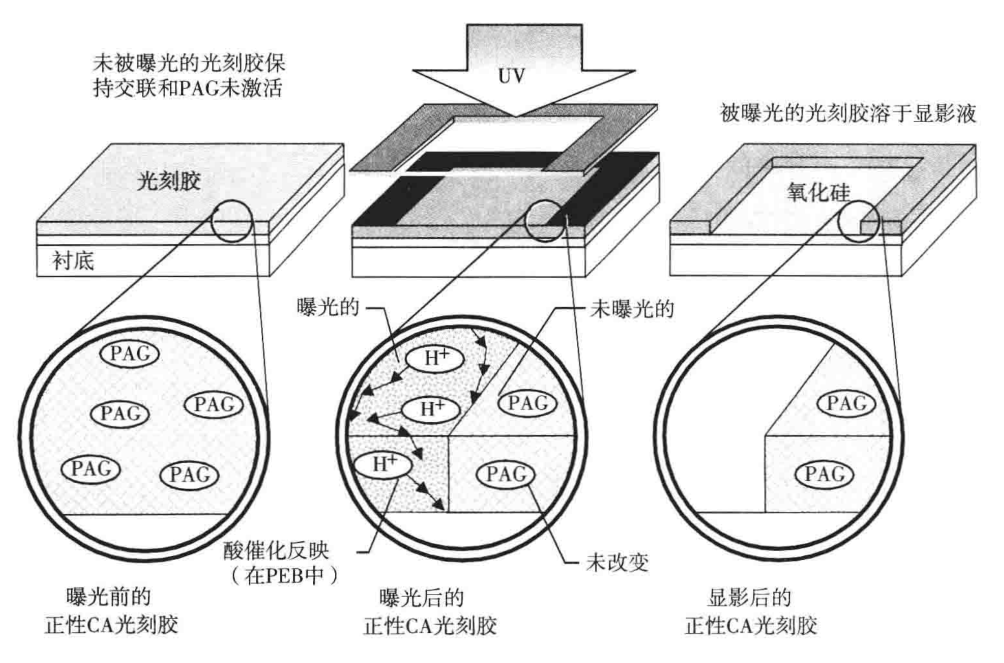


图 13.23　化学放大（CA）DUV 光刻胶

表 13.5　化学放大 DUV 光刻胶的曝光步骤

1. 具有保护团的酚醛树脂使之不溶于显影液
2. 光酸产生剂在曝光时产生酸
3. 曝光区域产生的酸作为催化剂，在曝光后热烘过程中移除树脂保护团
4. 不含保护团的光刻胶曝光区域溶解于以水为主要成分的显影液

第一种商用的CA DUV光刻胶是基于用酸催化剂交联酚醛树脂的负性胶体系。所有的CA负性胶都是由这种酚醛树脂交联而构成的。负性CA光刻胶在曝光时，亮场图像在形成小的接触孔时工艺宽容度很差。同时，由于酚醛树脂聚合物的交联，负性DUV光刻胶对于150°C以下的温度可防止热流动[17]。这种情况在某些刻蚀应用中是有益的。

使用DUV波长形成0.18 μm关键尺寸图形，正性CA光刻胶是最主要的光刻胶。CA DUV光刻胶最主要的一个优点是曝光速度快。CA化学试剂和DNQ线性酚醛树脂光刻胶比可以提高其曝光速度10倍，而对于任何光刻胶没有不良影响[18]。DUV的化学放大光刻胶为低强度的光源提高了光

刻胶的敏感性。另外一点，DUV 提供了具有陡直侧墙的高对比度图形和适于用在 0.25 μm 及以下关键尺寸的高分辨率[19]。

193 nm DUV 光刻胶　当前，已有合适的CA DUV胶用于193 nm波长曝光，并形成0.18 μm的关键尺寸线条。最大的改变是基于酚醛树脂聚合物（DNQ I线光刻胶）或者羟基苯乙烯（248 nm DUV 光刻胶）的光刻胶已不能令人满意。一些早期的 193 nm 光刻胶基于聚乙烯酚醛和聚甲基丙烯酸甲酯（PMMA）[20]。另外还在研究的化学平台是环形烯烃聚合物材料，可以提供更好的刻蚀特性[21]。这些光刻胶可以用于多层光刻胶技术形成顶层图形（参见第15章）。

■ DUV 工艺必要条件　DUV 光刻胶对于沾污非常敏感，特别是周围环境中的胺（如氨的有机化合物），只要有空气中十亿分之几（ppb）的胺，曝光后都会在光刻胶顶端侧面引起不良的关键尺寸变化。这种光刻胶变化导致了刻蚀后不能令人满意的线宽。CA DUV 光刻胶的胺敏感性要求光刻设备中的空气要经过化学过滤[22]。光刻工艺所用的探测设备能查出万亿分之五百以下的胺。

为减少关键尺寸变化，CA 光刻胶还要依赖于曝光后烘焙（参见第15章）的烘焙温度。早期的DUV光刻胶具有很显著的温度敏感性，而较新型光刻胶的温度敏感性要小一些。另外，早期的DUV光刻胶要求曝光后烘焙与光刻胶曝光之间的时间限制在几分钟内，近年来光刻胶可以被搁置的时间稍微长一些，大约 30 分钟左右。

13.5.5　光刻胶涂胶方法

对于半导体微光刻技术，在硅片表面涂上液体光刻胶来得到一层均匀覆盖层最常用的方法是旋转涂胶。旋转涂胶有 4 个基本步骤（见图 13.24）[23]：

1. **分滴**。当硅片静止或旋转得非常缓慢时，光刻胶被分滴在硅片上。
2. **旋转铺开**。快速加速硅片的旋转到一高的转速（rpm）使光刻胶伸展到整个硅片表面。
3. **旋转甩掉**。甩去多余的光刻胶，在硅片上得到均匀的光刻胶胶膜覆盖层。
4. **溶剂挥发**。以固定转速继续旋转已涂胶的硅片，直至溶剂挥发，光刻胶胶膜几乎干燥。

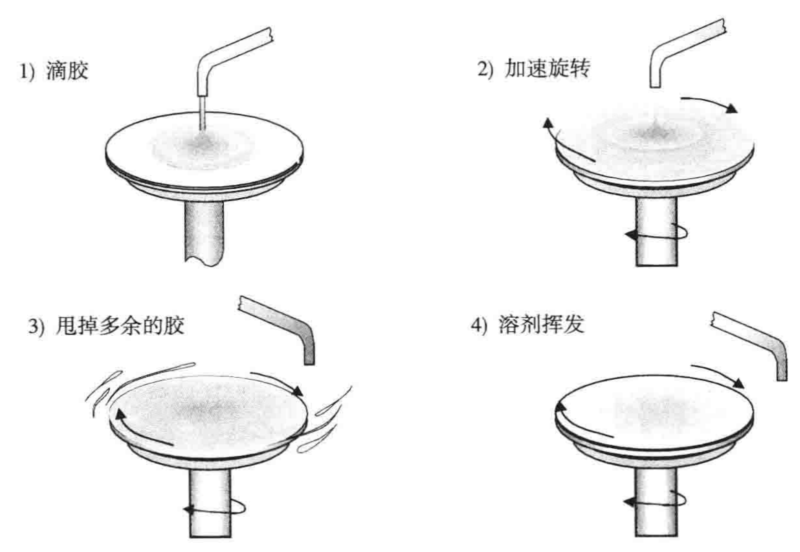


图 13.24　旋转涂布光刻胶的 4 个步骤

光刻胶旋转涂胶的两个目的是，在硅片表面上得到均匀的胶膜覆盖，在长时间内得到硅片间可重复的胶厚。光刻胶厚度由特殊的工艺规范来规定，通常在 1 μm 的数量级。整个硅片上的光刻胶胶膜厚度变化应小于 20 到 50 Å，而大批量的片间厚度控制应小于 30 Å。[24]

■ **旋转涂胶设备**　硅片旋转涂胶在自动硅片轨道系统中进行，这种系统具有自动硅片传送装置，在各步操作中传送硅片（见图13.25）。自动传送可使颗粒产生和硅片损伤最小化。

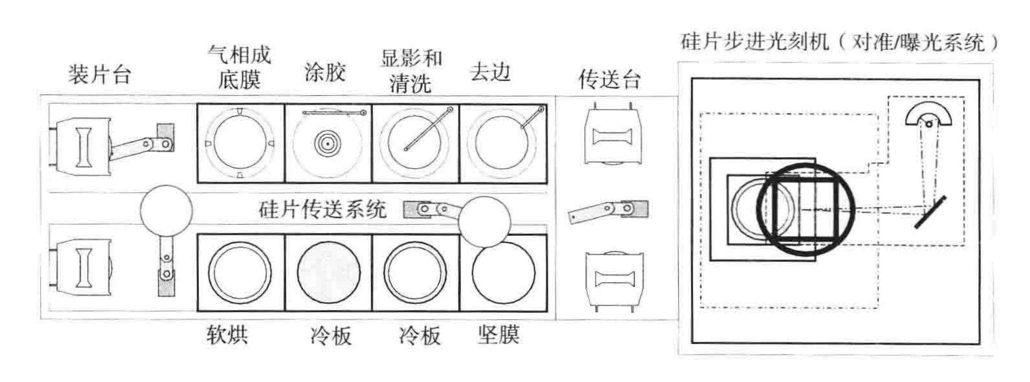


图13.25　自动硅片轨道系统

自动化硅片轨道的复杂之处在于同时有许多不同的操作在进行。在任一时刻，硅片轨道可能正在处理15到20枚硅片通过不同的光刻操作，例如气相成底膜、光刻胶旋转涂胶、显影、烘焙和冷却。轨道系统与步进曝光机相连，而且必须准确结合步进曝光机确保硅片在规定时间间隔内传进传出。

为了进行旋转涂胶，机械手把硅片放在硅片轨道上旋转涂胶位置的真空托盘上，托盘是中空的，平的金属板表面带有小孔并与真空相连。当硅片被放在托盘表面时，真空吸住硅片使它在旋转时与托盘紧密接触从而固定硅片。

光刻胶通过一滴胶喷嘴被分滴在硅片上，滴胶喷嘴应流出定量的光刻胶（见图13.26）。喷嘴有一回吸部件防止分滴后胶滴滴在硅片表面。喷嘴在X、Y、Z和θ方向上是可控制的，使工艺工程师可灵活将喷嘴定位在固定位置，并使厚度、均匀性和滴胶的量达到最理想的条件。一种特别的分滴方法被称为辐射状分滴，实际上它的机械臂在光刻胶分滴时是在整个硅片上方移动。这种方法使得分滴的胶量最小，其移动是电脑控制的，可以从边缘到中心或者从中心到边缘。

■ **旋转涂胶参数**　滴胶的方式可以根据工艺工程师确定的参数而变化。光刻胶可以在不旋转时被滴在硅片上，就是人们熟知的静止滴胶。静止滴胶后，硅片首先低速旋转，使光刻胶均匀铺开。一旦光刻胶到达硅片边缘，转速被加速到设定的旋转速度（例如通常最终转速可以为4000 rpm）。另一种方法是在硅片慢速旋转（例如100到200 rpm）时滴胶。这是为了均匀地覆盖硅片，然后加速到设定的转速，被称为动态滴胶。

滴胶量很大程度上取决于光刻胶的粘度。例如，一种具有粘度为55 cps的高粘度光刻胶要得到好的涂胶可能需要2.4 cc的光刻胶，而具有粘度为8 cps的低粘度光刻胶可能仅需要1.33 cc的光刻胶。通常粘度越小的光刻胶有越薄的胶膜厚度[25]。

硅片上光刻胶的厚度和均匀性是非常关键的质量参数。厚度并不是由淀积的光刻胶的量来控制的，因为绝大部分光刻胶都飞离了硅片（小于1%的量留在硅片上）。对于光刻胶厚度最关键的参数是转速和光刻胶粘度。许多光刻胶生产商都公开了他们的光刻胶成分及其膜厚随转速变化的数据（见图13.27）。这些数据有助于确定理想的设定转速。粘度越高转速越低，光刻胶就越厚。总的来说，光刻胶厚度已随转速变化为[26]：

$$光刻胶厚度 \propto 1/(\mathrm{RPM})^{\frac{1}{2}}$$

上式中RPM指旋转速度，以转每分钟为单位。

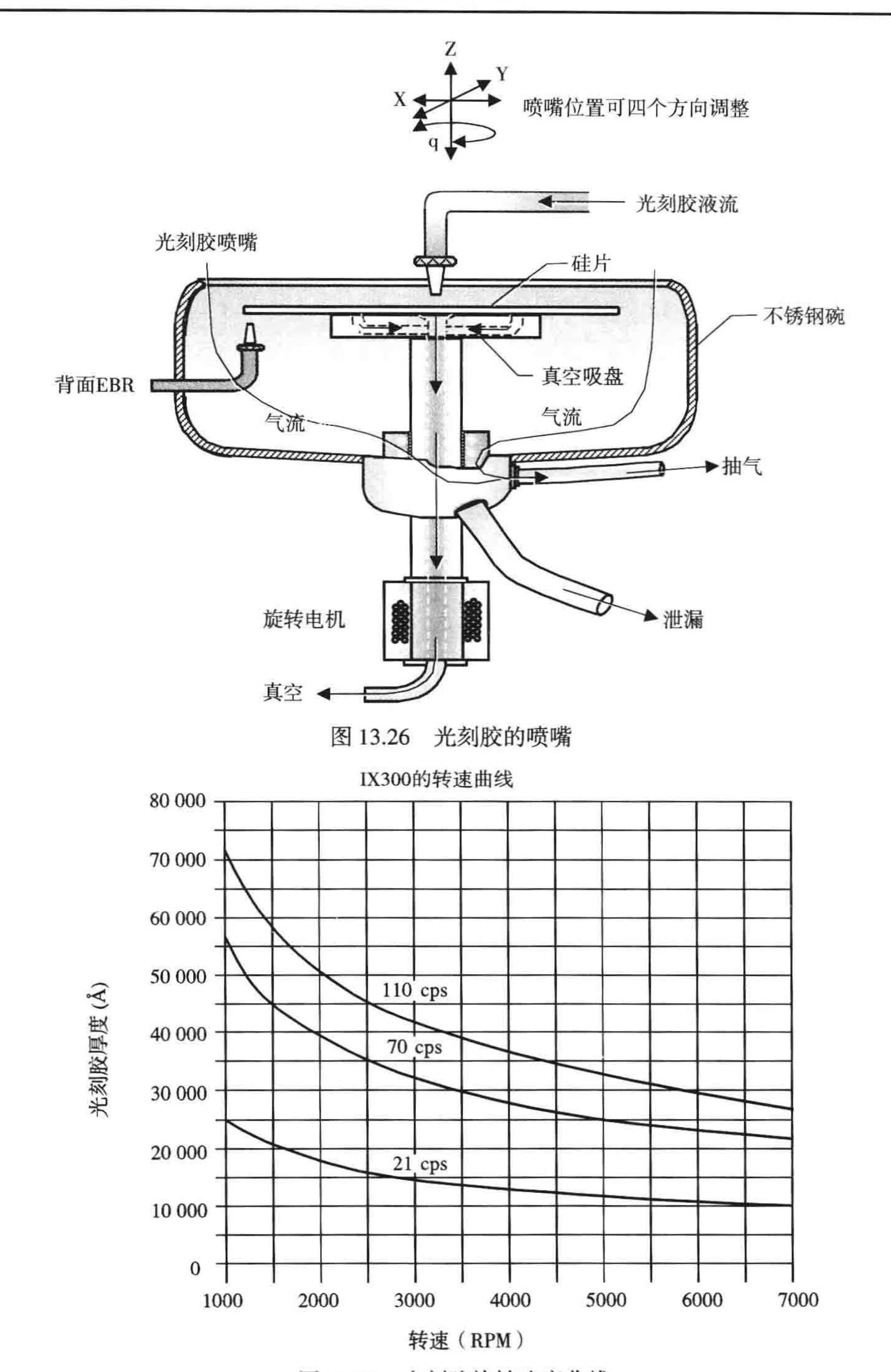


图 13.26　光刻胶的喷嘴

图 13.27　光刻胶旋转速度曲线

不同的参数会影响光刻胶的厚度和均匀性，达到设定转速的加速度变化斜率在多数旋转涂胶机上都是可控的，高的变化斜率通常要比低的变化斜率产生更好的均匀性。另一参数是喷嘴的高度和它在分滴时的位置。

光刻胶分滴的另一重要参数是环境控制。硅片轨道系统是一封闭的环境以便在光刻胶涂胶过程中控制温度、湿度、排气和颗粒沾污。温度和湿度对于硅片上光刻胶的均匀性影响非常强烈。光刻

的硅片轨道系统的小环境通常要控制颗粒沾污在0.1级。另外，旋转涂胶机周围的排气速率一定要正确控制，避免负面影响胶厚和均匀性。排气过强而产生太大的气流将导致光刻胶过于干燥，而排气不良将导致颗粒淀积在硅片上而不是被空气流带走。

■ **去除边圈**　在硅片旋转过程中，由于离心力光刻胶向硅片边缘流动并流到背面。光刻胶在硅片边缘和背面隆起叫边圈。当干燥时，光刻胶剥落并产生颗粒。这些颗粒可能落在电路有源区、硅片传送系统和工艺设备里面，导致硅片上缺陷密度增加，甚至硅片背面的光刻胶可能会因为它粘附在硅片托盘上而导致故障。

光刻胶旋转涂胶器配备了一种边圈去除（EBR）装置（见图13.26）。一种常见的方法是用一装配的喷嘴，在旋转的硅片底侧喷出少量溶剂，溶剂从倾斜的边缘转到顶端边缘。要小心控制确保溶剂不能到达光刻胶的上面（这一控制对缺陷密度减小至关重要）。典型的去边溶剂是丙烯乙二醇一甲胺以太醋酸盐（PGMEA）或者乙烯乙二醇一甲胺以太醋酸盐（EGMEA）。

还有一些光刻设备在正常的硅片曝光后用激光曝光硅片的边缘。这种曝光软化了光刻胶并使边圈在正常显影步骤中或者被设计的喷嘴喷出溶剂去除。这个步骤可以在用于旋转涂胶硅片的同一轨道系统中进行。

13.6　软烘

在硅片上旋转涂布光刻胶后，硅片要经过一个称为软烘（也叫前烘）的高温步骤。光刻胶软烘的原因有[27]：

1. 将硅片上覆盖的光刻胶溶剂去除。
2. 增强光刻胶的粘附性以便在显影时光刻胶可以很好地粘附。
3. 缓和在旋转过程中光刻胶胶膜内产生的应力。
4. 防止光刻胶沾到设备上（保持器械洁净）。

软烘的温度和时间视具体光刻胶和工艺条件而定。参考光刻胶生产商推荐的工艺，设定软烘参数的起始点。而后，优化工艺以达到产品需要的粘附性和尺寸控制。软烘温度通常在85°C到120°C的范围内。软烘的过程根据不同的光刻胶而变化，但通常的时间为30到60秒。

如果光刻胶胶膜在涂胶后没有软烘而直接进行对准和曝光，将可能出现下列问题[28]：

1. 光刻胶薄膜发黏并易受颗粒沾污。
2. 光刻胶薄膜来自于旋转涂胶的内在应力将导致粘附性问题。
3. 由于溶剂含量过高导致在显影时由于溶解差异，而很难区分曝光和未曝光的光刻胶。
4. 光刻胶散发的气体（由于曝光时的热量）可能沾污光学系统的透镜。

在旋转涂胶前，光刻胶通常包含65%到85%的溶剂。旋转涂胶后，溶剂减少到10%到20%，但是胶膜仍被认为处于液体状态[29]。软烘后溶剂的理想量约为4%到7%。由于溶剂在软烘过程中减少，光刻胶膜的厚度也将减薄。

13.6.1　软烘设备

常被提及的光刻胶软烘方法是硅片在真空热板上热传导（见图13.28）[30]。用这种方法，热量可以很快通过与硅片背面接触从热板传递到光刻胶。光刻胶由硅片和光刻胶的接触面向外加热，这可使残留溶剂最小，因为循环时间短（例如30到60秒），这种单片热板方法适合于多片在自动硅片轨道系统流水作业。在硅片轨道处理流片时，紧随加热步骤之后，通常有一在冷却板上的冷却步骤。

这一步骤快速冷却硅片以便下一步操作。真空热板的设计与脱水烘焙所用的是同一类型。对于软烘还有其他选择，如红外线（IR）、微波和对流加热，但这些方法不常用。

软烘的目的：

- 光刻胶中溶剂部分挥发
- 改善粘附性
- 改善均匀性
- 改善抗蚀性
- 改善线宽控制
- 优化光刻胶的光吸收特性

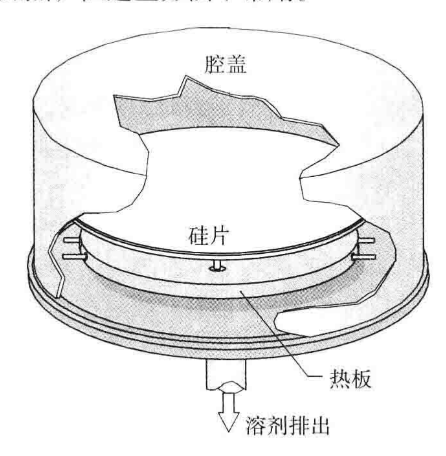


图 13.28 在真空热板上软烘

13.6.2 工艺特性

软烘工艺需要确定优化的工艺设置。优化软烘工艺设置是为了得到更好的关键尺寸控制、改善光刻胶侧墙角度、提高分辨率、改善对比度以及得到更宽的工艺宽容度。

光刻胶中的溶剂含量可以用热解重量分析仪（TGA）作为温度的函数来测量。TGA采用挥发的原理，或者在加热过程中聚合物重量损失，来描述溶剂损失与热分解温度函数的关系[31]。为了进行这项测试，把一用光刻胶覆盖的样本不经软烘立即放入烘箱中。当加热时，样本的重量被测量并绘成曲线（见图 13.29）。

描述溶剂去除量的另一方法是测量光刻胶厚度作为温度函数的变化。随着溶剂挥发，光刻胶将变薄。光刻胶厚度稳定时的温度就是溶剂被去除最多的温度。

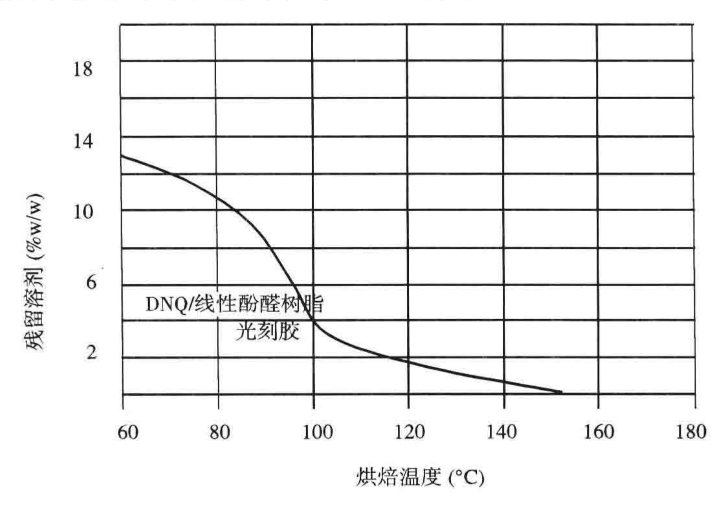


图 13.29 软烘过程中光刻胶的溶剂含量与温度的关系

13.7 光刻胶质量测量

表 13.6 提供了光刻胶工艺的质量测量。

表 13.6　光刻胶的关键质量测量

质量参数	缺陷类型	备注
1. 光刻胶粘附性	A. 光刻胶去湿，也称脱落。光刻胶不能粘附于衬底，在后续的刻蚀或离子注入工艺中引起问题	光刻胶脱落的可能原因： ● 硅片表面沾污 ● 不充分的 HMDS 成底膜或脱水烘焙引起硅片表面有潮气（用第 7 章介绍的接触角计量器测量） ● 过分的HMDS成底膜可能导致光刻胶“爆裂”，这使得光刻胶粘附性差而失效 ● SiO_2 是很好的粘附性表面，因为它是亲水性表面（吸水）*
2. 光刻胶覆盖硅片的质量问题	A. 光刻胶中的针孔（非常小的孔）	● 掩膜版/投影掩膜版（曝光后很明显）或硅片上的颗粒沾污。检查表面准备清洗
	B. 溅落（光刻胶胶滴落在光刻胶涂层上）	● 旋转涂胶机的排风量不合适 ● 调整分滴喷嘴上的真空回吸以防止胶滴形成并落在光刻胶上
	C. 光刻胶起皮（在光刻胶膜顶层有一不溶的干胶薄层）	● 旋转速率太高，高的旋转速度可能导致光刻胶中有条纹（线） ● 旋转涂胶机排气速率太高 ● 对于DUV光刻胶，确保已涂胶的光刻胶不要曝露于轨道系统中的胺中（检查碳过滤器）
3. 光刻胶膜厚度	A. 涂胶的光刻胶厚度超出控制范围。光刻胶厚度必须均匀：通常硅片片与片间的平均厚度要求总的指示偏差小于 30 Å（TIR，最大与最小厚度之差）	影响光刻胶厚度的参数有： ● 检查旋转加速度和速度。旋转速度越高，光刻胶越薄（厚度与旋转速度的平方成反比）。检验光刻胶生产商的光刻胶厚度与旋转速度的特性曲线。在低转速时，不规则的溶剂挥发导致厚度不均 ● 校验正确旋转时间。光刻胶在几秒钟内就达到稳定厚度，并需要额外的时间达到厚度均匀 ● 检查光刻胶种类和粘度是否正确 ● 证明在高速旋转干燥过程中没有机械震动和空气湍流

*B.Smith, “Resist Processing” *Microlithography, Science and Technology*, ed. J.Sheats and B.Smith,(New York: Marcel Dekker,1998),p.529

13.8　光刻胶检查及故障排除

表 13.7 中提供了常见的光刻胶问题。

表 13.7　常见的光刻胶主要问题

问题	可能的原因	纠正措施
1. 旋转涂胶时光刻胶使用过量（DUV 光刻胶每加仑价值 2000 到 5000 美元）	A. 旋转涂胶过程中工艺变量未设定到最佳 *	优化旋转涂胶的工艺变量： ● 首先，确定涂胶硅片所需的光刻胶最小体积（被称为截止体积） ● 其次，用实验确定下列关键参数：

（续表）

问题	可能的原因	纠正措施
		滴胶旋转速度、分滴和干燥过程中的排气速率、滴胶速率、光刻胶温度、冷板温度和周围空气温度
	B. 旋转涂胶机的安装不合适	按如下所说检查旋转涂胶机的安装： ● 不合适的喷嘴尺寸、高度或位置 ● 涂胶设备的校准 ● 错误的软件菜单
2. 在硅片轨道系统正常处理时硅片的损伤（破裂或缺口）	A.轨道中不同器械的不适当安装	检查下列设备是否正确安装： ● 当硅片从一轨道器械传到另一器械时机械臂的校准不适当 ● 旋转时托盘真空的损失 ● 旋转涂胶机没有正确地调平，发生机械振动 ● 过高的旋转速度 ● 确认校验片架位标器，它指示在片架中机械手要拿取的硅片 ● 变形的片架导致设备故障
3. DNQ 线性酚醛树脂光刻胶变得不稳定或被物品污染	A. DNQ 线性酚醛树脂光刻胶已超过其适用期	DNQ 线性酚醛树脂光刻胶已超过适用期（大于几个月，最多六个月到一年）可能导致：** ● 增加长波的吸收率 ● DNQ易于热降解，导致交联和高分子光刻胶成分的增加 ● 光刻胶中不期望的酸形成 ● 感光剂的凝结（从溶剂中下沉析出）形成结晶颗粒，沾污光刻胶。这种情况尤其在高温储藏时容易发生 ● 在使用点，过滤是生产中常用于控制光刻胶一致性的方式。对于 0.25 μm 的特征尺寸典型的过滤膜为 0.05 μm

* B. Lorefice et al.,"How to Minimize Resist Usage During Spin Coating," *Semiconductor International* (June 1998): p. 182

** B. Smith."Resist Processing." *Microlithography. Science and Technology*. ed. J. Sheats and B. Smith

13.9　小结

光刻将图形从掩膜版转移到硅片表面的 UV 光敏光刻胶上。分辨率是可以形成的最小特征图形。光刻需要工艺宽容度，使其能始终如一地在硅片上获得符合要求的图形。负性光刻胶在硅片上形成的图形与掩膜版上图形相反，而正性光刻在硅片上形成的图形与掩膜版上图形相同。光刻可分为 8 个基本步骤：（1）气相成底膜，（2）旋转涂胶，（3）软烘，（4）对准和曝光，（5）曝光后烘焙，（6）显影，（7）坚膜烘焙，（8）显影检查。硅片涂胶前要经过清洗、脱水烘焙、HMDS 气相成底膜的准备。负胶在用紫外光曝光时变硬（交联），而正胶软化（分解）。在显影溶解时软的区域被冲洗掉。正胶已用于亚微米光刻工艺。传统的I线光刻胶用365 nm的紫外光曝光，通常用于形成0.35 μm的关键尺寸及非关键层的光刻。正性I线光刻胶还含有DNQ线性酚醛树脂化学成分，并由光敏化合物（PAC）所激活。硅片的关键层（CD 在0.25 μm 以下）用化学放大的深紫外（DUV）光刻胶形成图形。DUV 波长为 248 nm 并正减小到 193 nm。化学放大光刻胶含有化学保护团，使之不溶于以水为主要成分的显影液。当加热时，一种光酸产生剂（PAG）产生在DUV曝光区域中，破坏光刻胶使

曝光的光刻胶溶于显影液。液体光刻胶用旋转涂胶的方法涂在硅片上，随后是去除边圈。软烘可去除溶剂并改善光刻胶的粘附性。

关键术语

光刻
微光刻
投影掩膜版
光掩膜版（掩膜版）
光学
分辨率
套准精度
套准容差
芯片间偏差
工艺宽容度
负性光刻
正性光刻
负胶
正胶
暗场掩膜版
亮场掩膜版
涂胶/显影轨道系统（又称轨道）
亲水性
疏水性
脱水烘焙
六甲基二硅胺烷（HMDS）
软烘（又称前烘）
气相成底膜
光刻胶
对比度
感光度
曝光量
光刻胶粘度
光刻胶粘附性
抗蚀性
表面张力
传统 I 线光刻胶
线性酚醛树脂
光敏化合物（PAC）
重氮萘醌线性酚醛树脂
深紫外（DUV）
化学放大（CA）
光酸产生剂（PAG）
旋转涂胶
静止滴胶
运动滴胶
边圈去除（EBR）
热解重量分析法（TGA）

复习题

1. 什么叫光刻?
2. 描述投影掩膜版和掩膜版的区别。
3. 列出 436 nm 和 157 nm 间光刻所用的紫外光的波长和名字。
4. 定义分辨率。
5. 什么是套准精度? 它对掩膜版的套准容差有什么作用?
6. 讨论工艺宽容度。
7. 解释负性和正性光刻的区别。
8. 描述亮场掩膜版。
9. 解释什么是暗场掩膜版。
10. 列出光刻的 8 个步骤，并对每一步做出简要解释。
11. 硅片表面沾污的重要影响之一是什么?
12. 解释亲水和疏水表面的区别。

13. 为何要进行脱水烘焙？
14. HMDS是什么？起到什么作用？
15. 描述应用HMDS最常见的办法。
16. 定义光刻胶。
17. 给出硅片制造中光刻胶的两种目的。
18. 从硅片制造业早期，光刻胶已有了哪些改善？
19. 列出并描述两种主要的光刻胶。
20. 什么是负胶分辨率的限制？哪种胶应用在亚微米光刻中？
21. 定义对比度。
22. 解释感光度并讨论这一条件如何与曝光量相关？
23. 描述光刻胶粘度，并解释为何重要？
24. 解释光刻胶粘附性。
25. 为什么抗蚀性是光刻胶的重要特性？
26. 什么是表面张力？为何对光刻胶如此重要？
27. 解释存储和传送对光刻胶的重要性。
28. 列出并描述I线光刻胶的4种成分。
29. 负胶的两大缺点是什么？
30. 在IC光刻中最常用的光刻胶是什么？
31. 陈述I线正胶中所用的树脂。
32. 描述I线正胶中的感光剂。
33. 列出I线正胶分解的4个步骤。
34. 给出I线正胶具有良好分辨率的原因。
35. 为什么I线光刻胶不能用在深紫外波长？
36. 化学放大如何在光刻胶中实现？
37. 描述光酸产生剂的目的。
38. 列出并描述CA DUV光刻胶的4个曝光步骤。
39. CA DUV光刻胶对硅片制造最重要的好处是什么？
40. 通过什么方式DUV光刻胶对沾污灵敏？
41. 光刻胶如何被涂在硅片上？
42. 列出并描述旋转涂胶的4个基本步骤。
43. 解释静止滴胶和运动滴胶的区别
44. 光刻胶厚度随什么变化？陈述描述这种关系的公式。
45. 描述边圈去除。
46. 陈述软烘的4个原因。
47. 软烘后留在光刻胶中溶剂的理想的量是多少？
48. 如果光刻胶没有被软烘将会有什么问题出现？
49. 描述进行软烘最适用的方法。
50. TGA用来做什么？为什么要做这样的分析？

光刻胶材料和设备供应商网站

Allied Signal	http://www.electronicmaterials.com/

Arch Chemicals (aka Olin)　http://www.olinmicro.com/default.asp
Ashland Specialty Chem.　http://www.ashland-act.com/
Clariant Corporation　http://www.azresist.com/
Dainippon Screen Mfg. Co.　http://www.screen.co.jp./eed/index_E.html
DuPont　http://www.dupont.com/semiconductor/
Eastman Chemical　http://www.eastman.com/
EKC Technology　http://www.ekctech.com/ekctech.nsf
FSI International　http://www.fsi-intl.com/
JSR Microelectronics, Inc.　http://www.jsrusa.com/index2.html
J.T. Baker　http://www.jtbaker.com
Karl Suss Inc.　http://www.suss.com/
Olin Microelectronics　http://www.olinmicro.com/
Rite Track　http://www.ritetrack.com/
SEMI　http://www.semi.org/

参考文献

1. S. Campbell, *The Science and Engineering of Micro-electronic Fabrication*, (New York: Oxford University Press, 1996), p. 152.
2. P. Castrucci, W. Henley, and W. Liebmann, "Lithography at an Inflection Point," *Solid State Technology* (November 1997): p. 127.
3. S. Campbell, *The Science and Engineering of Micro-electronic Fabrication*, p. 178.
4. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Vol. 1, 2nd ed., *Process Technology* (Sunset Beach: Lattice Press, 2000), p. 510.
5. Ibid.
6. C. Chang and S. Sze, *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 290.
7. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Vol. 1, *Process Technology*, 2nd ed., p. 500.
8. G. Gruetzner et al., "New Negative-Tone Photoresists Avoid Swelling and Distortion," *Solid State Technology* (January 1997): p. 79.
9. R. Dammel, *Diazonaphthoquinone-Based Resists*, (Bellingham, WA: SPIE Optical Engineering Press, 1993), p. 10.
10. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol.1, *Process Technology*, 2nd ed., p. 500.
11. H. Ito, "Deep-UV Resists: Evolution and Status," *Solid State Technology* (July 1996): p. 164.
12. D. Seeger, "Chemically Amplified Resists for Advanced Lithography: Road to Success or Detour?" *Solid State Technology* (June 1997): p. 115.
13. C. G. Willson et al., "Approaches to the Design and Radiation-Sensitive Polymeric Imaging Systems with Improved Sensitivity and Resolution," *Journal of Electrochemical Society*, vol. 133, no. 1, (Pennington, NJ: Electrochemical Society, 1986): p. 181.

14. T. Ueno, "Chemistry of Photoresist Materials," *Micro-lithography: Science and Technology*, ed. J. Sheats and B. Smith, (New York: Marcel Dekker, 1998), p. 451.
15. H. Ito, "Deep-UV Resists," p. 165.
16. G. Amblard, "Lithographic Evaluation of Deep UV Photoresists for 0.25 mm and 0.18 mm Technologies Design Rules," *Advances in Resist Technology and Processing* XV Proceedings of SPIE vol. 3333, February 23–25 1998, Santa Clara, CA, p. 890.
17. H. Ito, "Deep-UV Resists," p. 165–170.
18. M. Toukhy et al., "Chemically Amplified Resist Technology for I-Line Applications," *Advances in Resist Technology and Processing* XV Proceedings of SPIE vol. 3333 (Santa Clara, CA: February 23–25, 1998): p. 1212.
19. H. Ito, "Deep-UV Resists," p. 164.
20. N. Rizvi et al., "A 193 nm Excimer Laser Microstepper System," *Microlithographic Techniques in IC Fabrica-tion*," Proceedings of the SPIE vol. 3183 (June 25–26, 1997), p. 35.
21. P. Burggraaf, "Optical Lithography to 2000 and Beyond," *Solid State Technology* (February 1999): p. 38.
22. M. Preil and H. Levinson, "Yield-Limiting Issues in Deep-UV Lithography," *Microlithography World* (Spring 1998): p. 24.
23. B. Lorefice et al., "How to Minimize Resist Usage During Spin Coating," *Semiconductor International* (June 1998): p. 179.
24. Ibid.
25. Ibid.
26. S. Campbell, *Science and Engineering of Microelec-tronic Fabrication*, p. 191.
27. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, vol. 1, *Process Technology*, 2nd ed., p. 515.
28. B. Smith, "Resist Processing," *Microlithography: Science and Technology*, ed. J. Sheats and B. Smith, (New York: Marcel Dekker, 1998), p. 529.
29. Ibid.
30. Ibid., p. 530.
31. D. Elliott, *Microlithography*: *Process Technology for IC Fabrication*, (New York: McGraw-Hill, 1986), p. 91.

第 14 章　光刻：对准和曝光

光学光刻和使用照相机的摄影术相似。照相机利用光和透镜把一个物体的像呈现在底片上。然后，显影过程把底片上的像转印到相纸上，通过这个过程就得到了一张照片。在光刻中，光掩膜和上面的图形就是要被拍照的目标。要把掩膜版上的图形投影到涂过光刻胶的硅片上，需要光学系统和一个光源。一旦光刻胶显影后，就像照相机的底片一样，掩膜版上的图形呈现在光刻胶上。经过后续工艺（如刻蚀）把掩膜版上的图形在硅片表面制成永久的图案。

许多变量都能影响摄影的质量、例如胶卷类型、照明条件、物体是否聚焦以及相机透镜的类型。在硅片制造中，同样有许多变量影响光刻，例如硅片表面材料的物理状态、光刻胶的类型、光学系统的分辨率、光的种类和系统的聚焦精度。为了优化光刻工艺进行亚微米关键尺寸光刻，生产队伍必须知道所有因素是怎样影响最终图像的。生产成员扮演着重要的角色，他们时时刻刻与设备状况和产品质量紧密联系。他们也应该在进行光刻之前就知道硅片从何而来，硅片的状况怎样。

对准和曝光工艺代表了现代光刻中的主要设备系统。硅片首先被定位在光学系统的聚焦范围内。硅片的对准标记与光掩膜上相似匹配的标记对准后,紫外光就通过光学系统和掩膜版图形投影。掩膜版图形以亮暗的特征出现在硅片上，这样就对光刻胶曝光了。本章回顾了许多与对准和曝光相关的变量，以了解它们在获得高质量、深亚微米图形工艺中的贡献。

目标

通过本章的学习，你将能够：

1. 解释光刻中对准和曝光的目的。
2. 描述光学光刻中光的特性及光源的重要性。
3. 陈述并解释光刻中光学系统的重要方面。
4. 解释分辨率，描述它的重要参数并论述它的计算方法。
5. 论述五代用于对准和曝光的设备。
6. 描述投影掩膜版，解释它们是如何制造的，论述它们在精细光刻中的应用。
7. 论述用于短波长光刻的光学增强技术。
8. 解释光刻中对准是怎样获得的。

14.1　引言

现代光刻设备以光学光刻为基础,它利用光学系统把掩膜版上的图形精确地投影曝光到涂过光刻胶的硅片上。基本上它包括一个紫外光源、一个光学系统、一块由芯片图形组成的投影掩膜版、一个对准系统和一个覆盖光敏光刻胶的硅片。光学系统在深亚微米光刻中占有核心地位。光学光刻处在硅片制造的中心位置，硅片花费在这道工序上的时间比其他任何操作的都多（通过一些调查，占有超过 60% 的硅片生产时间）。表 14.1 回顾了光刻的 8 个步骤，并且强调了本章所涉及的对准和曝光。

表 14.1 光刻的 8 个步骤

步骤	所在章节
1 气相成底膜	13
2 旋转涂胶	13
3 软烘	13
4 对准和曝光	本章
5 曝光后烘焙	15
6 显影	15
7 坚膜烘焙	15
8 显影检查	15

我们在第 13 章中学习了光刻胶的材料及其在成功光刻中的重要性。光学光刻的关键设备是分步重复光刻机（指的是光刻机，但通常被称做步进光刻机）。步进光刻机是把投影掩膜版上的图形与涂胶硅片进行对准，而后从一点到另一点逐场曝光。业界近来转变到使用DUV光刻胶的步进扫描光刻机，叫做步进扫描技术（将在本章后面讨论）。

在光学光刻中，步进光刻机有三个基本目标，所有这些目标都必须满足用户精度和重复性的规范。

1. 使硅片表面和石英掩膜版对准并聚焦（包括图形）。
2. 通过对光刻胶曝光，把高分辨率的投影掩膜版上图形复制到硅片上。
3. 在单位时间内生产出足够多的符合产品质量规格的硅片。

当硅片表面涂过光刻胶并前烘以后，步进光刻机就开始进行对准和曝光操作。带胶硅片被自动传送到光刻机的承片台上。在这个台子上，硅片根据需要被提升或降低来把它置于光刻机光学系统的聚焦范围内。硅片与投影掩膜版对准以便保证图形能够传送到硅片表面的合适位置。一旦最佳聚焦和对准获得后，快门就被打开，使 UV 光通过照明系统到投影掩膜版，再通过投影透镜最后到带胶的硅片上（见图 14.1）。所有聚焦，硅片对准和曝光操作都由步进光刻机来做。当一个图形曝光完后，步进光刻机会步进到硅片的下一个位置并重复对准和曝光过程（这就解释了名字中的步进 - 重复）。步进光刻机通常与一台自动轨道机相连，轨道机执行了其他所有基本的光刻操作。

14.1.1 对准和曝光的重要性

集成电路是通过在硅片表面几微米形成半导体器件，再通过连续的淀积和形成材料层的图形来把这些器件相互连接形成电路的。电路设计者使用装有特殊设计软件的计算机，进行器件、金属线、连接和其他芯片功能所需的特殊电路设计的布局。整个硅片是逐层的，每层中又是逐个结构设计完成的。就像制造蜡纸，一个或多个芯片电路设计图形被转印到投影掩膜版上，需要多块投影掩膜版才能获得硅片表面的最终结构（见图 14.2）。

电路设计按照一套基本设计规则进行，规则规定了投影掩膜版图形和所需尺寸。设计规则规定了参数线宽、线的间距、接触孔尺寸、通孔直径和投影掩膜版上图形间距。违反设计规则就会导致成品率低或产品性能不稳定。

投影掩膜版上设计的每层图形都有一个特殊功能，如接触孔或金属线。图形和独特的材料相联系（例如氧化硅、铝等）有尺寸和容差。光刻过程中投影掩膜版把这些图形彼此套准来制成硅片上的器件和电路。版图套准过程有对准规范，就是前面指出的套准容差。投影掩膜版上图形与硅片上已存在的图形套准，向光学光刻提出了特殊的对准挑战，即怎样能精确地把亚微米尺寸套准。套准精度必须满足，使产品的可靠性更高并能大量生产。

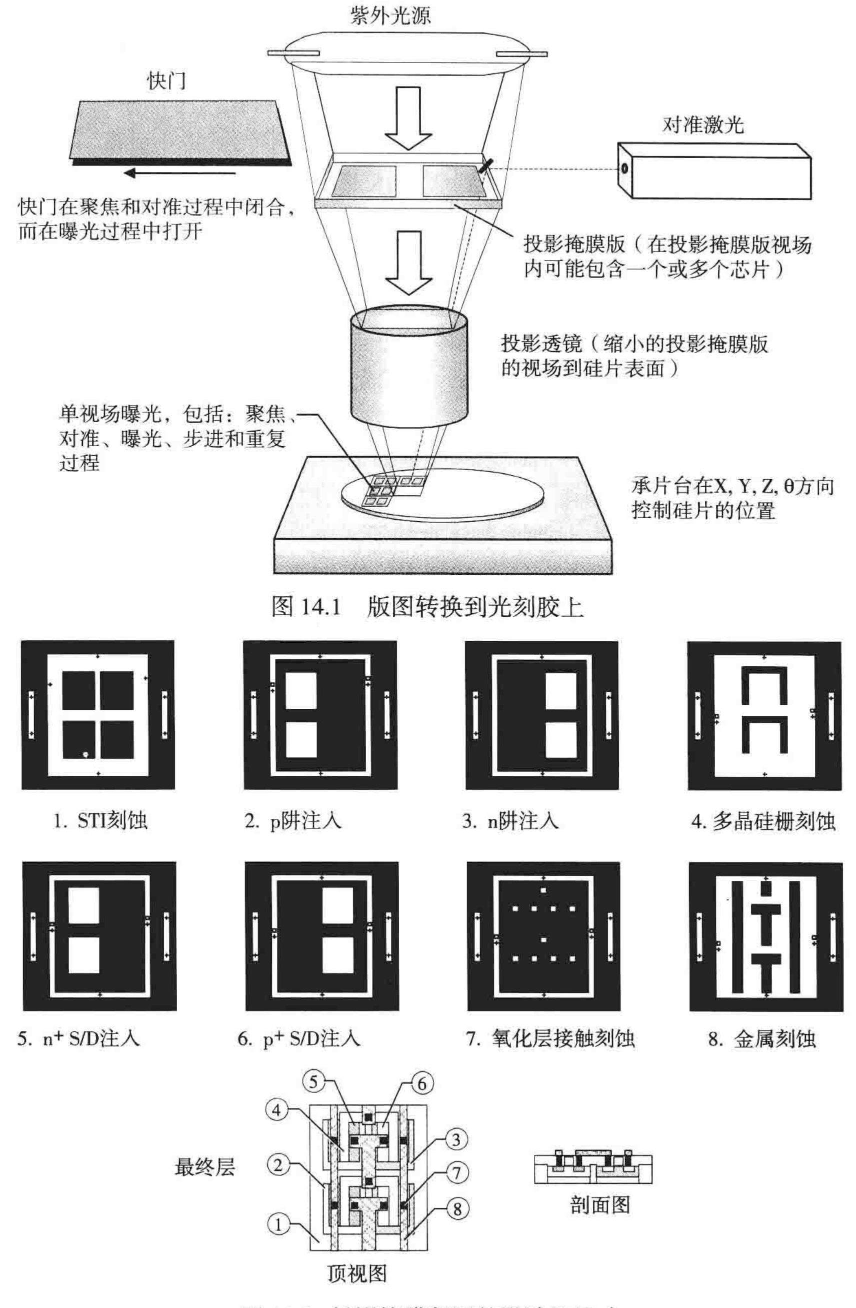


图 14.1 版图转换到光刻胶上

图 14.2 投影掩膜版图的设计和尺寸

■ **光学曝光** 在曝光过程中，从光源发出的光通过对准的掩膜版。版上有不透明和透明的区域，这些区域形成了要转移到硅片表面的图形。曝光的目的就是要把版上图形精确地复制（在规范之内）成光刻胶上的最终图像。

曝光的一方面是，在所有其他条件相同时，曝光光线波长越短能曝出的特征尺寸就越小。事实上它是缩小硅片上特征尺寸的驱动。此外，曝光的光线产生一定能量，这对光刻胶产生光化学反应是必不可少的。光必须均匀地分配到曝光区域。光学光刻需要在短波长下进行强曝光以获得当今精细光刻的关键尺寸。

14.2 光学光刻

从开始硅片制造以来，光学光刻就一直是不断缩小的芯片特征尺寸的主要限制因素。在过去几年经常有人预测光学光刻会被淘汰。例如，1985年有人预言光学光刻将不可能分辨出小于0.5 μm的特征尺寸[1]。现在，人们相信光学光刻可以做到0.1 μm及以下的线条。光刻经常被看成是驱动摩尔定律性能改进的发动机[2]。

用于硅片制造的光刻在很大程度上以光学光刻为基础。光刻的长命归功于设备和工艺的基本改进。我们将回顾光学光刻中的基础变量和它们不断改进的基础。在第15章的最后，我们将学习研究中的用于先进光刻的下一代光刻系统，它们在将来的硅片制造之中将成为可能：极紫外、电子束、X射线和离子束。然而，看起来在不久的将来，光学光刻仍会继续占主导地位。

14.2.1 光

在光学光刻中，需要一个光源来把版图投影到光刻胶上并引起光化学反应。光的实质就是能被人眼看到的电磁波。光也辐射能量。这两个描述反映了光的波粒二相性的本质。光的传播与声波传播相似。既然光是波，它就可以用波长（λ）和频率（f）来描述。两者的关系如图14.3所示，其中v是光的速度。

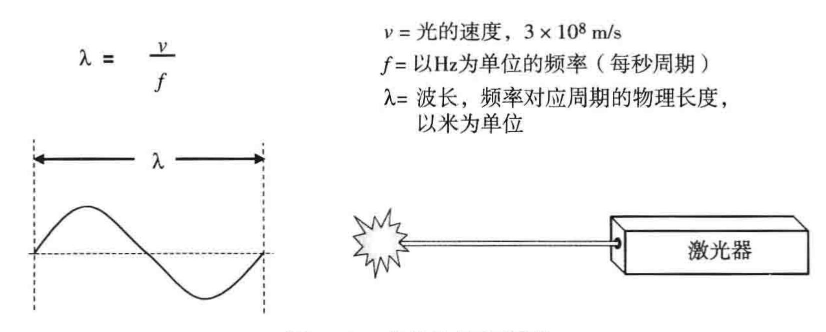


图14.3 光的波长和频率

■ 光波的干涉 波本质上是正弦曲线。任何形式的正弦波只要有相同的频率就能相互干涉。例如，波的干涉可能是两个水波彼此相互作用并部分相互抵消。有两种类型的干涉基于波是否有相同的相位（见图14.4）。

相长干涉：两列波相位相同彼此相加

相消干涉：两列波相位不同彼此相减

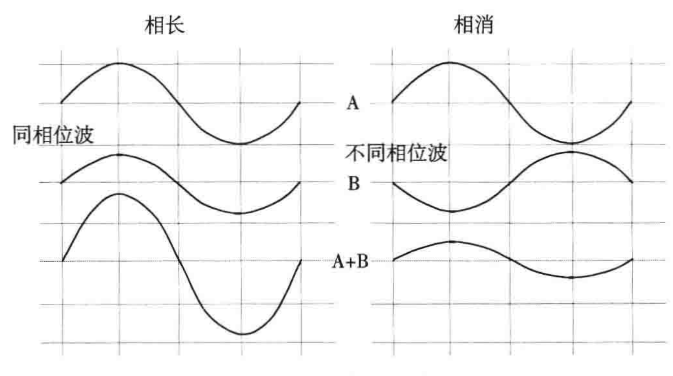


图14.4 波的干涉

光学滤光器　滤光器利用光的干涉阻止不需要的入射光，通过反射或干涉来获得一个特定波长（见图 14.5）。滤光器通常由玻璃制成，玻璃上面有一层或多层薄涂层。涂层的类型和厚度决定了什么波长的光会相消干涉而阻止进入玻璃，什么样的波长会通过玻璃。

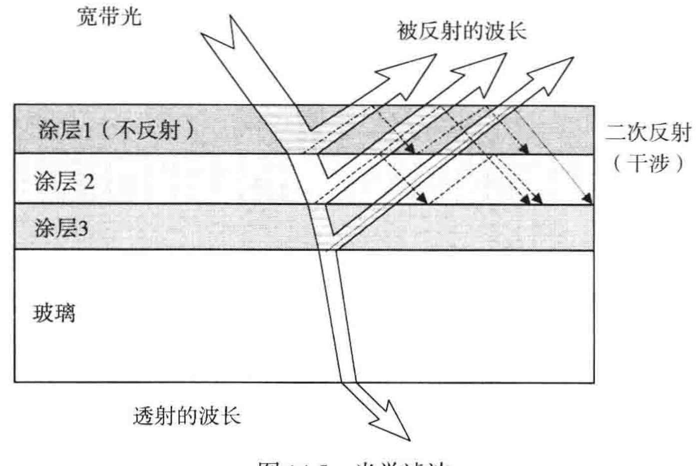


图 14.5　光学滤波

■ **电磁波谱**　整个可见和不可见的电磁波被称做电磁波谱，它由从极短到极长波长的各种辐射能组成。光谱的可见部分波长在390 nm到780 nm之间。白光是由可见光谱所有波长的光构成的。紫外光谱范围从 4 nm 到 450 nm，与可见光谱有些重叠（见图 14.6）。深紫外（DUV）波长正用于生产中关键层的图形制造。157 nm 的真空紫外（VUV）是最有可能成为 248 nm 和 193 nm 深紫外之后的替代光源。短波长和高能量的 VUV 被氧的吸收带强烈吸收；因此，工作必须在真空或惰性气体环境下进行（因此名字是 VUV）。在半导体产业，使用 13 nm 紫外波长的未来技术的研发工作正在进行中，称为极紫外（EUV）。

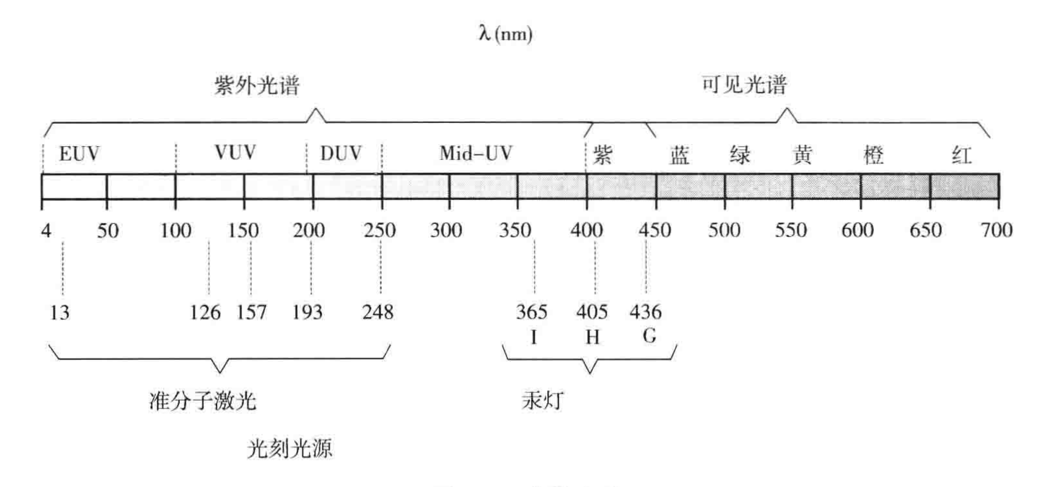


图 14.6　紫外光谱

由于紫外光谱有一部分与可见光谱重叠，白光也包括一部分紫外光（例如，太阳光是可见的而且是白光，但它也含有紫外波长）。黄光通常在硅片生产线的光刻区域使用，因为它处在可见光区含极少紫外光，因此不影响光刻胶。

14.2.2 曝光光源

在光刻胶曝光过程中，光刻胶材料里发生光化学转变来转印投影掩膜版的图形。这是光刻中关键的一步。它必须发生在最短的时间内，并在大量硅片生产中是可重复的。

紫外（UV）光用于光刻胶的曝光是因为光刻胶材料与这个特定波长的光反应。波长也很重要，因为较短的波长可以获得光刻胶上较小尺寸的分辨率（在这章后面详细解释）。现今最常用于光学光刻的两种紫外光源是：

- 汞灯
- 准分子激光

除这些通常使用的光源外，其他用于先进的或特殊应用的光刻胶曝光的源有X射线、电子束、和离子束。这些源和它们独特的光刻胶材料将在第15章进行讨论。

■ 汞灯 高压汞灯作为紫外光源被使用在所有常规的I线步进光刻机上。在这种灯里，电流通过装有氙汞气体的管子产生电弧放电。这个电弧发射出一个特征光谱，包括240 nm到500 nm之间有用的紫外辐射（见图14.7）。

汞灯光谱中有几个强峰。有些用字母命名，这些名字来源于早期的光谱学。几个主要强峰显示在表14.2中。

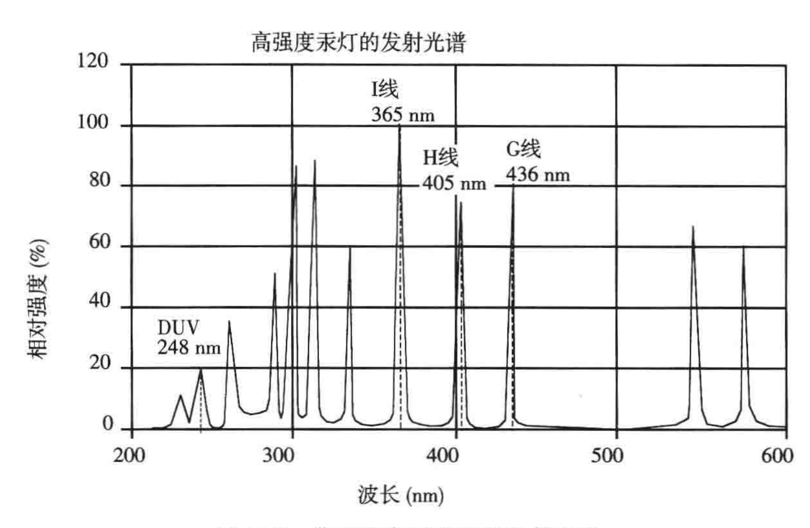


图14.7 典型的高压汞灯的发射光谱
（承蒙USHIO Specialty Lighting Products公司允许使用）

表14.2 汞灯强度峰

UV光波长（nm）	描述符	CD分辨率（μm）
436	G线	0.5
405	H线	0.4
365	I线	0.35
248	深紫外（DUV）	0.25

曝光时常规的光刻胶与特定UV波长有相对应的特定光谱响应。例如，用于CD特征尺寸小到0.35 μm的DNQ线性酚醛树脂I线光刻胶就与365 nm的I线紫外光反应。为了使光刻胶与UV波长相适应，可使用一套滤波器阻挡不需要的波长和红外波长。这里选择曝光波长与硅片上的关键特征尺寸相匹配。

曝光光源的一个重要方面是光的强度，光强被定义为单位面积的功率（mW/cm²），并且在光刻胶的表面测量。光强的另一种解释是单位面积的光亮或亮度。能量是功率和时间的乘积。光的强度（单位面积的功率）乘上曝光时间就表示了光刻胶表面获得的曝光能量，或曝光的剂量，单位是（毫焦每平方厘米或mJ/cm²）。

典型的I线光刻胶通常曝光需要的曝光剂量是 100 mJ/cm²。[3]考虑到图 14.7 所示的汞灯的发射光谱，248 nm 的深紫外发射是 365 nm 的I线发射强度的五分之一。由于汞灯在深紫外波长的强度低，I线光刻胶在 248 nm 下曝光要得到相同的效果，就需要五倍的曝光时间。换言之，如果光强减小了，曝光的时间就要成比例增加。这个曝光时间对可接受的硅片生产来说太长了，这也是发展化学放大深紫外光刻胶和具有较高功率的激光光源的原因（见图 14.8）。

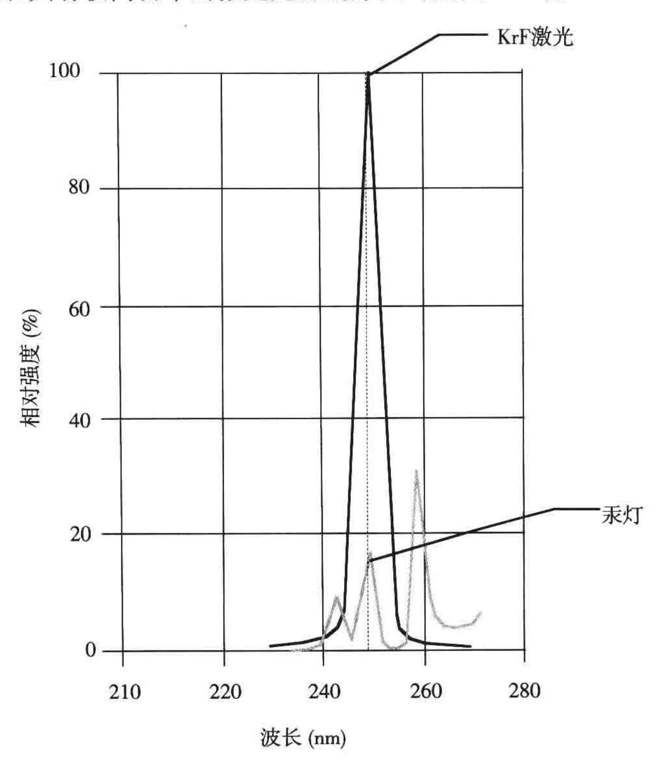


图 14.8　准分子激光器和汞灯 248 nm 光谱辐射强度对比图

光刻胶树脂对入射辐射过多的吸收是我们所不需要的。如果光刻胶的吸收过多，光刻胶底部接收的光强度就会比在顶部的少很多。这个差异导致图形侧墙倾斜（见图 14.9）。要获得垂直侧墙图形，光刻胶必须只吸收入射辐射的一小部分，一般小于20%。[4]要使光刻胶的吸收最小化就需要优化波长、光源剂量和光刻胶的类型之间的关系。

■ 准分子激光　从 20 世纪 80 年代中期以来，激光光源已可以用于光学光刻，但是可靠性和性能影响它们在硅片生产上的实施推迟到20世纪90年代中期。使用它们的主要优点是可以在248 nm深紫外及以下波长提供较大光强，因为汞灯在这些波长发射效率很低。

迄今惟一用于光学曝光的激光光源是准分子激光。准分子是不稳定分子，由惰性气体原子和卤素构成，例如氟化氩（ArF），这里分子只存在于准稳定激发态[5]。准分子一词确切地来自激发的二聚物，是由两个相同原子构成的分子，如 F_2。它也用来表示惰性气体和卤素分子。

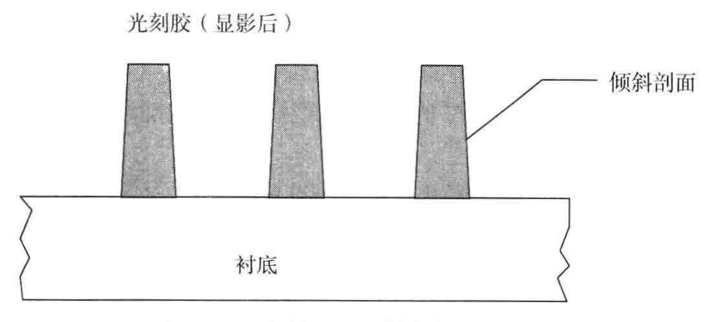


图 14.9 光刻胶对入射光的过多吸收

现在大多数准分子激光器含有一种高压混合物，混合物由跃进到激发态的两种或更多成分组成。激光辐射发生在激发态衰变，不稳定的分子分解成它的两个组成原子的时候。激光器维持着激发态的分子多于基态分子，这是通过穿过两个平板电极的高压（10 到 20 kV）脉冲放电来激发高压惰性气体和卤素的混合物来实现的[6]。

通常用于深紫外光刻胶的准分子激光器是波长 248 nm 氟化氪（KrF）激光器。氟化氪激光器典型的功率范围是 10 到 20 W，频率 1 kHz，这种激光器产生高能脉冲辐射光能对光刻胶曝光。表 14.3 突出了光刻中用于硅片制造的准分子激光源[7]。193 nm的氟化氩激光器也被预想来获得深紫外曝光。注意 157 nm 波长的氟（F_2）激光器能量输出低，这使它用于将来生产的可能性还不大，因为需要较长的曝光时间。近来为使 F_2 激光器输出能量同 KrF 和 ArF 激光器相等的研究有一些进步[8]。

表 14.3 半导体光刻中使用的准分子激光器

材料	波长 (nm)	最大输出 (毫焦每脉冲)	频率 (脉冲每秒)	脉冲宽度 (ns)	CD 分辨率 (μm)
KrF	248	300 到 1500	500	25	≤ 0.25
ArF	193	175 到 300	400	15	≤ 0.18
F_2	157	6	10	20	≤ 0.15

表 14.3 中可以看到，准分子激光器产生极短的光脉冲。每个短脉冲的的峰值功率都很高，并能造成光学材料和透镜表面涂层的损伤。要使这种损伤最小，我们希望有较长的激光脉冲宽度，并且设计透镜系统能避免从激光光源发出光高度集中。早期准分子激光器的另一个问题是脉冲和脉冲之间过多的变化。要克服这种变化，需要有大量的脉冲数。对准分子激光脉冲稳定性的改进仍在继续，这些改进减少了获得可接受曝光剂量均匀性时所需的脉冲数。由于需要较少的的脉冲数，步进扫描光刻机的扫描速度就能增加，这也最终提高了生产能力[9]。

193 nm 的氟化氩（ArF）激光器大概是下一代技术中作为曝光源的准分子激光器。把 248 nm 氟化氪激光器改成 193 nm 的氟化氩激光器，激光器没有重大变化。然而，光学材料有不想要有的吸收，并且在 193 nm 波长受热时，光学系统激光损伤更加敏感[10]。这种状况要求透镜系统对激光损害有抵抗力。工业上采用 157 nm 波长的准分子激光器，已经被论证是一种潜在的用于 0.15 μm 关键尺寸的光源。

空间相干　光是一种电磁波，在传播过程中，具有相同相位的不同光波在交汇点具有空间相干。光波移动是一致的（见图 14.10）。一个标准的室内灯泡没有空间相干性（完全不相干）。准分子激光器发出的光有较少的空间相干性，这与常规激光器不同。空间相干可以通过光学系统加以控制，使图像中可能形成的干涉图样最小。如果不控制，在光刻胶上干涉结果看起来可能是亮暗点的粒状图形，被称做斑纹[11]。

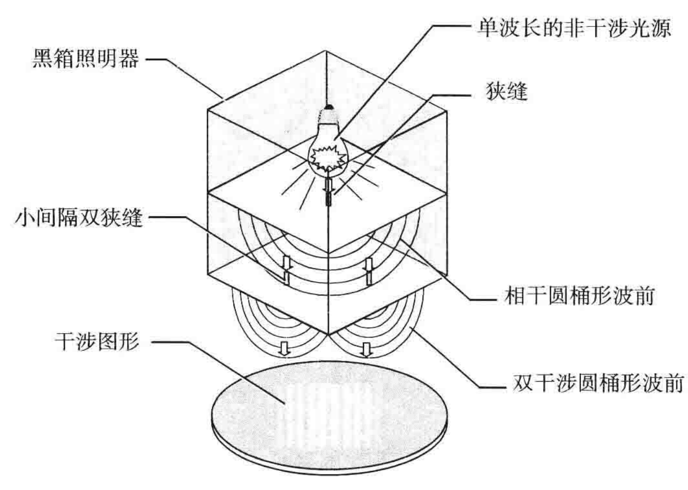


图 14.10　空间相干

■ **曝光控制**　剂量均匀的紫外光对光刻胶的曝光是非常关键的。对于任何硅片上任何一次曝光剂量都必须是重复的。深紫外光刻胶的曝光宽容度是剂量变化范围在 1% 左右[12]。光刻工艺设备和材料的变化需要严格的曝光控制。

光学光刻中的曝光控制是通过使用剂量监控器在硅片表面测量紫外光强获得的。曝光剂量在曝光场的不同位置测量并进行剂量百分比均匀性的计算。光探测器及相应的控制电路用在自动的步进光刻机和步进扫描光刻机中通过使用快门或改变扫描速度来监测和控制曝光剂量。

14.2.3　光学

光学是研究光的物理特性及构成的学科。光学非常重要，因为光刻是以通过光学成像过程把投影掩膜版上的图形转印到光刻胶上为基础的。光刻胶上图形的质量会受质量差的光学系统限制。现在所有用于大批量硅片制造的光刻设备都是以光学光刻为基础的。

■ **光的反射**　反射定律描述了一束入射光和相应的反射光束之间的关系，说明入射角和反射角是相等的（见图 14.11）。这条定律在反射表面无论粗糙还是光滑时都能成立。

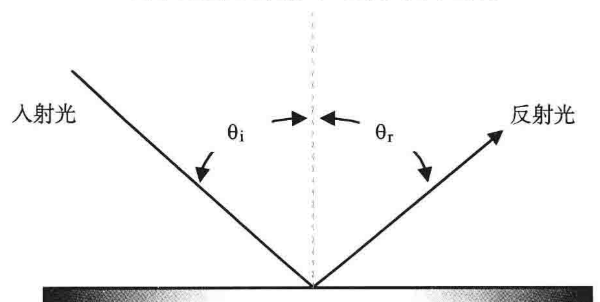


图 14.11　反射定律

一个反射定律的例子是平面镜。平面镜表面反射光并产生一个与物体相反的虚像。图像被说成虚的是因为看上去好像物体在镜子的后面，而镜子表面的像确实是反射真实物体形成的反像。反射

镜和反射光学系统在步进光刻机和步进扫描光刻机中有很多应用,如用于光束定位或照明器的那种形状和聚焦光(见图 14.12)。

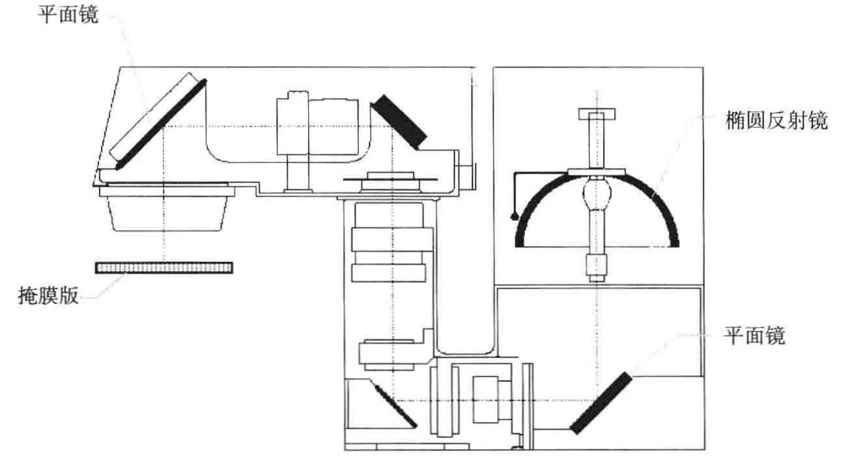


图 14.12　反射镜的应用
(承蒙 Canon USA 允许使用掩膜对准器的照明部分)

■ **光的折射**　当光通过一种透明介质到另一种介质时，例如从空气中穿过一个玻璃窗，光线变了方向。这种光线从一种透明介质进入另一种时发生的方向改变被称做折射。光的折射是由光在两种不同介质中的速度不同而引起的。光通过一种均匀介质(如空气)时以一个特定的速度传播。当光进入并通过一种新介质时(如玻璃)，它的速度确实减小了。这种速度减小的发生是由于玻璃是光密材料。相对折射率 n 表示，当光通过两种介质交界面时弯曲程度是以速度变化为基础的(见图 14.13)。绝对折射率是把光在真空中的速度与所选介质中的速度进行比较得到的。因此它只说明了一种介质和真空的计算值。不同介质折射率的例子在表 14.4 中给出[13]。光的折射也依赖于从一种介质进入另一种介质中的光束的波长 λ。

- Snell定律: $\sin\theta_i = n\sin\theta_r$
- 折射率$n = \sin\theta_i / \sin\theta_r$

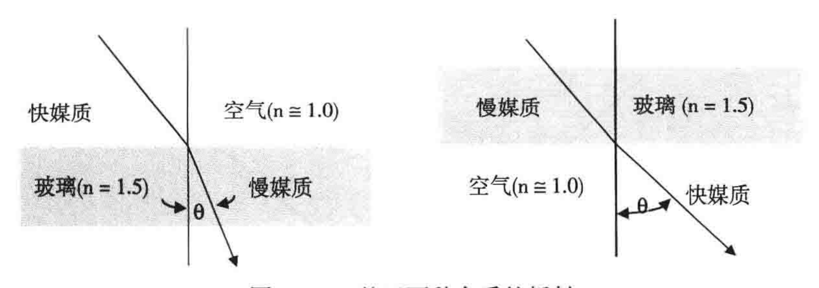


图 14.13　基于两种介质的折射

表 14.4　选择材料的绝对折射率

材料	折射率(n)
空气	1.000 293
水	1.33
熔融石英(非晶石英)	1.458
钻石	2.419

■ **透镜**　透镜是一种光学元件，来自物体的光并通过它折射形成物体的像。我们将考虑单个透镜，但光刻中的光学系统是由许多不同透镜（折射）和反射镜（反射）构成的（见图 14.14）。透镜在光刻设备的光学系统中很重要，因为我们需要把投影掩膜版的图形投影到光刻胶上。这个投影必须能够做到合适的分辨率、尺寸控制和对准。在现代硅片制造业中，为获得CD线宽所需的分辨率，步进光刻机和步进扫描光刻机的透镜及折射光学扮演重要的角色。

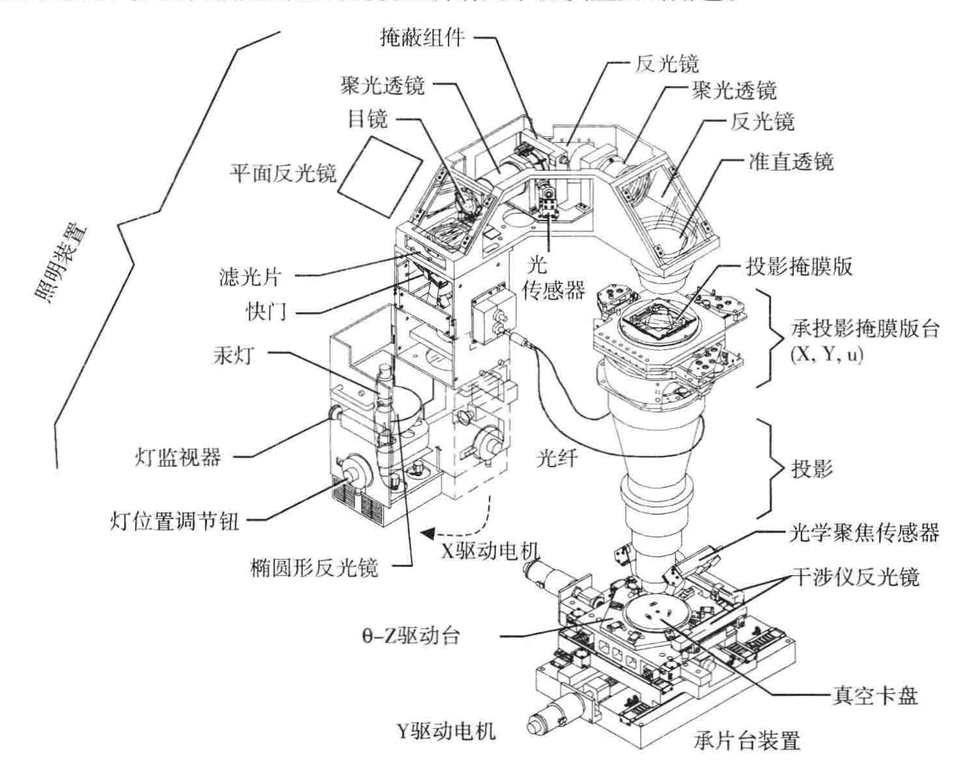


图 14.14　透镜光学系统
（承蒙Canon USA允许使用FPA-2000 il 曝光系统图）

透镜有一个或者两个球形的表面，这决定透镜是会聚的（凸面）或发散的（凹面）。透镜折射光的方式是把光线会聚（见图 14.15）或发散到一个主焦点（见图 14.16）。主焦点或焦点是折射光线会聚的地方，光携带的图像清晰而且在焦面上。从透镜中心到焦点的距离被称做焦距。

透镜材料　透镜传统上是用玻璃制成的。由于曝光波长不断地减小，透镜材料是一重要变量。对于波长是248 nm的深紫外光，一种合适的透镜材料是熔融石英，它在深紫外波长范围有较少的光吸收。在193 nm深紫外和157 nm深紫外波长，氟化钙（CaF_2）正在作为一种可能的候选透镜材料正被研究。

传统光学材料（如玻璃）有较大的吸收，并对248 nm KrF波长损伤较敏感[14]。吸收导致曝光能量损失并增加了光学系统的热量，这导致折射率的改变和成像问题。热效应也能引起由于光学系统被深紫外激光加热产生的聚焦变化。

与透镜材料相关的另一点是激光束能产生压缩损伤。透镜压缩是透镜材料结构上的重新排列导致透镜材料增密（见图 14.17）。压缩发生在透镜材料中，包括熔融石英。它还没有被完全了解,但是它的发生与总积累的激光束曝光和峰值功率密度有关。它可以增加激光束穿过区域的透镜材料的折射率。如果折射率改变即使很少,光波的路线就可能改变，这将导致图像质量的损失。深紫外波长的压缩控制正在研究中。

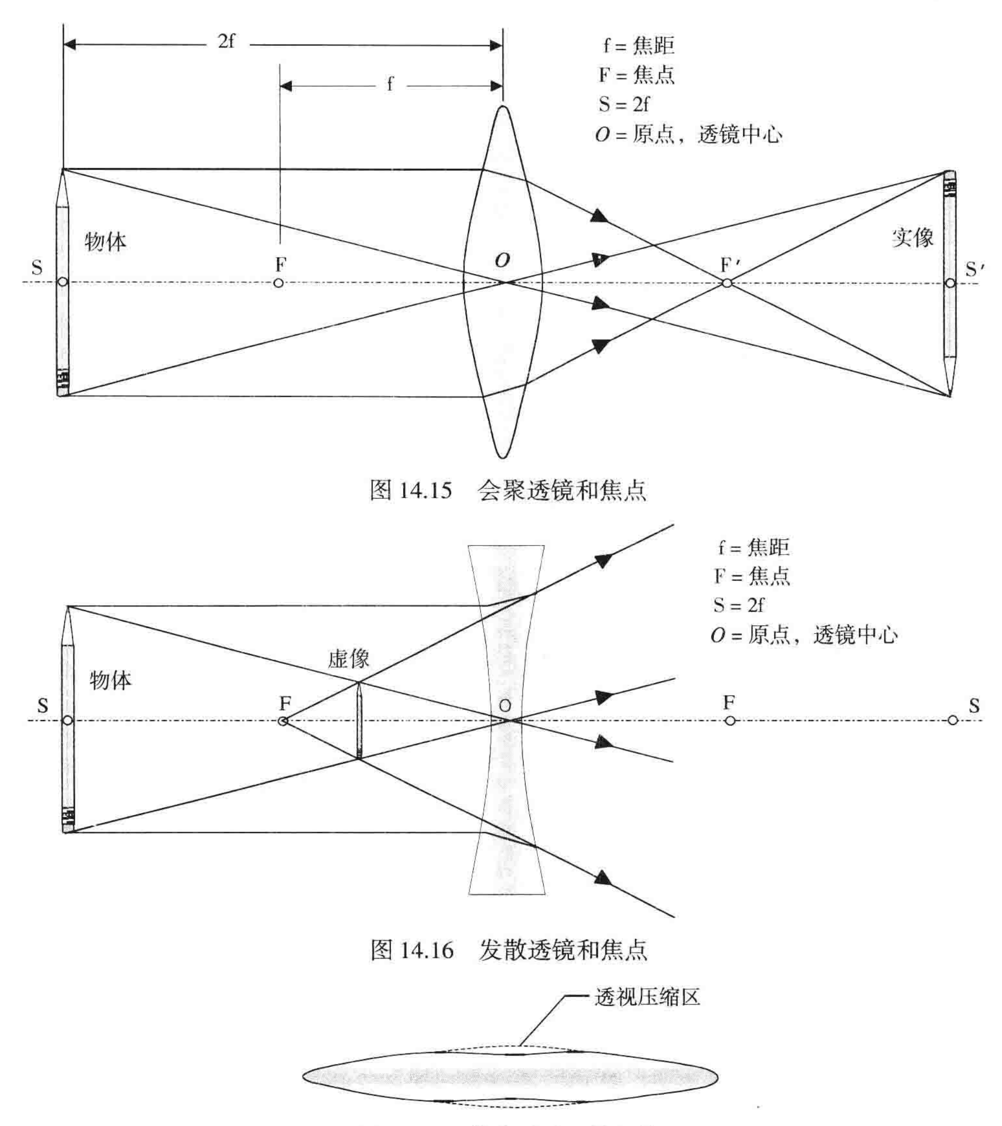


图 14.15　会聚透镜和焦点

图 14.16　发散透镜和焦点

图 14.17　激光导致透镜压缩

光刻光学系统中使用的透镜是采用最优质的材料和做工的，但它们并不完美。由设计、制造或使用缺陷导致的与理想透镜状态的偏差被称做像差。有多种不同的像差，例如不精确的透镜表面。总的来讲，透镜设计者设计光学系统时使单个透镜像差达到最小[15]。

■ **衍射**　光沿着直线传播。当光穿过一个小孔或经过一个轮廓分明的边缘时，沿小孔边缘产生了干涉图形，结果得到了一个模糊的图像，而不是希望出现在光和阴影之间的清晰边缘（见图 14.18）。光看上去沿狭缝边缘弯曲了。这种现象被称做衍射。

你可以把两个手指紧放在一起并通过它们看一束光来体验衍射。手指的边缘不是轮廓清晰的。衍射光通过小孔产生一个没预计到的光强轮廓图。基本上，边界外的区域被照明并且光强轮廓图没有一个清晰的边缘。中心点是亮的并且被能量不断减小的光带包围着，这被称做衍射级次。衍射程度依赖于孔径宽度和光的波长。

光的衍射是和光刻密切相关的，因为投影掩膜版上有小的清晰图形并且间距很窄。曝光时，光必须通过这些图形（见图 14.19）。衍射图样夺走了曝光能量，并使光发散，导致光刻胶上不要曝光

的区域被曝光。这个问题在孔小时更严重，例如小到 200 nm 的接触孔。由衍射引起的干涉图样能使小接触孔和小线条很难被光刻。

- 光是沿直线传播的
- 当光遇到物体边缘发生衍射
- 当光波穿过狭缝时产生衍射带或干涉图样

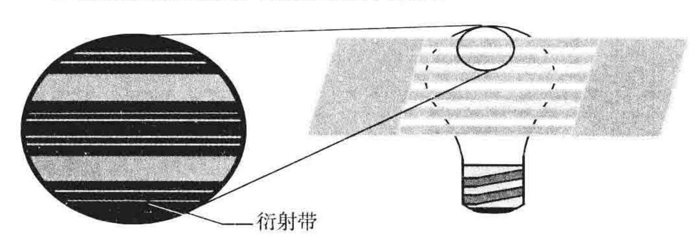


图 14.18　从小孔衍射出的光的干涉图样

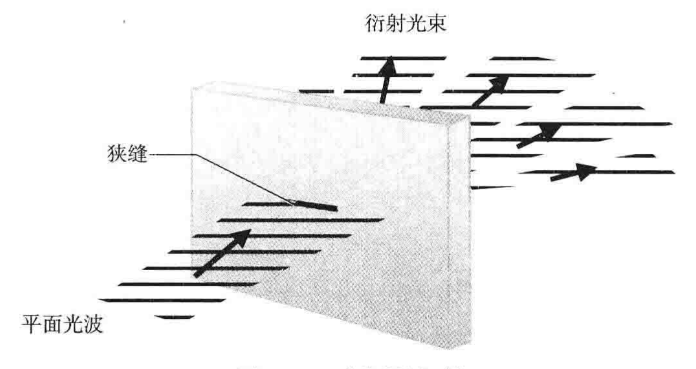


图 14.19　版图的衍射

■ **数值孔径**　一个透镜能够俘获一些衍射光（见图 14.20）。透镜收集衍射光的能力被称做透镜的数值孔径（NA）。对于一个给定的透镜，NA 测量透镜能够接收多少衍射光，并且通过把这些衍射光会聚到一点成像。

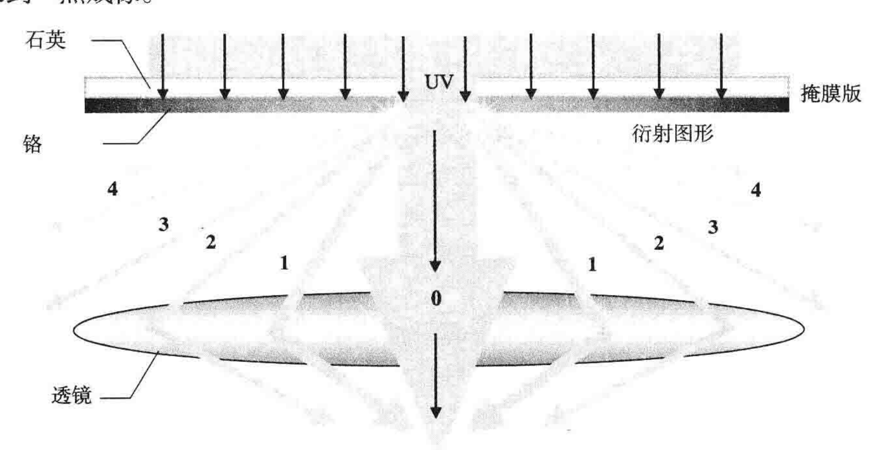


图 14.20　透镜俘获衍射光

数值孔径由下列公式定义：

$$NA=(n)\ \text{Sin}\ \theta_m \approx (n)\frac{\text{透镜的半径}}{\text{透镜的焦长}}$$

其中，n = 图像介质的折射率（对于空气，n ≈ 1）

θ_m = 主光轴和透镜边缘线的夹角

注意Sin θ_m的值可以通过使用三角关系来近似。这个近似突出了通过增加镜头半径来增加数值孔径并俘获更多衍射光的方式。增加数值孔径，就能把更多的衍射光会聚到一点成像（见图14.21）。然而，通过增加透镜的半径来增加数值孔径，也就意味着光学系统更加复杂更加昂贵。

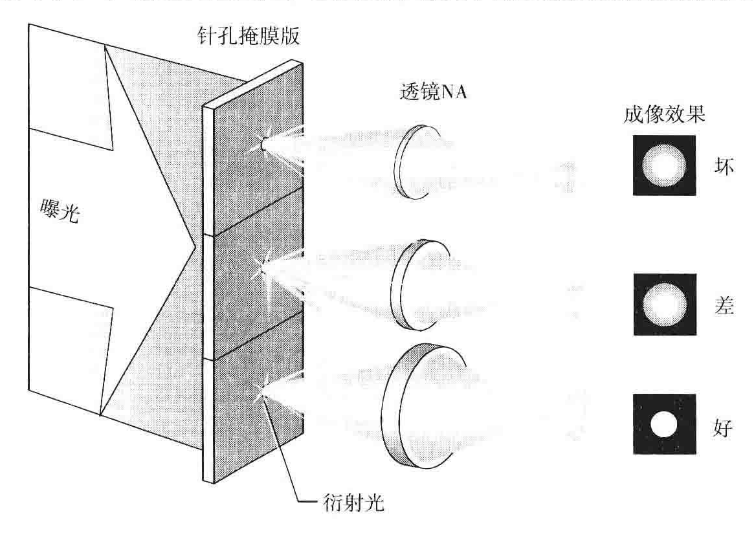


图14.21 数值孔径在成像中的作用

步进光刻机和步进扫描光刻机中的数值孔径值通常已被确定。数值孔径在过去几年有了相当的改进。对于空气或真空介质，数值孔径数值一定小于或等于1。表14.5提供了用于光刻设备的一些典型的数值孔径数值。

表14.5 光刻设备的一些典型的数值孔径

设备类型	数值孔径（NA）数值
反射式扫描投影光刻机（20世纪70年代技术）	0.25
分步重复光刻机	0.60 到 0.68
步进扫描式光刻机	0.60 到 0.68

■ **抗反射涂层** 曝光光线通过投影掩膜版后在光刻胶上形成图案。在光刻胶的下面是最终要被刻蚀形成图案的底层薄膜。如果这个底层膜是反光的，例如金属和多晶硅层，那么光线将从这个膜层反射并有可能损害临近的光刻胶。这个损害能够对线宽控制产生不利的影响。两种最主要的光反射问题是反射切口和驻波。在刻蚀形成的垂直侧墙表面，反射光到不需要曝光的光刻胶中就会形成反射切口（见图14.22）。

驻波 光刻中一个光波反射和干涉的例子是驻波现象。如果反射硅片表面上光刻胶用单色光曝光，那么入射光照到光刻胶并通过光刻胶层后被硅片表面发射（见图14.23）。驻波表征入射光波和反射光波之间的干涉，这种干涉引起了随光刻胶厚度变化的不均匀曝光。驻波的发生对深紫外光刻胶更加显著，因为很多硅片表面（例如氧化层、氮化硅和多晶硅）在较短的深紫外波长反射更加厉害[16]。曝光后，光刻胶侧面是由过曝光和欠曝光而形成条痕的。驻波本质上降低了光刻胶成像的分辨率。

我们把一种抗反射涂层（ARC）直接用于反射材料的表面来减小光刻胶的驻波效应（见图14.24）。抗反射涂层通过抑制曝光光束减少不想要的光反射，使用最新的抗反射涂层能够减少99%的衬底反

射。它们以薄层的形式被淀积在硅片上，通常是从 200 Å 到 2000 Å，依赖于抗反射涂层的类型和所用的材料[17]。染料也可以加在光刻胶中帮助阻止光波的干涉。另外，曝光和显影之间的曝光后烘（PEB）能够减少传统 I 线光刻胶驻波条纹宽度。曝光后烘重新分布了光刻胶中的光敏化合物（PAC），并通过减小驻波获得了较陡直的光刻胶侧墙剖面。

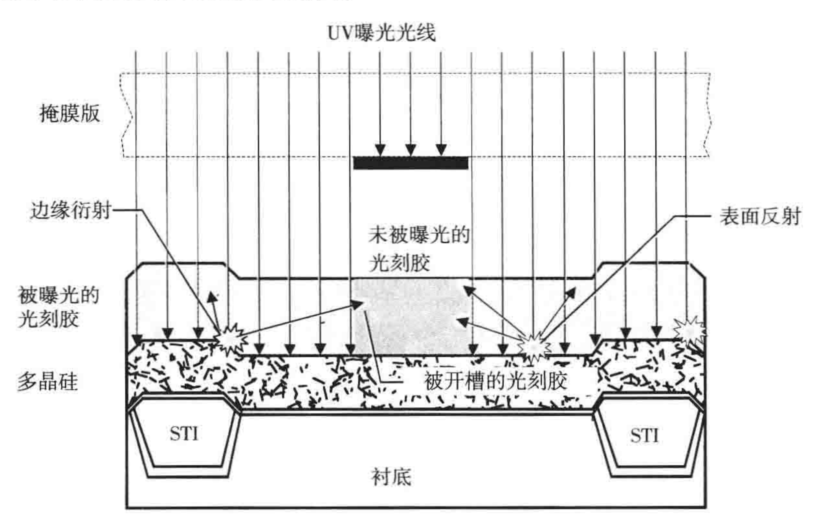
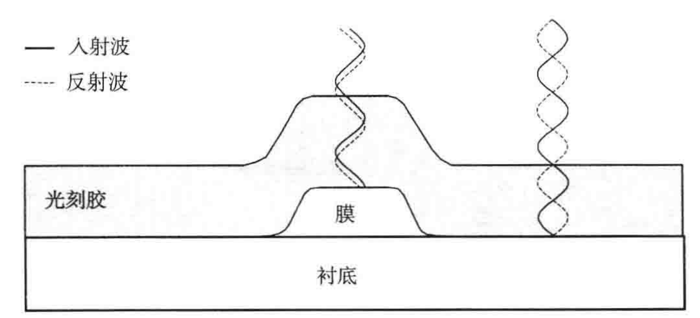
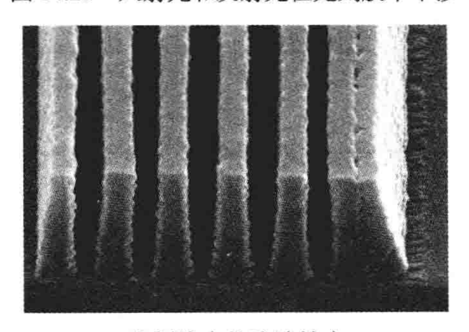


图 14.22　光反射引起的光刻胶反射切口



驻波沿着光刻胶厚度引起不均匀曝光

图 14.23　入射光和反射光在光刻胶中干涉



光刻胶中的驻波效应

（承蒙 Grant Willson's research group at the University of Texas at Austin 允许使用照片）

有两种类型的抗反射涂层：在光刻胶下面用来减少衬底反射的底部抗反射涂层和淀积在光刻胶上面用来减少光刻胶表面二次反射的顶部抗反射涂层。底部抗反射涂层已经显现出减少反射和诸如驻波等问题的最有效的方法，因此将成为讨论的重点。

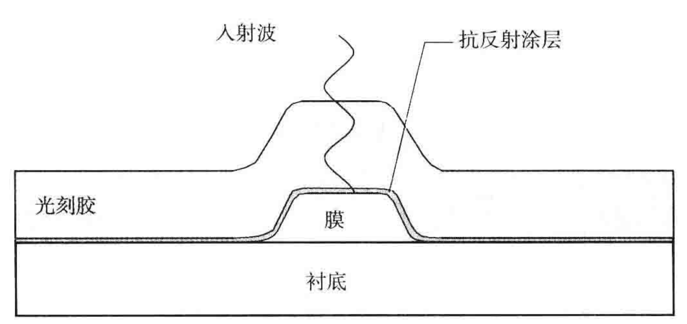


图 14.24　用抗反射涂层阻止驻波

底部抗反射涂层　底部抗反射涂层（BARC）用来减小来自光刻胶下面反射层的光反射，如图 14.25 所示。底部抗反射涂层材料是有机或无机绝缘材料，在涂光刻胶前被加到硅片上。

有机抗反射涂层通过吸收光来减少反射，与涂光刻胶的方式一样被旋涂在硅片上。无机抗反射涂层通过等离子体增强化学气相淀积（PECVD）形成。无机抗反射涂层不吸收光，而是通过特定波长相移相消起作用，是以折射率、膜层厚度和其他参数（见图 14.26）为基础的。成功的光波相位相消需要非常严格的工艺参数控制，如底部抗反射涂层的厚度偏差容限是 15 Å[18]。TiN 被用做与金属连接的扩散势垒区，也是一种较好的抗反射涂层。然而，对于较短的波长，材料的反射率变化使干涉效应很难控制。

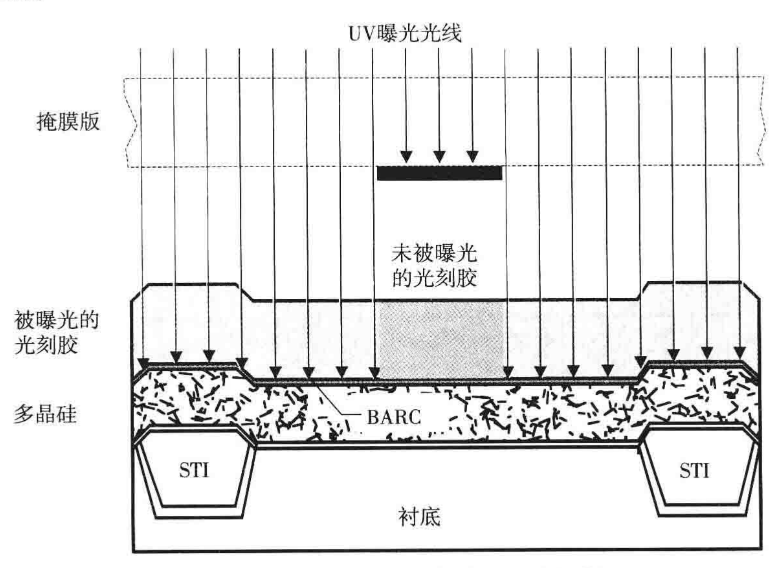


图 14.25　通过底部抗反射涂层的光抑制

选择抗反射涂层的一个因素是，在完成光刻工艺步骤之后抗反射涂层能被除去的能力。在某些情况下有机抗反射涂层（主要是顶部抗反射涂层）是水溶的，通过显影步骤的冲水很容易去掉。无机抗反射涂层较难被去掉，特别是当它们的化学组成与下层类似时。这个抗反射涂层有时被留在硅片表面并成为器件的一部分。

顶部抗反射涂层　顶部抗反射涂层（TARC）在光刻胶和空气的交界面上减少反射（见图 14.27）。顶部抗反射涂层材料不吸收光，而是作为一个透明的薄膜干涉层，通过光线间的相干相消来消除反射[19]。

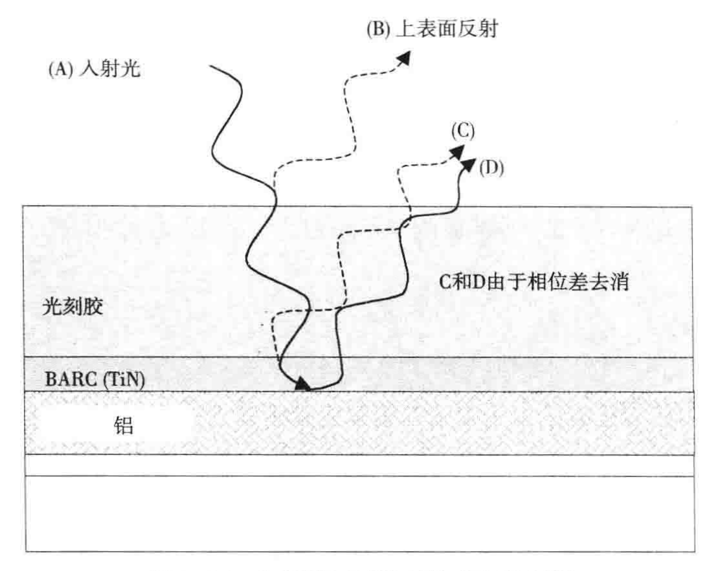


图 14.26　底部抗反射涂层的光相移相消

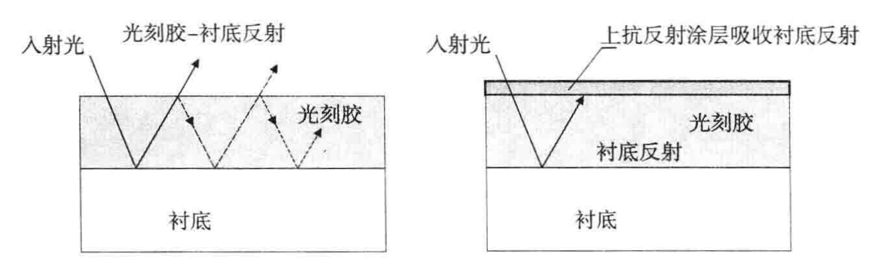


图 14.27　顶部抗反射涂层

14.2.4　分辨率

在光刻中，分辨率被定义为清晰分辨出硅片上间隔很近的特征图形对的能力（例如相等的线条和间距）。这种性质显示在图 14.28 中。在先进的半导体 IC 制造中，为获得高集成度器件分辨率很关键。分辨率对任何光学系统都是一个重要的参数，并且对光刻非常关键，因为我们需要在硅片上制造出极小的器件尺寸。

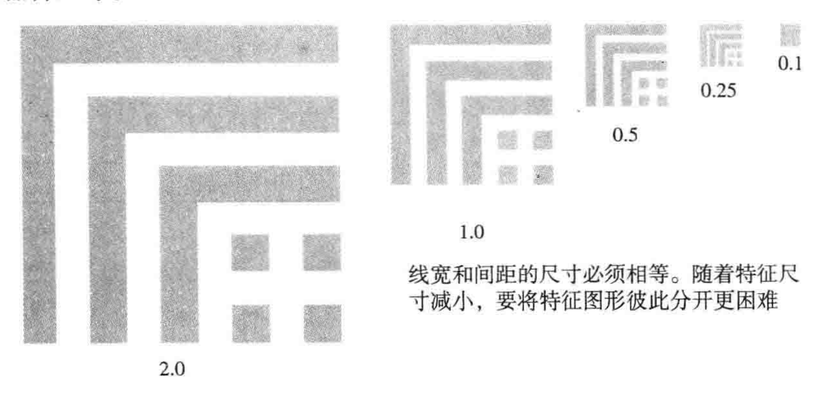


图 14.28　器件的分辨率

分辨率公式 R 如下所示：

$$R = \frac{k\lambda}{NA}$$

其中，k = 表示特殊应用的因子，范围是0.6~0.8

λ = 光源的波长

NA = 曝光系统的数值孔径

这个公式表示在光刻中有三个参数影响分辨光刻胶上几何图形的能力：

1. 波长 λ
2. 数值孔径 NA
3. 工艺因子 k

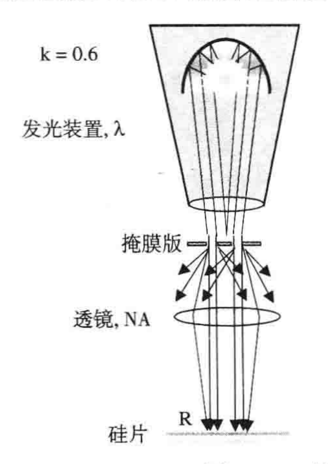
显而易见，减少曝光光源的波长对提高分辨率非常重要。波长的减小将提高光学系统的分辨能力。换句话说，波长越短越好。另一个提高分辨率的重要参数是增加投影透镜的NA。有高数值孔径的透镜同样有高分辨率。然而回想增加数值孔径就需要更大的透镜半径，这将变得很昂贵。第三个参数k代表了光学系统工艺因子，并且能够影响分辨率。然而，要把k减小到0.6以下受到实际的限制。已经有了一些可行的分辨率增强技术，如相移掩膜版（PSM）和光学接近修正（OPC），对减少k值改善图像分辨率变得非常重要。这些技术将在本章后面论述。

计算分辨率　给定波长 λ、数值孔径NA和工艺因子k时可以计算一个光学系统的预期分辨率R（见图14.29）。

考虑下面的例子：

$$\lambda = 193\ \text{nm}$$
$$NA = 0.6$$
$$k = 0.6$$
$$R = \frac{k\lambda}{NA} = \frac{(0.6)(193\ \text{nm})}{0.6} = 193\ \text{nm}$$

对于这个光学系统，能光刻出的最小图形的分辨率预计为193 nm。如果曝光光源的波长减小了，那么可分辨的尺寸将减小。当NA增加时可分辨尺寸会减小。然而，如在下一节所说明的，增加系统的数值孔径需要付出代价并且会减小焦深。



$$R = \frac{k\lambda}{NA}$$

	λ	NA	R
I线	365 nm	0.45	486 nm
	365 nm	0.60	365 nm
DUV	193 nm	0.45	257 nm
	193 nm	0.60	193 nm

图14.29　给定 λ，NA和k的分辨率计算

■ **焦深**　焦点周围的一个范围，在这个范围内图像连续地保持清晰，这个范围被称做焦深或 DOF（见图 14.30）。焦点是沿透镜中心出现最佳图像的点。焦深是焦点上面和下面的范围，在这里能量相对为常量。焦点可能不是正好在光刻胶层中心，但是焦深应该穿越光刻胶层上下表面。任何曝光系统的确实可用的焦深都应该通过实验来确定相应的工艺参数和相匹配的环境条件。目的就是找到并维持整个硅片和不同硅片的最佳聚焦。

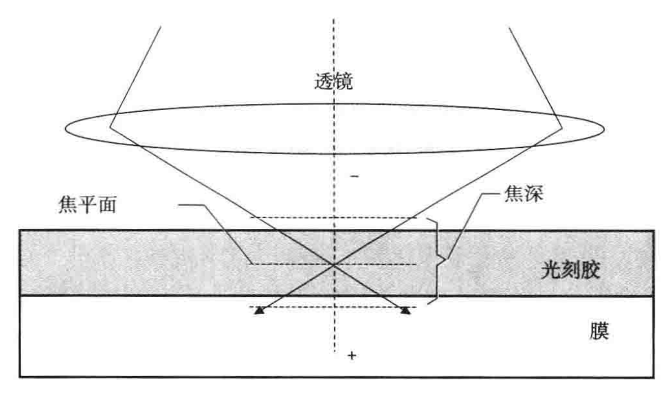


图 14.30　焦深（DOF）

描述焦深的方程式是：

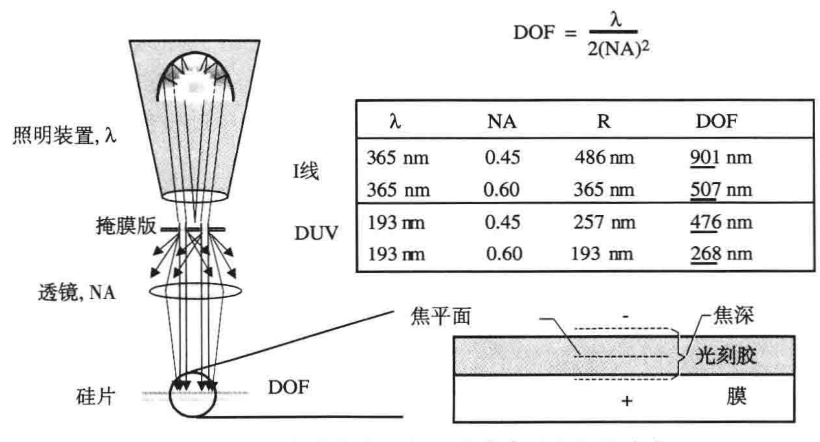
$$DOF = \frac{\lambda}{2(NA)^2}$$

其中，λ = 曝光的波长

NA = 光学系统的数值孔径

焦深也就是景深，通常用在摄影工作中表明相机透镜容许的聚焦范围。你曾经看到过某人的相片上背景是模糊的吗？这张相片是用缩小焦深的相机照的。尽管手提相机的焦深通常是 30 cm，在半导体生产的光刻中焦深数值为 1 μm 或更小都是标准的。

焦深是利用照明光源波长和投影透镜的数值孔径来计算的。当数值孔径增加后，透镜就可以捕获更多的光学细节并且系统的分辨能力也增加了。焦深方程的含义是如果分辨率提高了那么焦深就会减小（见图 14.31）。增加图形分辨率对亚微米特征尺寸是必要的。然而焦深减小的结果是严重缩减了光学系统的工艺宽容度。



	λ	NA	R	DOF
I线	365 nm	0.45	486 nm	901 nm
	365 nm	0.60	365 nm	507 nm
DUV	193 nm	0.45	257 nm	476 nm
	193 nm	0.60	193 nm	268 nm

图 14.31　变化数值孔径时分辨率随焦深的变化

■ **分辨率和焦深的对应关系** 在光刻中，对图像质量起关键作用的两个因素是分辨率和焦深。半导体业界总是受到竞争目标的挑战，既要获得更好的分辨率来形成关键尺寸的图形，又要保持合适的焦深。影响硅片水平放置、平稳和透镜焦面水平的光刻设备和工艺的任何方面都将影响曝光过程的聚焦质量。如果图像平面在光刻胶中最佳焦面以外，质量就会变差。想像一个步进光刻机的焦深为1微米，假定一根人的头发（直径100微米）掉到承片台和硅片之间，硅片将被大致提升超出光刻机透镜焦点99微米。这台光刻机将不能实现聚焦，也不能成功地把版图和硅片进行对准和曝光。光刻工具已经在它们的设备上采用技术来补偿这些因素，例如差的硅片平整度和设备振动，但不能补偿严重的环境沾污和损坏的部分。

由于在淀积和刻蚀步骤中引入的表面起伏，硅片表面不是平面的。20世纪80年代，这种硅片表面结构限制了分辨率，因为光学系统不能充分地聚焦在硅片表面所有地方。当今人们采用许多技术来尽量减少表面不平的结构。

表面平坦化 最重要的硅片表面平坦化技术被称做化学机械平坦化（CMP）的平坦化工艺。CMP在20世纪90年代被引入硅片制造中并且通过平整硅片表面来满足减小的焦深的要求（这使增加图形分辨率可行）有着突出的贡献。对于0.25微米及以下的关键尺寸，CMP已经成为减小硅片表面构造不平的一个主要手段。CMP对光刻的意义在于，它使减少焦深获得较高的图形分辨率成为可能。

14.3 光刻设备

从早期的硅片制造以来光刻设备可以分为五代。每一代又以那个时期获得CD分辨率所需的设备类型为基础。这五个精细光刻时代如下所示：

- 接触式光刻机
- 接近式光刻机
- 扫描投影光刻机
- 分步重复光刻机
- 步进扫描光刻机

14.3.1 接触式光刻机

接触式光刻机是SSI时代直到20世纪70年代的主要光刻手段。它被用于线宽尺寸约5微米及以上的生产方式中。尽管0.4微米线宽也能实现，现今接触式光刻机已不被广泛使用。

接触式光刻机的掩膜版包括了要复制到硅片表面的所有芯片阵列图形。硅片被涂上光刻胶，并被装到一个由手动按钮控制左右和旋转的台子上（台子有X、Y方向和旋转的定位功能）。掩膜版和硅片通过分立视场显微镜同时观察（见图14.32）。于是操作者用手动控制台子定位就把掩膜版图形和硅片上的图形对准了。

一旦掩膜版和硅片对准，掩膜版就开始和硅片表面的光刻胶涂层直接接触，这就是称这种设备为接触式光刻机的原因。此时硅片和掩膜版经紫外（UV）光曝光。紫外光通过掩膜版透明部分，掩膜版的图形就被转移到光刻胶上。

接触式光刻系统依赖人操作，并且容易被沾污，因为掩膜版和光刻胶是直接接触的。颗粒沾污损坏了光刻胶层、掩膜版或两者都损坏了，每5次到25次操作就需更换掩膜版。颗粒周围的区域都存在分辨率问题。由于接触式光刻中一块掩膜版在整个硅片上形成图形，对准时整个硅片的偏差又必须在所需容差之内，因此当硅片尺寸增加就有套准精度问题。

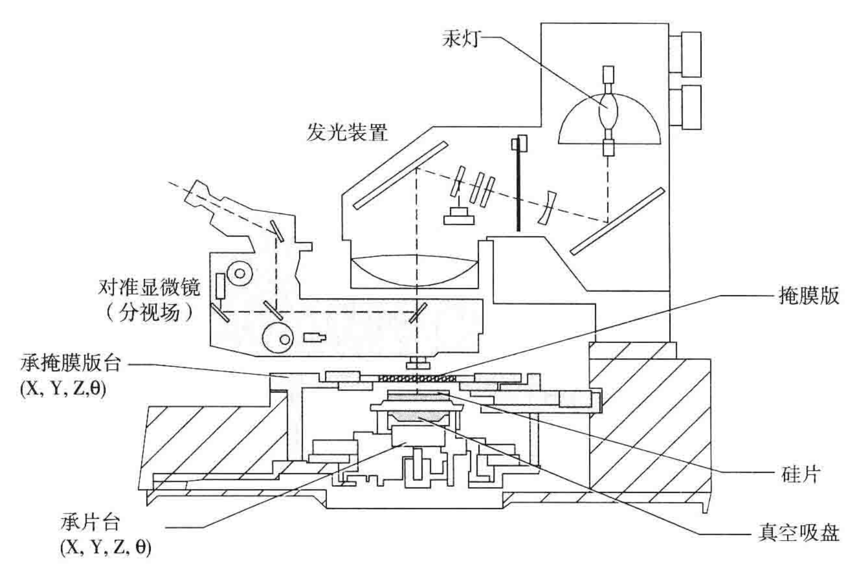


图 14.32　接触 / 接近式光刻机系统
（承蒙 Canon USA 允许使用）

接触光刻确实能够在硅片表面形成高分辨率的图形，因为掩膜版图形和硅片非常接近。这种接近减少了图像失真。然而，接触光刻非常依赖于操作者，这就引入了重复性和控制问题。

14.3.2　接近式光刻机

接近式光刻机是从接触式光刻机发展而来的，并且在 20 世纪 70 年代的是 SSI 时代和 MSI 早期同时普遍使用。这些光刻机如今仍然在生产量小的实验室或较老的生产分离器件的硅片生产线中使用，在那里更新设备在经济上不可行。它们适用于线宽尺寸 2 到 4 微米，依赖于诸如衬底表面反射率等因素。

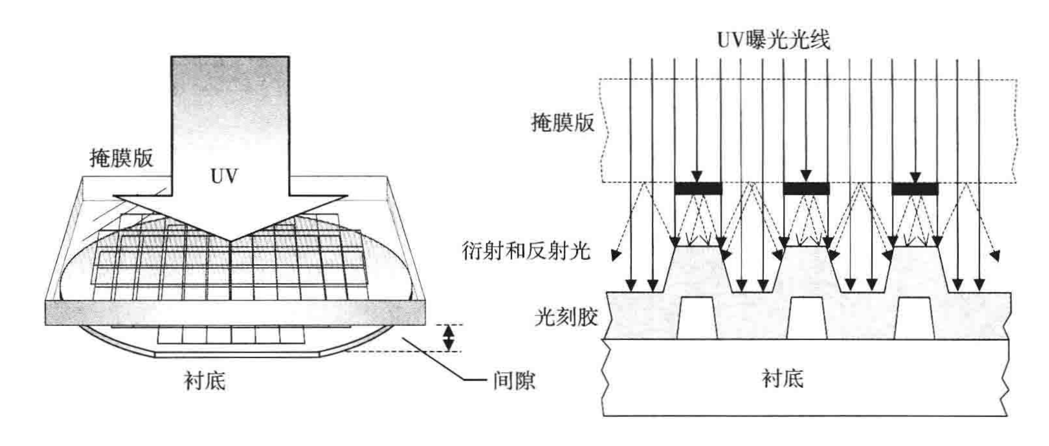
在接近式光刻中，连续复制整个硅片图形，掩膜版不与光刻胶直接接触。它与光刻胶表面接近，在掩膜版和硅片表面光刻胶之间有大致 2.5 到 25 微米的间距。光源产生的光是被准直的，这意味着光束彼此平行。

接近式光刻企图缓解接触式光刻机的沾污问题，它是通过在光刻胶表面和掩膜版之间形成可以避免颗粒的间隙实现的。尽管间距大小被控制，接近光刻机的工作能力还是被减小了，因为当紫外光线通过掩膜版透明区域和空气时就会发散（见图 14.33）。这种情况减小了系统的分辨能力，减小线宽关键尺寸就成了主要问题。

14.3.3　扫描投影光刻机

业界认识到需要远离任何形式的接触或接近光刻系统，因为它们存在沾污问题、边缘衍射、分辨率限制并且依赖操作者。20 世纪 70 年代早期扫描投影光刻机（也叫扫描光刻机）的发展试图解决这些问题。扫描投影光刻机在 70 年代末 80 年代初是占据主导地位的光刻设备[20]。这些光刻机现在仍在较老的硅片生产线中使用。它们适用于线宽大于 1 微米的非关键层。

扫描投影光刻机的概念是利用反射镜（例如基于反射的光学系统）系统把有 1:1 图像的整个掩膜图形投影到硅片表面。由于掩膜版是 1 倍的，图像就没有放大和缩小，并且掩膜版图形和硅片上的图形尺寸相同。



边缘的光衍射造成从掩膜版下侧反射引起不希望的光刻胶曝光

图 14.33 接近式光刻机上的边缘衍射和表面反射

紫外光线通过一个狭缝聚焦在硅片上，能够获得均匀的光源（见图14.34）。掩膜版和带胶硅片被放置在扫描架上，并且一致地通过窄紫外光束对硅片上的光刻胶曝光。由于发生扫描运动，掩膜版图像最终被光刻在硅片表面。

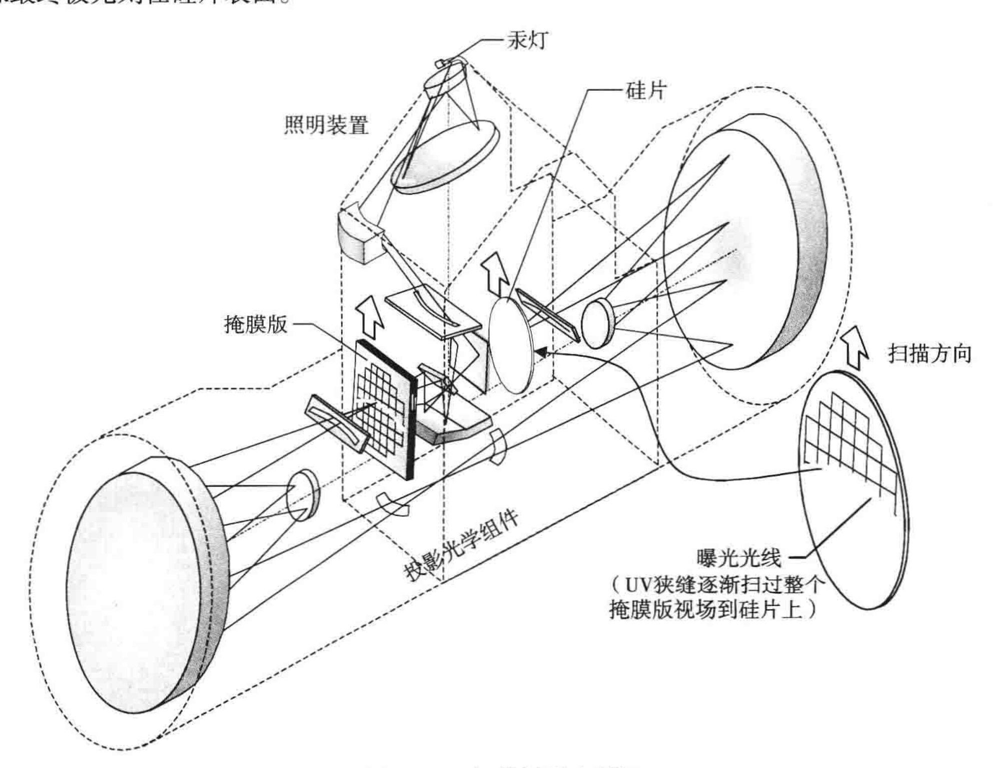


图 14.34 扫描投影光刻机

（承蒙 Silicon Valley Group Lithography Systems 允许重绘 Perkin-Elmer 500 Micralign 图）

扫描投影光刻机的一个主要挑战是制造良好的包括硅片上所有芯片的1倍掩膜版。如果芯片中有亚微米特征尺寸，那么掩膜版上也有亚微米尺寸。由于亚微米特征尺寸的引入，这种光刻方法很困难，因为掩膜不能做到无缺陷。

14.3.4　分步重复光刻机

20世纪90年代用于硅片制造的主流精细光刻设备是分步重复光刻机。分步重复光刻机有它们独特的名字是因为这种设备只投影一个曝光场（这可能是硅片上的一个或多个芯片），然后步进到硅片上另一个位置重复曝光。步进光刻机最早是在20世纪80年代早期商业化的[21]。尽管起先不被普遍接受，步进光刻机从20世纪80年代后期主导了IC制造业，主要用于图形形成关键尺寸小到0.35微米（常规I线光刻胶）和0.25微米（深紫外光刻胶）。

步进光刻机使用投影掩膜版，上面包含了一个曝光场内对应有一个或多个芯片的图形。步进光刻机不使用掩膜版，因为掩膜版包含了所有芯片阵列。步进光刻机的光学投影曝光系统使用折射光学系统把版图投影到硅片上（见图14.35）。

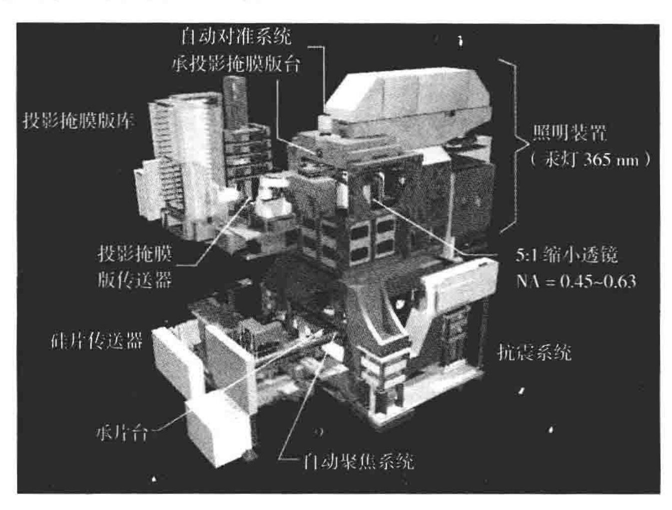


图14.35　分步重复光刻机
（承蒙美国Canon允许使用FPA-3000 i5图）

光学步进光刻机的一大优势在于它具有使用缩小透镜的能力。传统上I线步进光刻机的投影掩膜版图形尺寸是实际像的4倍、5倍或10倍（最初步进光刻机使用10倍版，后来是5倍和4倍）。下面进一步解释使用缩小透镜的目的，使用5倍版的光刻机需要一个5:1的缩小透镜把正确的图形尺寸成像在硅片表面。这个缩小的比例使得制造投影掩膜版更容易，因为投影掩膜版上的特征图形是硅片上最终图形的5倍。至少有一家步进光刻机厂商生产1:1投影光刻机。不缩小的投影光刻机的好处是成本低并可用于非关键层图形制造。

在曝光过程的每一步，这种步进光刻机都会把投影掩膜版通过投影透镜聚焦到硅片表面，使硅片和掩膜版对准。穿过投影掩膜版上透明区域的紫外光对光刻胶曝光，然后步进到硅片下一个位置重复全部过程。通过继续这个过程，步进光刻机最终会通过连续的曝光步骤把所有芯片阵列复制到硅片表面（见图14.36）。由于步进光刻机一次只曝光硅片的一小部分（例如，典型地对于一个较大的微处理器芯片在硅片上一个曝光场内只有一个芯片），所以对硅片平整度和几何形状变化的补偿变得容易。

步进光刻机使用传统的汞灯照明光源（对于G线波长是436 nm，H线波长是405 nm，I线波长是365 nm）线宽可以小到0.35 μm。为了获得248 nm深紫外波长的光源，汞灯被KrF准分子激光器所取代。这种设备能够形成0.25 μm线宽的图形。通常深紫外步进光刻机被用于形成关键层的图形，而传统的I线曝光方法被用于非关键层。这种混合匹配式光刻方法用来减少生产成本。

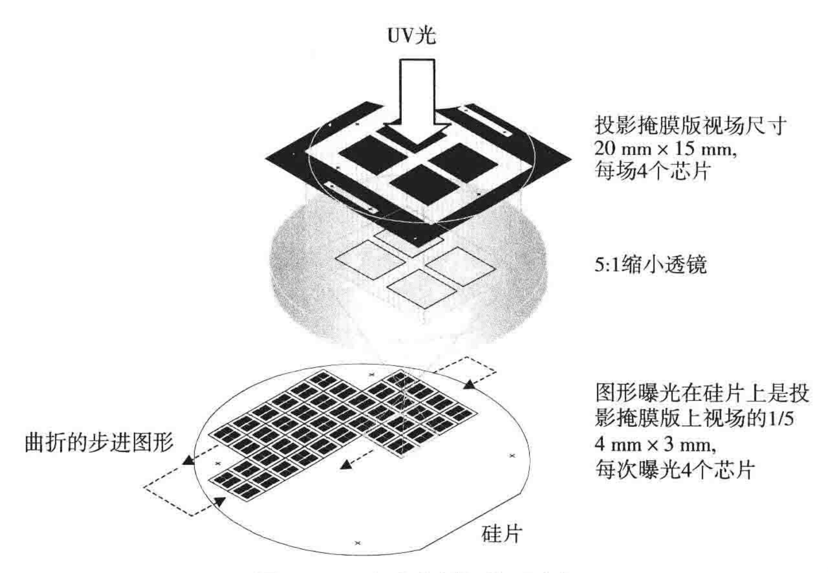


图 14.36　步进光刻机的曝光场

随着关键尺寸的减小和半导体芯片物理尺寸的增加，引起了增大曝光场尺寸和改进光刻机光学系统的要求。这反过来要求更加复杂的光刻透镜设计和制造，就单个光刻机中透镜系统的费用就超过一百万美元。这个费用把传统分步重复式曝光场范围限制为22 × 22 mm。为了克服这些问题，一种进化的步进光刻机——步进扫描光刻机——已经在0.25 μm及以下的深紫外光刻中占据主导地位。

14.3.5　步进扫描光刻机

近来在光刻曝光设备上的发展是使用了一种被称做步进扫描光刻的技术。步进扫描光学光刻系统是一种混合设备，融合了扫描投影光刻机和分步重复光刻机技术，是通过使用缩小透镜扫描一个大曝光场图像到硅片上一部分实现的。一束聚焦的狭长光带同时扫过掩膜版和硅片（见图 14.37）。这种光刻机的标准曝光场尺寸是 26 × 33 mm，使用 6 英寸投影掩膜。一旦扫描和图形转印过程结束，硅片就会步进到下一个曝光区域重复这个过程。

使用步进扫描光刻机曝光硅片的优点是增大了曝光场，可以获得较大的芯片尺寸。透镜视场只要是一个细长条就可以了，就像较老的整片扫描投影光刻机那样。在步进到下一个位置前，它通过一个小的，校正好的26 × 33 mm像场扫描一个缩小的掩膜版（通常是4倍）[22]。可以使用较小的透镜系统，这样尺寸视场的光学系统现在是能够设计的（见图 14.38）。大视场的另一个主要优点是有机会在投影掩膜版上多放几个图形，因而一次曝光可以多曝光些芯片。

步进扫描光刻机的另一个重要优点是具有在整个扫描过程调节聚焦的能力，使透镜缺陷和硅片平整度变化能够得到补偿。这种扫描过程中改进的聚焦控制产生了整个曝光场内改善的CD均匀性控制。

步进扫描光刻机最主要的挑战是增加了机械容许偏差控制的要求，因为要对硅片和投影掩膜版台子的运动进行控制。步进光刻机只需要把硅片快速移动到一个新位置，一台步进扫描光刻机却必须把硅片和投影掩膜版同时沿相反方向精确地移动。这些扫描和步进执行过程中，定位容差不超过几十纳米。

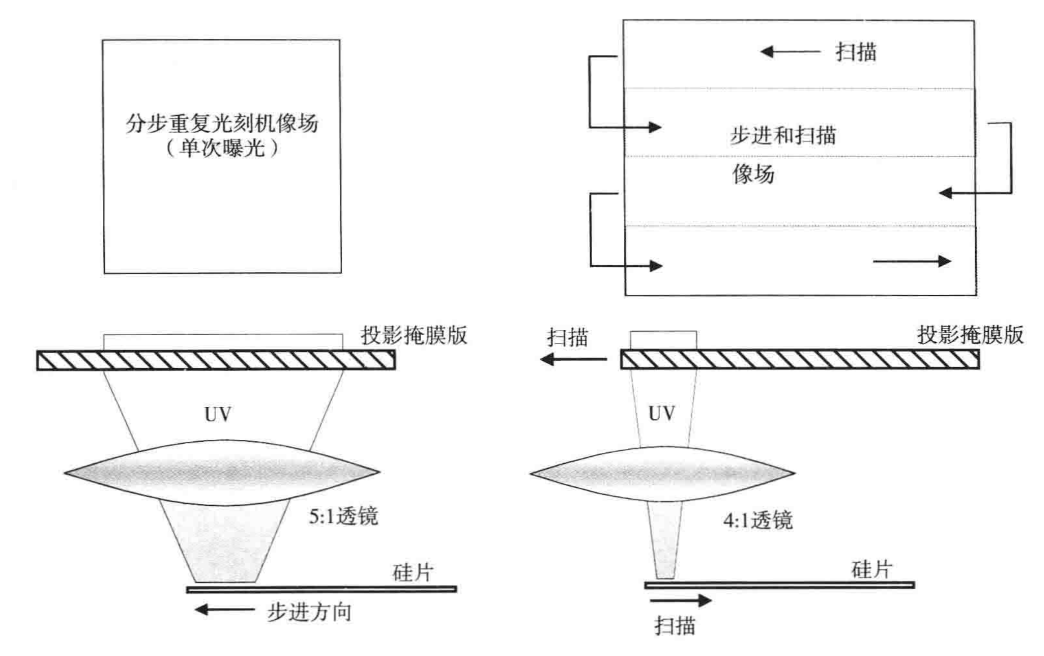


图 14.37　步进扫描光刻机的硅片曝光场
（承蒙ASM Lithography允许使用）

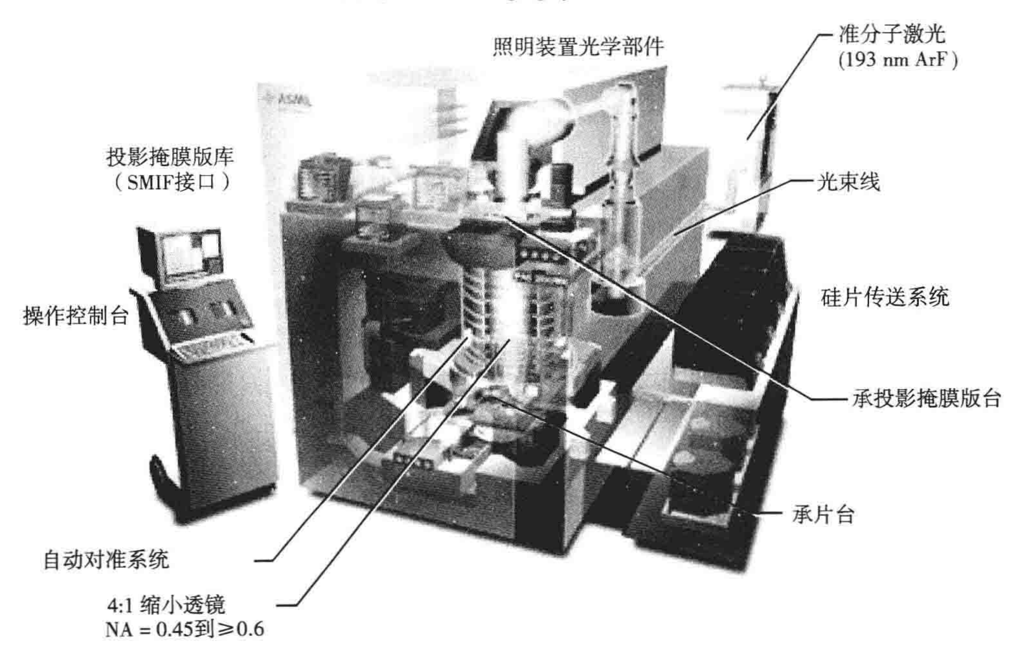


图 14.38　步进扫描曝光系统
（承蒙 ASM Lithography 允许使用 PAS 5500 图）

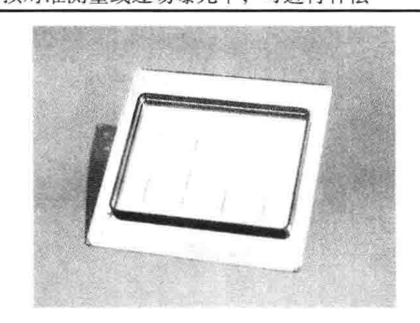
14.3.6　投影掩膜版

投影掩膜版是一种透明的平板，在它上面有要转印到硅片上光刻胶层的图形。在硅片制造中经常使用两个术语：投影掩膜版和掩膜版。投影掩膜版只包括硅片上一部分图形（例如4个芯片）。这个图形必须通过分步重复来覆盖整个衬底。在硅片制造中投影掩膜版用于分步重复光刻机和步进扫

描光刻机。光掩膜版或掩膜版包含了整个硅片的芯片阵列并且通过单一曝光转印图形（1:1 图像转印）[23]。掩膜版用于较老的接近式光刻和扫描对准投影机中。表14.6比较了投影掩膜版和掩膜版，帮助我们了解光刻工业把掩膜版改成投影掩膜版的原因。

表 14.6 投影掩膜版和掩膜版的比较

参数	投影掩膜版	掩膜版
曝光次数	多次曝光	一次曝光
关键尺寸	在硅片上容易形成亚微米尺寸图形，由于版图尺寸较大（例如 4：1，5：1）	没有缩小的光学系统很难在掩膜版和硅片上形成亚微米尺寸图形
曝光场	小曝光场需要步进重复过程	曝光场就是整个硅片
掩膜版技术	光学缩小允许较大的投影掩膜版尺寸——更易于复印	掩膜版与硅片有相同的关键尺寸——更易于复印
产量	要求先进的自动化来步进和重复扫过整个硅片	可能较高（如果设备不能自动化就不总是正确的）
芯片对准和聚焦	可以调节单个芯片的对准和聚焦	整个硅片对准，但没有单个芯片对准和聚焦
缺陷密度	增加产量但不允许投影掩膜版缺陷，投影掩膜版上的缺陷会在每个曝光场重复	缺陷在硅片上不会多次重复
表面平整度	在最初全场预对准测量或逐场曝光中，可进行补偿	除整场对准和聚焦外，没有补偿



光刻投影掩膜版（承蒙 Advanced Micro Devices 允许使用照片）

掩膜版必须制造得非常完美。所有硅片上的电路元件都来自版图，因此投影掩膜版的质量在亚微米光刻获得高质量图形中扮演着关键角色。如果版图缺陷（如变形和不正确图形位置）没有被发现，它们就会被复制到硅片表面的光刻胶上。投影掩膜版在它们刚制造完毕，就要进行大量的自动测试来检查缺陷和颗粒。

■ 投影掩膜版的材料 最主要的用于亚微米光刻的投影掩膜版衬底材料是熔融石英。这种材料始终用在深紫外光刻中，因为它在深紫外光谱部分（248 nm 和 193 nm）有高光学透射。用做投影掩膜的熔融石英是最贵的材料并且有非常低的温度膨胀。低膨胀意味着投影掩膜版在温度改变时尺寸是相对稳定的。基于这个原因，只要由于环境温度变化引起极小的温度超标，就会使尺寸增大。掩膜版材料应具有的其他性能是高光学透射和在材料表面或内部没有缺陷。

淀积在投影掩膜版上的不透明材料通常是一薄层铬。这个铬层会通过制图形成硅片电路的基层图形（例如孔、线条、压点等）。铬的厚度通常小于 1000 Å 并且是溅射淀积的。有时会在铬上形成一层氧化铬（大约厚 200 Å）抗反射层。

■ 投影掩膜版的缩影和尺寸 投影掩膜版被用在步进光刻机和步进扫描系统中，需要缩小透镜来减小形成图案时的套准精度。步进光刻机通常使用的投影掩膜版缩小比例为5：1或4：1，而步进扫描光刻机使用投影掩膜版的缩小比例为4：1。每层掩膜版通常包含了一个或多个芯片所需的图形。步进光刻机和步进扫描光刻机使用较小的曝光场，这使投影掩膜版对准时的严格精度偏差控制成为可能。

当前大多数掩膜版都是6 × 6平方英寸的（152 mm），尽管5 × 5英寸的掩膜版仍然很普遍。投影掩膜版通常是0.09"到0.25"厚。一块6英寸4倍缩小的掩膜版限定了在硅片表面的有效光场大小。这在当前光刻的步进扫描设备中是25 × 25 mm（见图14.39）。由于投影掩膜版是步进越过硅片，这就需要多次曝光。据预测，需要的曝光场尺寸将随DRAM和微处理器芯片相应增加。业界正在研究实现由9英寸掩膜版代替现在6英寸投影掩膜版的转变。这将增加多个曝光场的芯片数量，使步进光刻机和步进扫描光刻机完成整个硅片曝光时步进较少的次数[24]。然而要实现这个转变需要大量的经费，这可能会抵消所得利益。

■ 投影掩膜版的制造　通常在投影掩膜上形成图形的方法是使用电子束。这种技术利用直写把电子存储的原始图形绘制成版图。该过程包含巨大的数据量，并且在投影掩膜版上绘图的总时间可能是几个小时。形成版图的基本步骤与硅片的相似。

在投影掩膜版上的视场尺寸

投影透镜

硅片上的曝光视场

透镜类型	10 : 0	5 : 1	4 : 1	1 : 1
投影掩膜版视场尺寸 (mm)	100 × 100	100 × 100	100 × 100	30 × 30
硅上的曝光视场 (mm)	10 × 10	20 × 20	25 × 25	30 × 30
每个曝光视场芯片数（假设芯片尺寸 5mm × 5mm）	4	16	25	36

图 14.39　投影掩膜版缩影倍率和曝光场的比较

电子束光刻　电子束光刻的直写方式能直接把高分辨率的图形转印到投影掩膜版表面，在电子束光刻中电子源产生许多电子，这些电子被加速并聚焦成形射到投影掩膜版上（见图14.40）。电子束可以通过磁方式或电方式被聚焦，并在涂有电子束胶的投影掩膜上扫描形成所需要的图形。电子束可以扫过整个掩膜版（光栅扫描），也可以只扫过要光刻的区域（矢量扫描）在投影掩膜上形成图形。

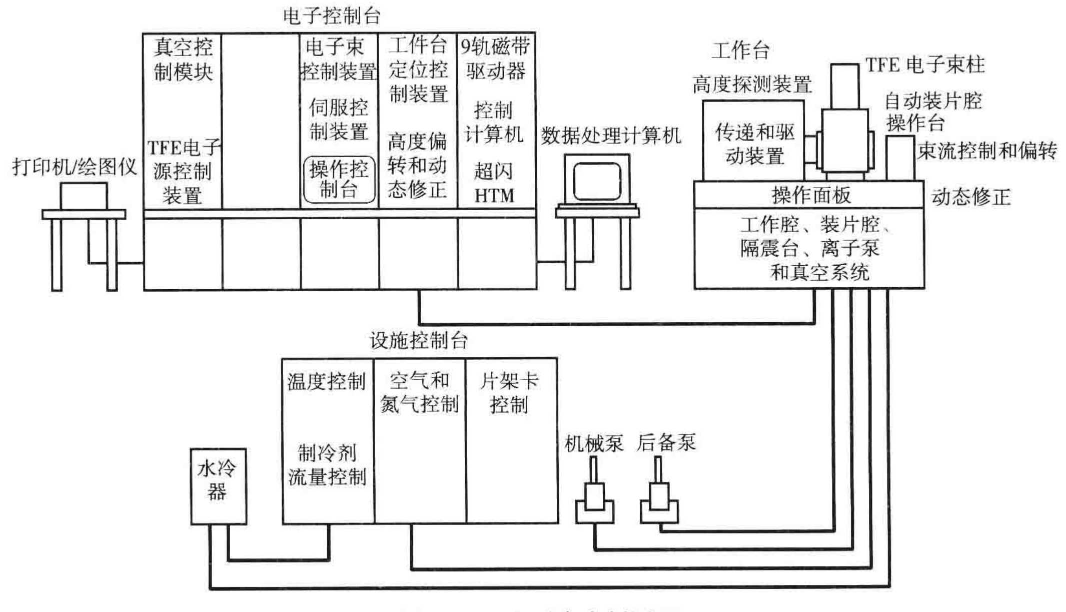


图 14.40　电子束光刻原理

（承蒙 Etec Systems, Inc.允许使用 MEBES 4500 系统）

为了把电子束光刻胶用于投影掩膜版上，掩膜版首先要清洗干净，旋转涂布上合适的光刻胶，然后进行软烘。标准的电子束光刻胶是正性聚（丁烯1砜）或PBS。然而，这种光刻胶不适合亚微米线宽。可替换的光刻胶正在研发中，例如化学放大光刻胶[25]。先进的电子束直写能够在投影掩膜版上形成0.36 μm的最小特征尺寸[26]。

曝光和显影之后，最终的图形表面通过湿法或干法刻蚀去掉铬薄层（先进的掩膜版生产采用干法刻蚀）。回想一下，投影掩膜版尺寸是硅片上图像的四倍或五倍（由于在步进和步进扫描设备中的透镜缩影）。然而，为了在硅片上生产合适的关键尺寸，投影掩膜版特征尺寸容差要求非常严格。

在投影掩膜版上的电子束代替了光学光刻形成图形，是因为与紫外光源比起来电子束有更短的波长和更高的曝光速度。这些性质带来了较好的尺寸控制并增加了产量[27]。电子束是一种具有高分辨率和灵活性的可靠方法，但速度和系统复杂性是它用于硅片制图的不利因素[28]。它在非常特殊的硅片上确实有所应用，如专用集成电路（ASIC），受益于不用掩膜版就能获得从研发到生产的较快的实验周期。

■ **投影掩膜版的损伤来源**　在先进的步进光刻机和步进扫描光刻机中，投影掩膜版进出运动通过自动存储和传送系统来完成。投影掩膜版必须细心地清洗，以便多次重复曝光形成完美图像。步进光刻机是步进并重复单个图形到整个硅片上。如果在一块版的电路图上即使有一个外来颗粒，它也会在硅片上的每个位置重复。

使用投影掩膜版时确实存在很多可能的损伤来源，例如投影掩膜版掉铬、表面擦伤、静电放电（ESD）和灰尘颗粒。如果掩膜版被一个没有正确接地的技术人员触摸，静电放电就会引发问题。这种情况有可能通过投影掩膜版上微米尺寸的铬线条放电产生小电涌，熔化电路线条损坏图形。

如果一个空中悬浮颗粒落在投影掩膜版上的关键区域，就会损害电路并造成成像缺陷。解决投影掩膜版上颗粒沾污的一个方法是用一个极薄的透光膜保护表面，这种薄膜称为保护膜。保护膜被紧绷在一个密封框架上，大约在掩膜版表面上方5到10 mm。没有灰尘颗粒能够到达投影掩膜版表面。如果一个灰尘颗粒落到保护膜上，它距离焦平面很远，并且对于投影光学系统是不可见的（见图14.41）。

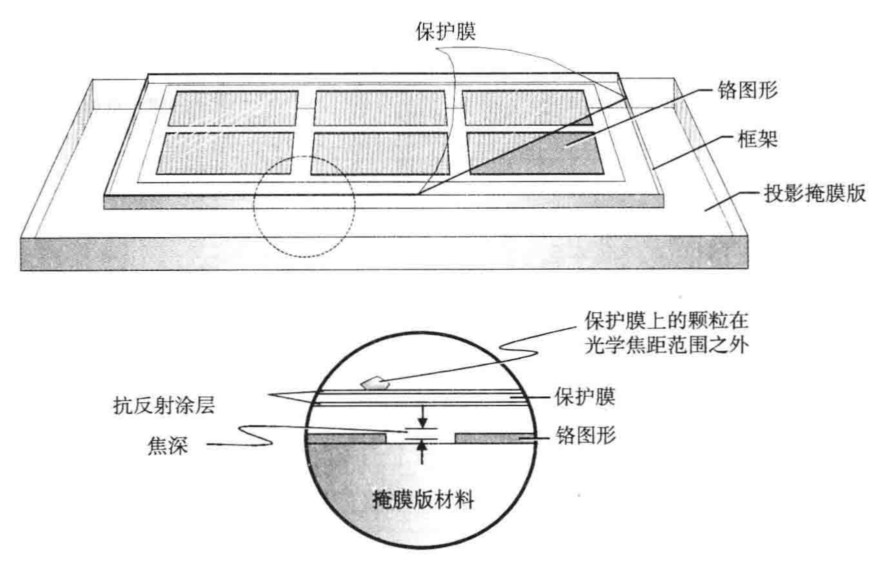


图14.41　投影掩膜版上的保护膜

保护膜材料对曝光光能是透明的。保护膜使用不同的材料和厚度，如乙酸硝基氯苯（nitrocellulose acetate）通常是 0.7 μm 厚、聚脂炭氟化合物（Mylar fluorocarbon）材料通常厚度是 12 μm。保护膜易坏，因此任何划擦掩膜版表面的动作都会使保护膜破裂（警告使用者这是一种潜在的掩膜版损伤源）。当用于深紫外波长时，保护膜的光学透明度必须仔细进行评估。

14.3.7　光学增强技术

随着硅片关键尺寸减小到特征尺寸为0.15 μm及以下，例如衍射和散射这些因素阻止把投影掩膜版上的图形有效地转印到硅片上。光学增强技术正用于投影掩膜版上，以改善图像质量和分辨率。这已经成为光学光刻的一个重要领域，被称做亚波长光刻，使得在硅片上光刻出分辨率稍微低于曝光波长成为可能。

■ 相移掩膜技术　相移掩膜技术（PSM）是 1982 年发展起来的方法，用来克服光通过掩膜版上小孔时发生衍射的有关问题。通过相移掩膜技术，投影掩膜版被一层附加透明层修正以便改变透光区域使光相移 180 度（见图 14.42）。就像我们已经学习的异相波的干涉，这里进行的是相消干涉。衍射到左边通常是暗区的光，将与右边透光区域衍射过来的光发生相消干涉。不透明区域下面的光衍射就减小了。投影掩膜版的相移技术改善了图像对比度，并且已经成为进行 CD 是 0.18 μm 及以下精细光刻的关键因素。有多种实现相移掩膜技术的方法，它采用相同的基本思想，但它们都以相消干涉原理为基础。

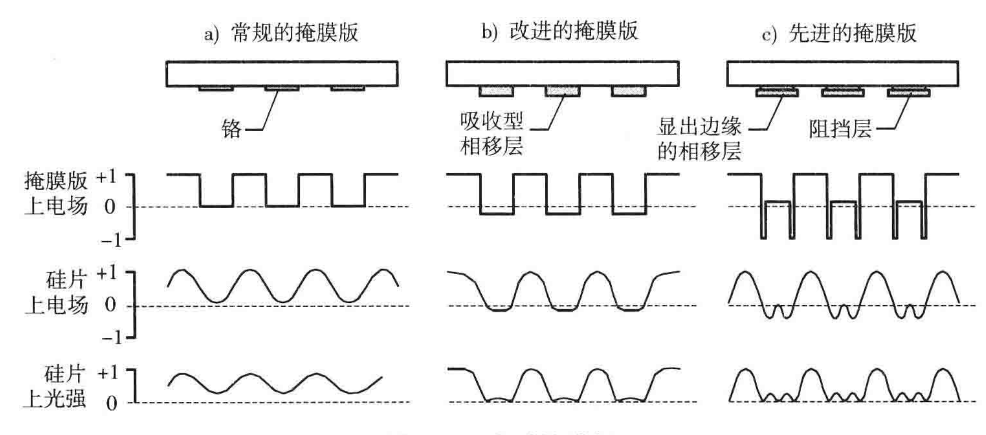


图 14.42　相移掩膜版

（引自the January 1992 edition of *Solid State Technology*, copyright 1992 by PennWell Publishing Company）

■ 光学临近修正　特征尺寸的均匀性对实现高性能集成电路非常关键，特别是在晶体管栅区，这里线宽变化将影响器件的速度。由于投影掩膜版上距离很近结构间的光衍射和干涉引起光学临近效应，光刻图像的线宽受附近结构影响（见图 14.43）。密集成组的线条将光刻出与孤立线条不同的尺寸，尽管投影掩膜版上两者具有相同的线宽尺寸。这个特别的例子被称做等密度偏差。

引入可选择的图像尺寸偏差（变化）到掩膜版图形上，来补偿光学临近效应是可能的，这被称做光学临近修正（OPC）。掩膜版设计者可以利用计算机算法，对掩膜版上小特征尺寸生成光学临近修正。然而在这种控制水平上生产投影掩膜版是一种挑战，特别是因为 CD 特征尺寸已经极小。当关键尺寸减小到小于0.18 μm时，具有挑战性的定标尺寸将要求增加使用OPC，这将使掩膜版制造更加复杂[29]。

■ 离轴照明　用于光刻透镜的照明形式是曝光光束集中在投影光学系统的中心（见图14.44）。然而，光的衍射产生了一个问题，由于为了实现亚微米特征尺寸，投影掩膜版的孔做得越来越小，

到了成像透镜不能转印版图的程度。一种解决办法是让入射光以某角度穿过投影掩膜版，这是为了把衍射条纹与透镜校准，产生与版图相对应的对称光强剖面。这被称做离轴照明或OAI。这项技术减小了分辨率限制并增加了成像的焦深。

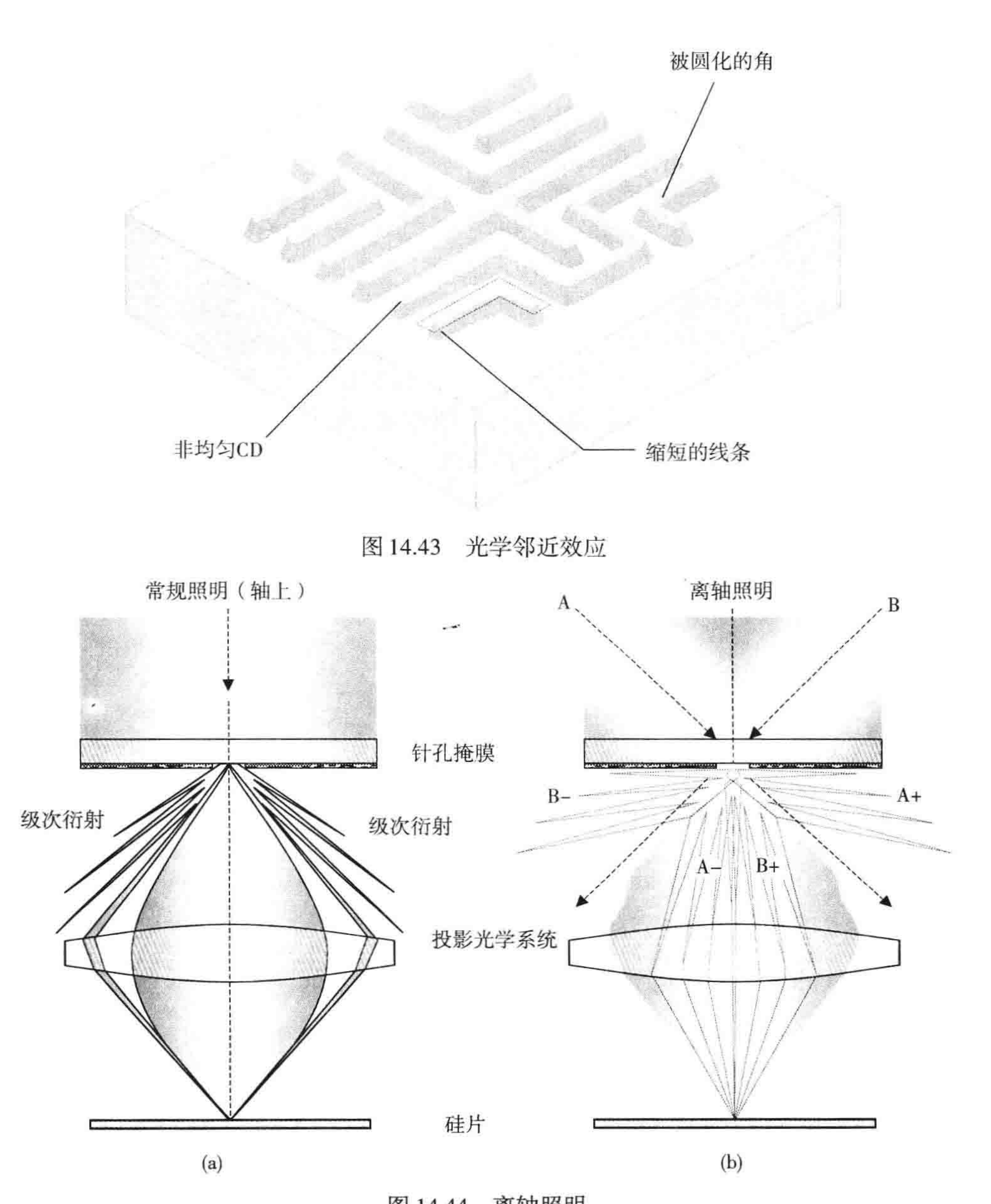


图 14.43 光学邻近效应

图 14.44 离轴照明

■ **偏差** 光刻偏差是掩膜版上的特征尺寸与复印在硅片上的尺寸的差距。对于不同尺寸的结构，复制偏差量是不同的。一个光刻偏差的例子是方形接触孔的尺寸接近光学系统的分辨率就会光刻出圆形的角。解决这个问题可能通过在版图结构上加上衬线，这在光刻硅片时能够帮助保持如接触孔正方形的特征（见图 14.45）[30]。

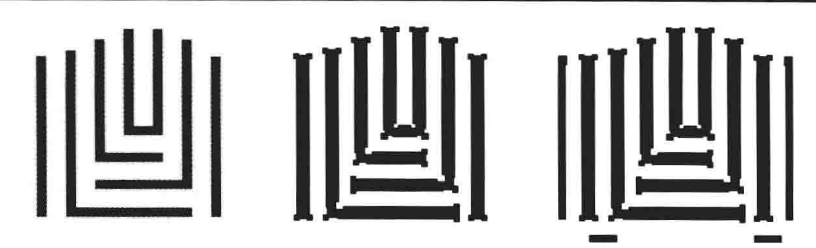


图 14.45　衬线用来减小接触孔角变圆

（引自 "Optical/laser Microlithography," *SPIE Proceeding VIII 2440*(1995 年 2 月)）

14.3.8　对准

对准过程开始于投影掩膜版与步进光刻机或步进扫描光刻机机身上固定的参照标记的正确对准。一旦投影掩膜版和曝光设备的主体对准，那么承片台定位就用相应的投影掩膜来测量。这个定位提供了基准修正数据，软件将使用这些数据补偿掩膜版特征的变化。这个过程称基准补偿（BLC）。为了成功地在硅片上形成图案，必须把硅片上的图形正确地与投影掩膜版上的图形对准。只有每个投影的图形都能正确地和硅片上的图形匹配，集成电路才有相应的功能。为了实现这个目标，对准就是确定硅片上图形的位置、方向和变形的过程，然后利用这些数据与投影掩膜图形建立起正确关系。对准必须快速、重复、正确和精确。对准过程的结果，或者每个连续的图形与先前层匹配的精度，被称做套准[31]。

套准精度（也称做套准）是测量对准系统把版图套准到硅片上图形的能力。套准容差描述要形成的图形层和前层的最大相对位移（见图 14.46）。一般而言，套准容差大约是关键尺寸的三分之一。对于 0.15 μm 的设计规则，套准容差预计为 50 nm。[32]

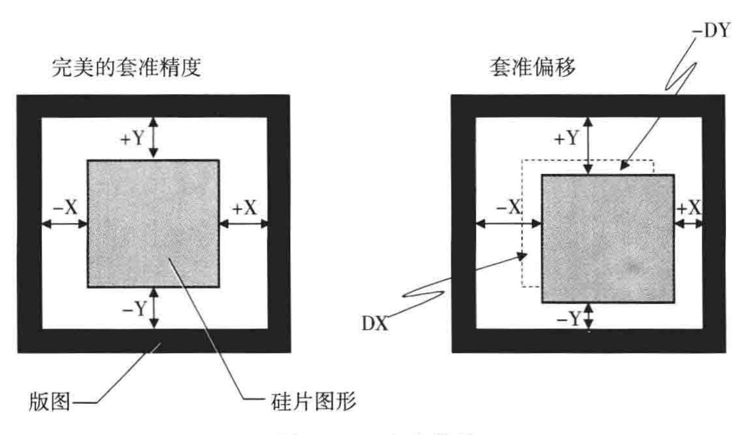


图 14.46　套准偏差

对于步进光刻机和步进扫描光刻机，当光刻机步进越过硅片时，每个版图都要在多个位置对准和曝光。每个曝光场对应于投影掩膜版是一个大芯片或几个小芯片。坐标方格就是照相装置越过硅片并曝光单个曝光场的特别路径（见图 14.47）。

步进光刻机和步进扫描光刻机都有一个精密复杂的自动对准系统，它测定硅片和投影掩膜版的位置和方向，然后在曝光前把硅片和投影掩膜版对准（见图 14.48）。设备对准系统包括投影掩膜版和硅片上的对准标记、一个对准检测系统和机电定位装置，如马达和驱动机械装置。对准检测的目

的是尽可能快地确定不同对准标记在曝光设备坐标系统中的位置。设备程序控制中的对准软件用来计算偏差量和承片台需要移动的方向，以便把硅片送到设备规定的套准容差内。

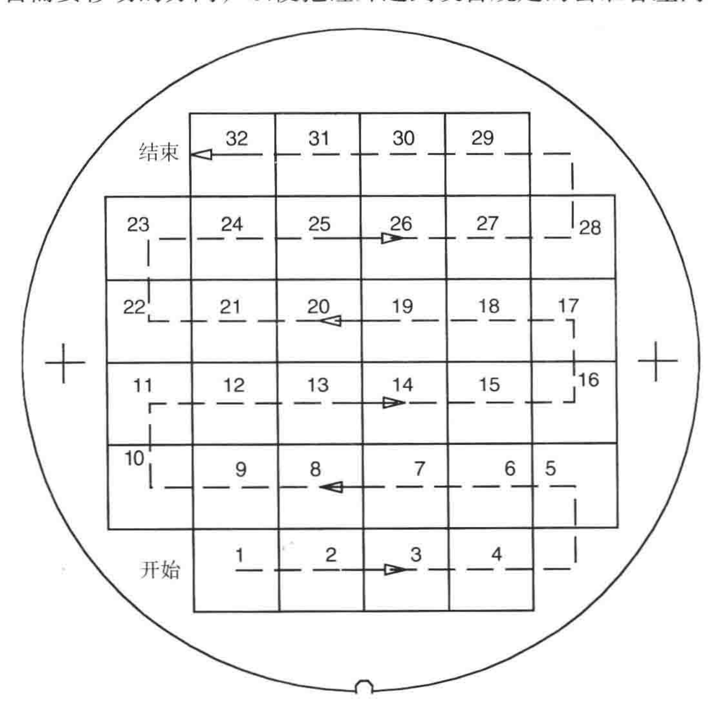


图 14.47 硅片曝光场坐标网格

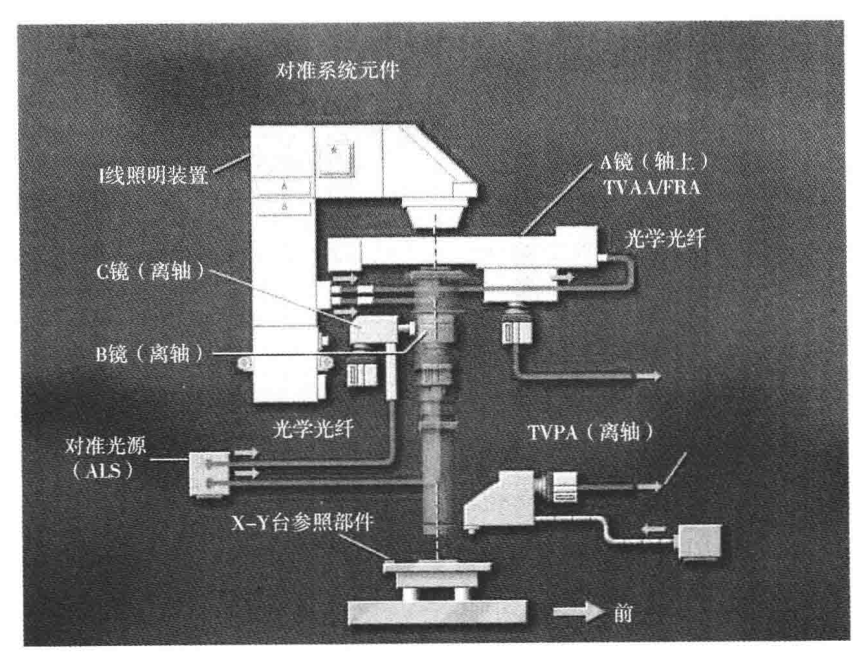


图 14.48 分步重复对准系统
（承蒙 Canon USA 允许使用 FPA-2000 il 图）

■ **对准标记** 对准标记是置于投影掩膜版和硅片上用来确定它们的位置和方向的可见图形。标记也被称做指示或基准标记，可能是投影掩膜版上的一根或多根线，标记在光刻到硅片上后就形

成沟槽。标记也可能是投影掩膜版上的一种形状，它与硅片标记套准（见图 14.49）。投影掩膜版的对准（RA）标记在投影掩膜版的左右两侧。投影掩膜版对准标记与安装在步进光刻机机身上的基准标记对准。整场对准（GA）标记在第一次曝光时被光刻在硅片左右两边，它用于进行每个硅片的粗对准。精对准（FA）标记是在每个场曝光时被光刻的。精对准标记用于每个硅片曝光场和投影掩膜版的对准调节。标记形状和位置的变化依赖于设备制造商。一旦对准标记对准后，就认为投影掩膜版上的其他图形也对准了。

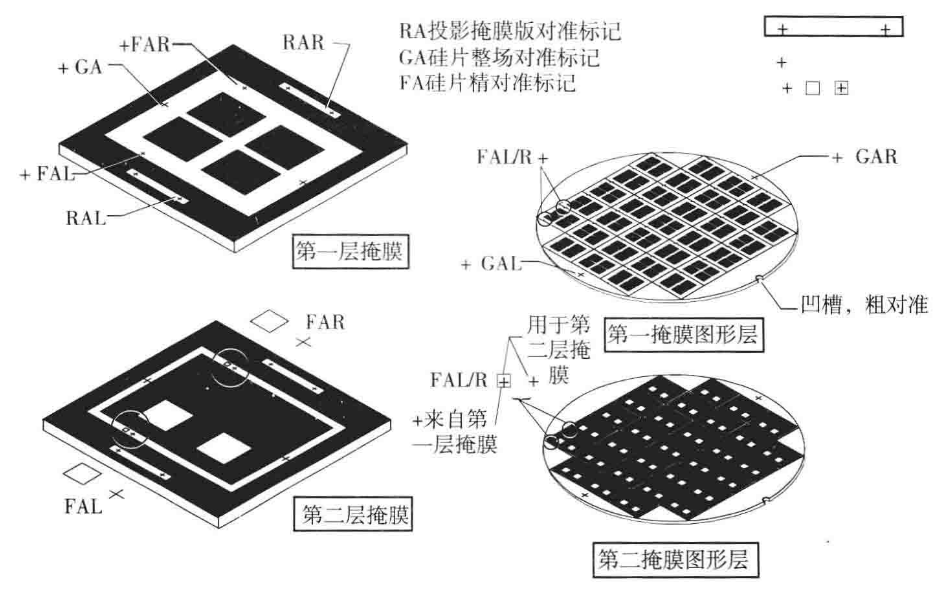


图 14.49　对准标记

计算机控制的自动对准系统可识别对准标记。一个对准照明系统把光投射并穿过光刻投影掩膜版标记直到硅片表面上。通常的光源是步进光刻机的紫外光，用滤波器阻挡那些能与光刻胶反应的波长。另一种光源是激光，如氦氖激光器。这种激光器发出 633 nm 的光，这不会和光刻胶起反应。

光照亮对准标记，光探测器被用来从光学上探测投影掩膜版和硅片目标。对准照明系统可以使用步进光刻机的主投影光学系统照亮标记（被称做同轴或通过透镜），或使用它自己的光学系统（被称做离轴）（见图 14.50）。有多种不同形式的对准方法都在使用。激光束也被用于固定硅片卡盘从而精确控制X-Y台的水平和位置。激光干涉测量法用来随时测量承片台的位置。一旦位置数据测量到，数据就被反馈给系统计算机，计算机控制机电系统使硅片与投影掩膜对准。

步进扫描对准标记　步进扫描光刻机的一个改进是可以在每个曝光场放置多个对准标记，允许在每个曝光场进行对准。这意味着位置参数（如硅片旋转和X-Y对准）可以在每个扫描地点进行调节，这改善了套准精度并减小了套准容差。

对准标记损坏　高性能集成电路不断增加的层数量要求从一层到下一层有更高的平整度，这个平整度是通过使用化学机械平坦化（CMP）把硅片弄平获得的（参见第18章）。然而，CMP也使硅片上的标记变差了，这使它们不容易被识别[33]。步进光刻机和步进扫描设备制造商开发出了可替换的方法来对准硅片。例如，使用一束激光来测量从对准标记反射回来的光束和一个参考信号的相对相位变化。轻微的相位改变相对比较容易测量，即使是平整到用标准光反射系统不能测量的层。

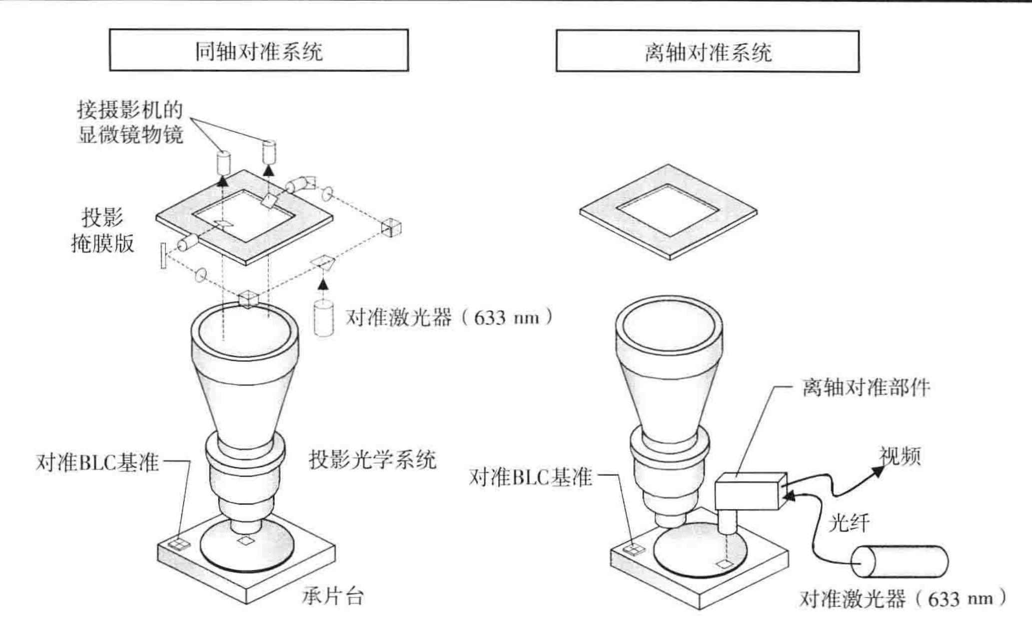


图 14.50 同轴和离轴对准系统比较
（承蒙 Canon USA 允许使用 FPA-2000 il 图）

■ **对准类型** 当投影掩膜版被装到掩膜版台上时，它必须和曝光设备主体对准。投影掩膜版的对准标记被一束激光（例如 HeNe 激光）照亮后通过一个固定的参考标记。一旦对准，就把承片台和投影掩膜版对准了。

硅片预对准是把硅片送到承片台的一个卡盘上并找定位槽或定位边来实现。对于第一次投影掩膜曝光，硅片定位边或定位槽是硅片上惟一的对准特征。光片是“盲目地”对第一层掩膜版曝光而没有任何对准。惟一要考虑的是要确保在每次曝光前透镜对硅片正确聚焦了。

对于后来的曝光，硅片和投影掩膜版的位置数据是根据曝光设备确定的坐标系统测量的，然后这些数据用来整场或逐场方式进行对准。整场对准（或粗对准）使用几个标记把硅片上所有的曝光场对准。目的是迅速把整个硅片相对于投影掩膜版对准。

逐场对准（也称精对准）用来对准单个场。步进光刻机步进到格子上的每个芯片，聚焦、对准，然后曝光。这种方法最慢，但获得了极好的套准精度，如有必要，可以用于关键层。由于极限偏差控制需要把光掩膜和硅片图形对准到几纳米以内，对于每个制造商，步进光刻机对准系统的具体细节都是独特的。

14.3.9 环境条件

在硅片批量生产中，步进光刻机和步进扫描光刻机的环境条件是非常关键的。微小的环境变化就可能导致器件缺陷。光刻设备有一个密封室控制各种条件，例如温度、湿度、振动、大气压力和颗粒沾污。

■ **温度** 在光刻中控制温度非常关键。温度对承掩膜版台、光学元件、光源、承片台和对准系统等所有方面都能产生影响。温度典型地被控制在十分之一摄氏度以内。基于这个原因，高温照明系统和产生热量的电源通常被放在远离对准和曝光设备主体的地方。

■ **湿度** 生产线内和光刻密封室的湿度要仔细控制。过湿能够影响光刻胶和硅片的粘附性。湿度也能影响空气密度，这不利于光通过它；从而对干涉计定位、透镜数值孔径和聚焦产生不利影响。

■ **振动**　振动的发生将给定位、对准、聚焦和曝光带来问题。问题可能是定位错误、对准错误、离焦和不均匀曝光。有不同的方法来减小振动。在某些场合，支撑光刻设备的地板采用减震器与生产线其他区域隔离。成像装置也有其自己的结构特点来隔离振动，如气动隔离装置和动量吸收结构。

■ **大气压力**　大气压力的变化可以影响投影光学系统中空气的折射率以及用于步进光刻机台子定位的激光干涉计。这种状况导致不均匀线宽控制和极差的套准精度。基于这个原因，设备制造商通常加上压力传感器来监控环境舱内的大气压力。压力测量数据被反馈给计算机用于监测和控制。在某些场合，透镜元件被密封在一个内部有固定空气流量和压力的气密箱中。

■ **颗粒沾污**　光刻设备被设计成在设备内部能够保持 1 级或更好的净化环境。在设备制造中所有材料和硬件要选择颗粒产生极少的。避免使用滑润剂。如果需要润滑剂，那么就规定使用低气体压力的滑润剂使放气最少。硅片和投影掩膜版传送是由设备中自动传送系统的机械手来实现的。空气电磁线圈要向外排气应避免把颗粒散发到设备内部。

14.3.10　光刻设备的比较

步进光刻机和步进扫描光刻机是用于 VLSI/ULSI 深亚微米特征尺寸的半导体制造中的光学光刻设备。几种重要的步进光刻机和步进扫描光刻机的比较列在表 14.7 中。

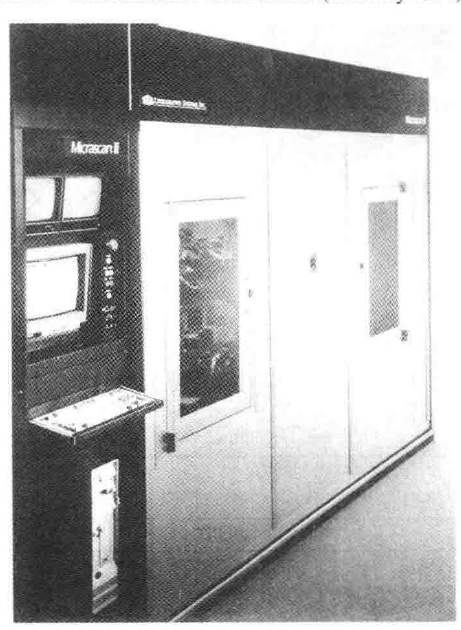
表 14.7*　光刻设备比较

型号	波长(nm)	步进/步进扫描	照明	曝光场尺寸(mm)	数值孔径	分辨率(μm)	套准精度(nm)
				ASML			
PAS5500/22	365	步进	汞灯	22 × 27.4	0.4	0.7	≤ 70
PAS5500/60B	365	步进	汞灯	18 × 24.2	0.54	0.45	≤ 70
PAS5500/200B	365	步进	汞灯	22 × 27.4	0.48~0.60	0.32	≤ 50
PAS5500/300B	248	步进	氟化氪激光器	22 × 27.4	0.40~0.57	0.25	≤ 45
PAS5500/500	248	步进扫描	氟化氪激光器	26 × 34	0.4~0.63	0.22	≤ 45
PAS5500/900	193	步进扫描	氟化氩激光器	26 × 33	0.45~>0.6	0.13~0.15	
				Canon			
FPA-3000i5	365	步进	汞灯	22 × 22	0.45~0.63	0.35	≤ 80
FPA-3000EX3	248	步进	氟化氪激光器	22 × 22	0.40~0.60	0.25	≤ 80
FPA-4000ES1	248	步进扫描	氟化氪激光器	25 × 33	0.40~0.63	0.25	≤ 70
FPA-5000ES2		步进扫描		26 × 33	0.68	0.18	
				ISI Lithography			
XLS 7500	365	步进	汞灯	20 × 20	0.55	0.5	≤ 90
XLS 7800	248	步进	氟化氪激光器	22 × 22	0.35~0.53	0.35	≤ 80
Isis 202I	365	步进	汞灯	22 × 22	0.35~0.60	≤ 0.35	≤ 60
Isis 302k	248	步进	氟化氪激光器	22 × 22	0.35~0.55	≤ 0.25	≤ 50
ArF MicroStep	193	步进	氟化氩激光器	1.5 × 1.5	0.40~0.60	≤ 0.18	
				Nikon			
i12D	365	步进	汞灯	22 × 22	不定，到 0.63	≤ 0.35	≤ 55
EX12B	248	步进	氟化氪激光器	22 × 22	不定，到 0.55	≤ 0.28	≤ 55
S201A	248	步进扫描	氟化氪激光器	25 × 33	不定，到 0.60	≤ 0.25	≤ 50
				SVGL			
MSII+	248	步进扫描	氟化氪激光器	22 × 33.5	0.50	0.3	≤ 70
NSIII	248	步进扫描	氟化氪激光器	26 × 33.5	0.40~0.60	0.25	≤ 55
NSIII+	193	步进扫描	氟化氩激光器	26 × 34	0.68	0.18	

（续表）

型号	波长(nm)	步进/步进扫描	照明	曝光场尺寸(mm)	数值孔径	分辨率(μm)	套准精度(nm)
				Ultratech			
2244I	355~375	步进		22 × 44	0.32	0.75	≤ 350
Saturn	355~375	步进		22 × 44	0.365	0.65	≤ 250

* 由 R.DeJule“Wafer Stepper Trends”*Semiconductor International*(February 1997)，p.88 转载



步进扫描光刻机
（承蒙 SVG 公司允许使用照片）

14.4 混合和匹配

为了实现硅片制造技术的进步，大多数注意力都集中在前沿领域，例如化学放大深紫外光刻胶能够实现深亚微米CD线宽控制。然而，认识到在高性能集成电路中可能有20到30层。线宽和套准精度在不到四分之一微米结构中是关键质量标准。对于次关键层，酚醛DNQ光刻胶和I线步进光刻机是可接受的并且成本合理。

硅片生产中拥有的和运行设备的总成本被称为业主总成本或COO。COO成本包括提前支付的资本支出，加之维修、培训、停机时间和缩小的工序范围等隐藏成本。在次关键层用高分辨的DUV光刻胶总成本就高，而采用I线胶DNQ线性酚醛树脂就可以满足要求了。芯片制造商已经认识到，把先进的设备和光刻胶系统用来制造次关键层的图形是不划算的。

有一种混合匹配的光刻方法，把光刻胶和设备技术同硅片层的临界状态相匹配。例如，分析0.22 μm的DRAM器件，表明0.28 μm的套准精度为70 nm的I线步进光刻机能够形成器件上总共20层中的13层次关键层的图形。剩下的7层用前沿的能获得0.22 μm分辨率的深紫外步进扫描光刻机成像。在这项研究中，据评估I线产品的成本平均是每层5美元，对深紫外层则是7.50美元[34]。这就是光刻技术中混合匹配策略的好处，减少了业主总成本。

14.5 对准和曝光质量测量

在表 14.8 中提供了典型的对准和曝光质量测量。

表 14.8 曝光的关键质量测量

质量参数	缺陷类型	备注
1. 聚焦 – 曝光剂量	A. 系统中不正确的聚焦 – 曝光。在测量 CD 线宽时进行聚焦 – 曝光优化实验	● 校验来自光源的均匀性和最佳曝光 ● 在给定的聚焦位置下（例如距上表面 30%），进行与一系列曝光量对应的线条的 CD 测量 ● 在固定的聚焦位置，找到制造CD的最佳剂量 ● 修改聚焦位置并进行CD测量。最佳焦距下，曝出可接受剂量的变化范围 ● 校验光刻胶是否满足所有的质量参数
2. 光源的光强度	A. 在曝光场中，不均匀的光强度	● 在硅片上几个位置，检查光强度是否达到标准的能量和均匀性。大多数光刻机具有内置的光探测器（以mW/cm^2为单位测量） ● 鉴定光刻胶确保它不释放气体并结在光学器件上。这将降低透镜的透光能力和像场的均匀性（对DUV光胶胶非常重要）
3. 步进和步进扫描光刻机的掩膜版对准	A. 掩膜版对准标记不能正确地与硅片标记对准	● 校验是否装载适合于工艺的特定投影掩膜层 ● 校验硅片是否与特定作业的投影掩膜相符合 ● 检查投影掩膜版台子上的投影掩膜版或承片台上硅片的旋转起因是卡盘的真空泄漏或台子电动机械的问题 ● 光刻机内部光学系统问题。可能的起因是温度或压力变化影响了透镜的 NA
4. 图形分辨率	A. 硅片上差的 CD 分辨率。线宽和孔不满足规范要求	分辨率不好常常是聚焦问题： ● 进行聚焦 – 曝光测试 ● 检查环境（温度、压力） ● 硅片在卡盘上不平，可能是由于背面沾污或卡盘问题 ● 寻找可能引入的与工艺有关的问题或不正确的工艺参数或投影掩膜版 ● 寻找光学系统问题（例如，透镜畸变）
5. 投影掩膜版的质量	下面是掩膜版的缺陷： A. 投影掩膜版上的灰尘或擦伤 B. 投影掩膜版上的图形缺陷： ● 线条断裂 ● 特征图形的桥接 ● 几何图形丢失 ● 不透明的单个铬点 ● 铬线条上的穿孔 C. 玻璃破裂 D. 起铬（粘附不好） E. 投影掩膜版平整度	● 擦伤能够去掉铬，并导致光刻胶上缺陷 ● 完全穿过整个铬器件的线条断裂 ● 桥接把投影掩膜版上两个有明显间距的铬器件连接在一起 ● 几何图形丢失是一个图形不在投影掩膜版上，例如一个丢失的接触孔 ● 不透明点是一个投影掩膜版上不应该有的铬点 ● 穿孔是铬图形上的一个小孔 ● 投影掩膜版不能有破裂，并且要控制平整度和翘曲度

* O.Nalamasu et al., "Single-Layer Resist Design for 193 nm Lithography," *Solid State Technology* (May 1999), p.29

14.6 对准和曝光检查及故障排除

对准和曝光问题检查及故障排除显示在表 14.9 中。

表 14.9 通常对准和曝光检查及故障排除

问题	可能的原因	纠正措施
1. 过多的套准错误 *	A. 对准系统对投影掩膜版和硅片标记的测量错误	可能的测量错误来源是： ● 校验正确的工艺流程和投影掩膜版是否用于特定的掩膜层 ● 校验对准系统确定对准标记位置的的定标和稳定性 ● 校验对准标记与图形关系的校准，包括热或机械影响 ● 如果错误出现在一台设备内部，那么光学畸变可能不是问题来源。如果错误出现在设备之间，检查两个不同投影光学系统的光学畸变的差异
	B. 投影掩膜版问题	● 校验投影掩膜版放置是否正确或者投影掩膜版加热可能改变对准标记到图形的位置 ● 检查对准标记上没有颗粒沾污，这将使对准系统错误地确定标记位置
	C. 固定并定位硅片和投影掩膜版台子错误	● 硅片台或投影掩膜版台在曝光时发生位置和旋转错误，这增加了套准错误 ● 硅片台或投影掩膜版台的额外振动。设备应内置于有减震的装置 ● 不能允许硅片台或投影掩膜版台受热，使硅片或投影掩膜版形变 ● 卡盘错误，真空固定硅片错误导致硅片畸变
	D. 投影光学系统问题	● 透镜倍率调节时的校准错误导致图形不匹配 ● 聚焦错误或不可接受的场平整度导致图像失真或偏移 ● 不能接受的加热导致光学系统畸变
2. KrF 激光器参数漂移 **	A.激光器性质能够改变的是： ● 激光光谱带宽和能量分布 ● 波长稳定性 ● 输出能量和重复频率 ● 脉冲到脉冲 能量稳定性	所有激光测量和校准都应该在厂商专业培训后进行，包括： ● 使用专门的波长计测量波长。波长漂移影响在硅片平面的聚焦 ● 评定背景光学干扰水平和电子偏移来决定能量分布的影响 ● 使用厂商提供的程序测量激光输出的带宽

*G.Gallatin, "Alignment and overlay," *Microlithography, Science and Technology* ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p.318

**P.Das and U. Sengupta, "Krypton Fluoride Excimer Laser for Advanced Microlithography," *Microlithography Science and Technology* ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p.299

14.7 小结

现代光刻以光学光刻为基础。在光刻中对准和曝光对于满足关键的亚微米分辨率的要求非常关键。已经出现过五代设备。分步重复光刻机和步进扫描光刻机是现今用于先进集成电路生产最受欢迎的光学光刻设备。光学光刻的不断进步是以所有子系统的改进为基础的。光在投影图形到光刻胶

上起着非常重要的作用。特定能量峰值的紫外光在光刻胶中引起光化学反应。紫外光源包括传统的汞灯和用于深紫外的准分子激光器。控制光通过透镜系统进行图像投影，光的反射和折射是重要参数。衍射描述当光通过投影掩膜上的狭窄图形时的弯曲方式。透镜俘获光的能力就是数值孔径。特别的抗反射涂层被置于硅片表面以减小反射光，避免对光敏光刻胶的损坏。分辨率是硅片上光刻出的最小结构，它受到波长、数值孔径和工艺因子限制。缩小图形分辨率也导致了缩小焦深，这就需要平坦的硅片表面。这是通过化学机械平坦化（CMP）获得的。石英投影掩膜版包含了要成像的图形，使用4倍或5倍缩小光学系统，采用电子束光刻使投影掩膜版制造简化。光学增强技术，例如相移掩膜技术和光学临近修正允许亚微米波长光刻。掩膜投影对硅片的对准对于满足套准容差的要求非常关键。必须严格控制环境条件使光刻最佳。有一种混合匹配方法，常规光刻用于非关键层，把深紫外光刻用于关键层。

关键术语

光学光刻
光
滤光片
电磁波谱
汞灯
光强
准分子激光器
空间相干
剂量监测仪
光学
反射定律
折射
相对折射率 n
绝对折射率
透镜
焦点
焦距
透镜压缩
象差
衍射
数值孔径（NA）
反射开槽
驻波
抗反射涂层（ARC）
底部抗反射涂层（BARC）
顶部抗反射涂层（TARC）
分辨率
焦深（DOF）
景深
焦平面（COF）
接触式光刻机
接近式光刻机
扫描投影光刻机
分步重复光刻机
步进扫描光刻机
投影掩膜版
光掩膜或掩膜
电子束
保护膜
亚波长光刻
相移掩膜（PSM）
光学临近修正（OPC）
离轴照明（OAI）
复制偏差
基线补偿（BLC）
对准
套准
套准精度
套准容差
坐标网格
对准标记
第一层掩膜曝光
整场对准
逐场对准
业主总成本（COO）
混合与匹配

复习题

1. 描述光学光刻。
2. 步进光刻机的三个基本目标是什么?
3. 解释设计规则为什么对于对准非常重要。
4. 对光刻对准的挑战是什么?
5. 描述曝光波长和图像分辨率的关系。
6. 光的定义。为什么在光学光刻中需要它?
7. 列出并解释两种形式的光波干涉。什么是滤光器?
8. 什么是电磁波谱,什么是UV范围?
9. 列出并描述光刻中使用的两种UV曝光光源。
10. 什么是光强和曝光剂量,它们有什么联系?为什么曝光剂量很重要?
11. 如果光刻胶对光的吸收过多侧墙会怎样?
12. 描述准分子激光器的工作方式。
13. 哪种激光器用做248 nm的光源? 193 nm的光源是什么?
14. 什么是空间相干?为什么在光刻中控制它?
15. 典型的DUV光刻胶曝光剂量的宽容度是多少?它是怎么测量的?
16. 什么是光学,为什么它在光刻中很重要?
17. 陈述反射定律并举个例子。
18. 什么是折射?解释相对折射率和绝对折射率。
19. 什么是透镜?解释焦点和焦距。
20. DUV波长曝光时使用哪种透镜材料?为什么?
21. 解释透镜压缩是怎么发生的,它产生了什么问题。
22. 解释透镜象差。
23. 什么是衍射?为什么它是光学光刻中关心的问题?
24. 什么是数值孔径(NA)?陈述它的公式,包括近似公式。
25. 如果透镜的半径增加了NA会怎样变化?
26. 列出并解释硅片表面光反射引起的最主要的两个问题。
27. 什么是抗反射涂层,它是怎样减小驻波的?
28. 陈述分辨率公式。影响光刻分辨率的三个参数是什么?
29. 如果光波长减小分辨率会有什么变化?如果NA增加了呢?
30. 计算扫描光刻机的分辨率,假设波长是248 nm,NA是0.65,k是0.6。
31. 给出焦深和焦面的定义。写出计算焦深的公式。
32. 当分辨率增加时焦深会怎样变化?
33. 列出光学光刻中影响图像质量的两个重要参数。
34. 为什么表面平整度对图形分辨率很重要?
35. 解释接触光刻机。它使用掩膜还是投影掩膜?
36. 解释接近光刻机是怎样工作的。它要解决什么问题?
37. 解释扫描投影光刻机是怎样工作的。扫描投影光刻机努力解决什么问题?

38. 解释分步重复光刻机的基本功能。
39. 光刻中采用步进扫描技术获得了什么好处？
40. 给出投影掩膜版的定义。投影掩膜版与光掩膜版的区别是什么？步进光刻机通常使用的投影掩膜版缩小比例是多少？步进扫描光刻机使用的缩小比例是多少？
41. 使用什么材料制作投影掩膜版？投影掩膜版上形成图形的不透明材料是什么？
42. 4：1 投影掩膜版典型使用的场尺寸是多少？
43. 哪种光刻技术用来形成投影掩膜版的图形？为什么？
44. 解释为什么在投影掩膜版上使用保护膜。
45. 解释相移掩膜（PSM）。
46. 讨论光学临近修正（OPC）。
47. 离轴照明是怎样提高图形分辨率的？
48. 什么是复制偏差，一种矫正它的方法是什么？
49. 解释对准的基线补偿。
50. 什么是对准？什么是套准精度？
51. 给出套准精度的定义。什么是套准容差？大约关键尺寸的多少是套准容差？
52. 什么是坐标网格？
53. 什么是对准标记？描述 RA、GA 和 FA 对准标记。
54. 步进扫描光刻机是怎样改善对准的？
55. 解释整场对准和逐场对准。
56. 列出并讨论步进光刻机和步进扫描光刻机必须控制的 5 个环境条件。
57. 解释混合匹配光刻方法。为什么使用它能获得利益？

光刻胶材料和设备供应商网站

ASML	http://www.asml.com/
Canon Semiconductor	http://www.usa.canon.com/indtech/semicondeq/
Charles Evans and Associates	http://www.cea.com
Cymer Inc.	http://www.cymer.com/
Dupont Semiconductor Products	http://www.dupont.com/semiconductor/lith.html
ETEC Systems Inc.	http://www.etec.com/semiprod_frame.html
KLA-Tencor	http://www.kla-tencor.com/product/photo_frame.html
Karl Suss	http://www.suss.com/
Nikon	http://www.nikon.com/
SEMI	http://www.semi.org/
Silicon Valley Group	http://www.svg.com/
SPIE, International Society of Optical Engineering	http://www.spie.org/
Ultratech Stepper	http://www.ultratechstepper.com/
USHIO	http://www.ushio.com/index2.html

参考文献

1. H. Levison and W. Arnold, "Optical Lithography," *Microlithography, Micromachining and Microfabrication* vol. I, ed. P. Rai-Choudhury (Bellingham, WA: SPIE, 1997): p. 13.
2. K. Derbyshire, "Issues in Advanced Lithography," *Solid State Technology*, (May 1997): p. 133.
3. M. Hibbs, "System Overview of Optical Steppers and Scanners," *Microlithography Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 16.
4. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies* (Boston: Kluwer Academic Publishers, 1995), p. 212.
5. M. Hibbs, "System Overview of Optical Steppers and Scanners," p. 18.
6. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 174.
7. S. Campbell, *The Science and Engineering of Microelectronic Fabrication* (New York: Oxford University Press, 1996), p. 162.
8. R. DeJule, "Extending Optical Lithography to 157 nm?" *Semiconductor International*, (February 1997): p. 84.
9. M. Hibbs, "System Overview of Optical Steppers and Scanners," p. 20.
10. J. Shamaly, "A Full-Field ArF Exposure Tool for 180-nm Lithography," *Microlithography World* (Summer 1996): p. 23.
11. M. Hibbs, "System Overview of Optical Steppers and Scanners," p. 20.
12. C. Cromer et al., "Improved Dose Metrology in Optical Lithography," *Solid State Technology* (April 1996): p. 76.
13. E. Hecht, *Optics*, 2nd ed. (Reading, MA: Addison-Wesley Publishing Co., 1990). p. 143.
14. J. Shamaly, "Full-Field ArF Exposure Tool," p. 23.
15. C. Mack, "Optical Lithography Modeling," *Microlithography: Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 118.
16. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 206.
17. C. Bencher et al., "Dielectric Antireflective Coatings for DUV Lithography," *Solid State Technology* (March 1997): p. 109.
18. Ibid.
19. B. Smith and M. Hanratty, "Optical Lithography Modeling," *Microlithography: Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 587.
20. W. Arnold, "Is a Scanner Better than a Stepper?" *Solid State Technology* (March 1999): p. 77.
21. M. Hibbs, "System Overview of Optical Steppers and Scanners," p. 9.
22. W. Arnold, "Is a Scanner Better than a Stepper?" p. 77.
23. S. Wolf and R. Tauber, *Process Technology*, vol. 1, *Silicon Processing for the VLSI Era* (Sunset Beach: Lattice Press, 1986), p. 476.
24. R. Singh, S. Vu, and J. Souze, "Nine-Inch Reticles: An Analysis," *Solid State Technology* (October 1998): p. 83.
25. R. DeJule, "Resists for Next-Generation Masks," Lithography Technology News, *Semiconductor International* (October 1998): p. 46.

26. "Rapid Innovation in Spite of Slow Market," *Solid State Technology* (September 1998): p. 42.
27. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 176.
28. M. Sasago, "Aggressive Optical Lithography," *Microlithography World* (Autumn 1998): p. 5.
29. R. DeJule, "Resists for Next-Generation Masks," p. 46.
30. H. Levison and W. Arnold, "Optical Lithography," *Microlithography, Micromachining and Microfabrication* vol. 1, ed. P. Rai-Choudhury (Bellingham, WA: SPIE, 1997), p. 69.
31. G. Gallatin, "Alignment and Overlay," *Microlithography: Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 318.
32. R. DeJule, "Lithography," *Semiconductor International* (September 1998): p. 50.
33. R. DeJule, "Wafer Stepper Trends," p. 88.
34. R. DeJule, "More Productivity at Subcritical Layers," *Semiconductor International* (April 1998): p. 50.

第 15 章　光刻：光刻胶显影和先进的光刻技术

在进行光刻工艺中，涂覆光刻胶的硅片经过紫外线曝光，使光刻胶的曝光位置发生了光化学变化，在光刻胶中形成了掩膜版图案的精确规范映像，为下一步的光刻胶显影做好了准备。显影是在光刻胶中产生三维的物理图形，这一步决定光刻胶图形是否是掩膜版图形的真实再现。在深亚微米硅片制造工艺中，显影对随后的工艺加工是很关键的一步。

先进的光刻技术一节综述了下一代的光刻工具。对下一代光刻工具的基础研究是必需的，当现在的光学光刻技术达到了它的分辨率极限时，半导体业界就可以更换光学光刻技术了。对于0.18 μm及以下的几代半导体工艺技术而言，光学光刻技术仍是最优的图像形成工艺。

目标

通过本章的学习，你将能够：

1. 解释为什么以及如何对常规光刻胶和化学放大深紫外光刻胶进行曝光后烘焙。
2. 描述关于常规光刻胶和化学放大深紫外光刻胶的正负胶显影工艺。
3. 列出并讨论两种最普通的光刻胶显影方法和关键的显影参数。
4. 陈述显影后要进行坚膜的原因。
5. 解释显影后检查的好处。
6. 列出并描述 4 种不同可选择的先进光刻技术，包括每一种技术转化为产品的挑战。
7. 描述并列出先进的顶面成像光刻胶工艺的优点。

15.1　引言

光学光刻的8个工艺步骤按顺序而言，完成硅片对准和曝光后，掩膜版图案已通过紫外线曝光转移到了光刻胶中。在步进光刻机或步进扫描光刻机中曝光的硅片又回到自动轨道系统中。下一个工艺步骤是曝光后烘焙，为显影做准备。通过显影液将可溶解的光刻胶溶解掉就是光刻胶显影，显影除去了由曝光造成的可溶解的光刻胶。对正胶而言，剩余不可溶解的光刻胶应该是掩膜版图案的准确复制。光化学变化使正胶曝光的部分变得可溶解，负胶则反之。

光刻胶显影的目标是在光刻胶中获得准确的掩膜版图案的复制，同时保证光刻胶粘附性可接受。对先进的集成电路深亚微米图形的光刻胶显影是很关键的。光刻胶显影和检查是进入下一步刻蚀或离子注入之前的图形转移工艺的中间步骤。不合格的显影光刻胶会引起高的不合格率，反之合格的显影光刻胶是高成品率工艺的基础。光刻胶图形的质量决定了随后工艺的成功与否。

在早期的硅片制造中，光刻胶显影是一个独立的工艺步骤，有自己的设备和工作站。硅片架需要用手从曝光设备拿到显影设备中，手动操作和设备缺乏控制引起了大量的不确定性，这对于亚微米光刻是不可接受的。现在的硅片制造中，自动的硅片轨道系统已将显影工艺集成到了复杂的光学光刻中，它包括了光学光刻工艺中的一至七步。

表 15.1 列出了光学光刻的 8 个步骤。

光刻胶的显影步骤依赖于它是正胶或负胶，是常规I线胶（DNQ线性酚醛树脂）或化学放大深紫外线光刻胶（CA DUV）。亚微米光刻通常使用正胶，非关键层一般使用常规I线胶，关键层（如线宽）在 0.25 μm 及以下时，通常使用深紫外线光刻胶。

表 15.1　光刻的 8 个基本步骤

步骤	所在章节
气相成底膜	13
旋转涂胶	13
软烘	13
对准和曝光	14
曝光后烘焙	本章
显影	本章
坚膜烘焙	本章
显影检查	本章

15.1.1　先进的光刻技术

随着器件特征尺寸的不断减小，光学光刻技术一直不断地向前发展。现在，一些工业界的专家认为光学光刻技术仍是主要的光刻工艺，直到2006年左右出现0.1 μm工艺后[1]。不断发展的设备、工艺和新的设计是光学光刻技术在硅片制造中依旧成功的主要原因。我们在第14章中学习了新的曝光技术，如光学邻近修正（OPC）和移相掩膜（PSM）。在本章的最后，我们将学习下一代微光刻（microlithography）技术。

15.2　曝光后烘焙

曝光后的硅片从曝光系统转移到硅片轨道系统后，需要进行短时间的曝光后烘焙（PEB）。为了促进关键光刻胶的化学反应，对CA DUV光刻胶进行后烘是必需的。对于基于DNQ化学成分的常规I线胶，进行后烘的目的是提高光刻胶的粘附性并减少驻波。在光刻胶的产品说明书中，生产商会提供后烘的时间和温度。

15.2.1　DUV 曝光后烘焙

整个后烘（PEB）过程中，CA DUV光刻胶的曝光区域变得可在显影液中溶解。所谓的CA DUV光刻胶是指光刻胶中含有一种保护化学成分（如t-BOC）使其不在显影液中溶解。紫外线曝光过程中，光酸产生剂（PAG）在光刻胶曝光区产生了一种酸。为了使曝光的光刻胶能够在显影液中溶解，后烘加热光刻胶，引起酸催化的去保护反应。通过曝光和后烘，光生酸除去了树脂中的保护成分，使光刻胶能溶解于显影液（参见附录 E）。

后烘是CA DUV光刻胶工艺中重要的一步。就控制、均匀性和宽容度要求而言，为促进去保护反应的后烘和曝光同样是很关键的步骤[2]。

■ 温度均匀性　后烘的温度均匀性和持续时间是影响DUV光刻胶质量的重要因素。过量的变化将影响光刻胶中的酸催化反应。通常进行后烘时，硅片被放在自动轨道系统的一个热板上，处理的温度和时间需要根据光刻胶的类型确定。典型的后烘温度在90°C至130°C之间，时间约为1到2分钟，通常比软烘温度高10°C到15°C。对于特殊的DUV光刻胶，热板温度变化和烘焙的范围是关键因素，它们会影响显影工艺中光刻胶的关键尺寸（CD）大小。对于商业化的DUV光刻胶系统，后烘引起的CD变化典型值是5 nm/°C。[3]为了减少CD值的不稳定性，热板的温度值通常为 130 ± 0.1°C 。[4]

■ **后烘延迟** 早期的 DUV 光刻胶对从紫外线曝光到曝光后烘的时间延迟很敏感，若时间大于几分钟，光生酸由于周围环境空气中胺的污染就会发生中和。中和反应发生在光刻胶的顶层，产生一层薄的不溶解的阻止层，从而导致光刻胶显影后形成“T”型（见图 15.1）。现在的 DUV 光刻胶允许 30 分钟以上的延迟，但曝光后仍应尽快进行显影，以减少影响显影工艺的潜在化学反应。

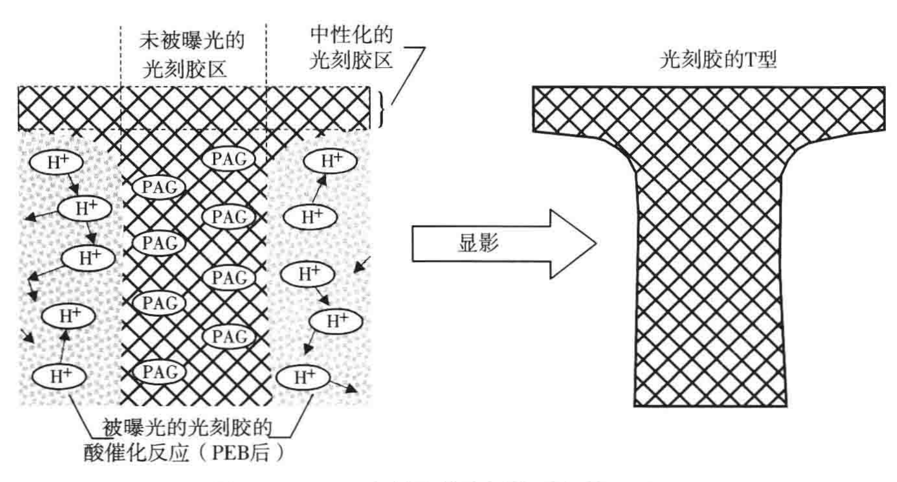


图 15.1 DUV 光刻胶的胺污染引起的“T”型

15.2.2 常规 I 线胶 PEB

对于常规 DNQ 酚醛树脂（DNQ-novolak）I 线光刻胶，曝光后烘是常规的作业。曝光后烘有一些与曝光前烘相同的好处。曝光后烘减少了光刻胶中剩余的溶剂，从曝光前的 7%~4% 减少到了 5%~2%。[5] 曝光后烘最大的益处是减少了曝光过程中的驻波缺陷。

由第 14 章可知，驻波是由于入射光产生干涉造成的。入射光与从衬底反射回来的光在光刻胶中干涉产生不均匀的光强，导致光刻胶的侧面产生驻波。曝光后烘减少了驻波影响主要是因为增加的温度引起PAC感光剂通过酚醛聚合物在光刻胶中扩散，实质上是穿过驻波边界产生了一个均匀效应（见图 15.2）。

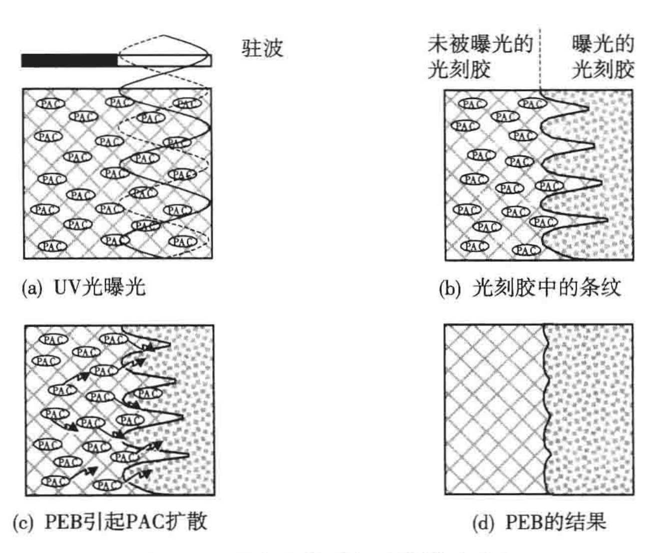


图 15.2 曝光后烘引起驻波影响减少

15.3　显影

用化学显影液溶解由曝光造成的光刻胶的可溶解区域就是光刻胶显影，其主要目的是把掩膜版图形准确复制到光刻胶中。显影的要求重点是产生的关键尺寸达到规格要求，如果CD达到了规格要求，那么所有的特征都认为是可以接受的，因为CD是显影中最困难的结构。

如果不正确地控制显影工艺，光刻胶图形就会出现问题（见图15.3）。这些光刻胶问题对产品成品率会产生消极影响，在随后的刻蚀工艺中暴露缺陷。显影的三个主要类型的问题是：显影不足、不完全显影和过显影，图15.3中的光刻胶线对三种类型问题与正常光刻胶的对比进行了说明。显影不足的线条比正常线条要宽并且在侧面有斜坡；不完全显影在衬底上留下应该在显影过程中去掉的剩余光刻胶；过显影除去了太多的光刻胶，引起图形变窄和拙劣的外形。

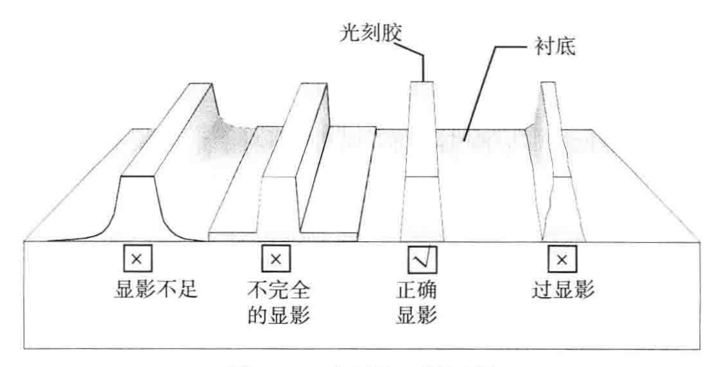


图 15.3　光刻胶显影问题

15.3.1　负胶

负胶通过紫外线曝光发生交联（crosslink）或变硬，使曝光的光刻胶变得在显影液中不可溶解（见图15.4）。

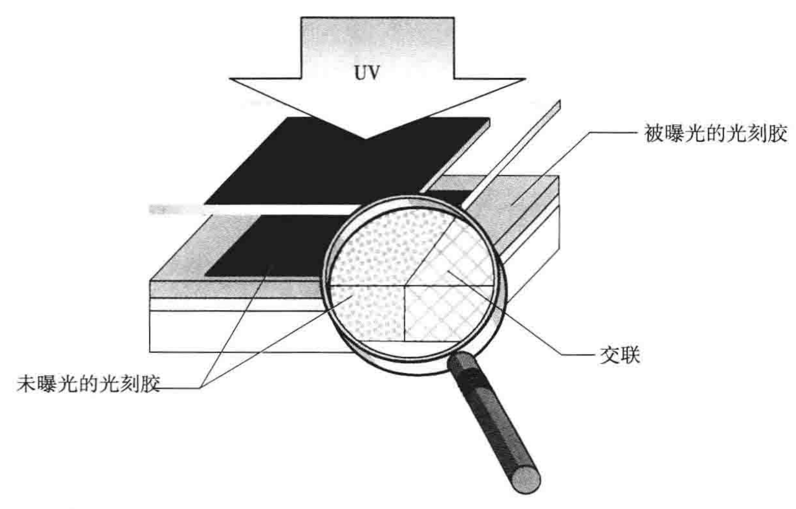


图 15.4　负胶交联

对于负胶显影工艺，显影过程中几乎不需要化学反应，主要包括未曝光的光刻胶的溶剂清洗。未曝光的光刻胶由于没有发生交联，因此很软而且可溶解。显影液通常是一种有机溶剂（如二甲

苯），当硅片在真空吸盘上旋转时，它被喷涂到光刻胶上。随后另一种有机溶剂被喷涂到硅片上以结束显影工艺。

用一种有机溶剂清洗循环过程来清洗硅片，除去不完全交联的光刻胶。另外，清洗除去了剩余的显影液，以确保显影工艺的停止。典型的清洗液包括一种有机溶剂，如丁基醋酸盐或乙醇或三氯乙烯。最后旋转甩干硅片。

负胶的一个主要问题是交联光刻胶由于在清洗过程中吸收显影液而膨胀和变形。因此，硅片上剩余的光刻胶的侧墙变得膨胀和参差不齐。这一吸收问题是传统的负胶不适合 2 μm 以下几何图形的主要原因。关于减小负胶膨胀的研究正在进行中。

15.3.2 正胶

由于提高了线宽分辨率，正胶是亚微米工艺制造中最普遍的光刻胶。硅片精细光刻技术中一般使用两种类型的正光刻胶，常规DNQ I线胶（0.35 μm及以上线宽非关键层）和化学放大DUV光刻胶（0.25 μm及以下线宽关键层）。两种类型的光刻胶都使用一种酚醛基的树脂，常规I线胶包含一种酚醛树脂，而CA DUV通常使用PHS树脂。树脂的类型对于光刻胶的显影很重要，因为这种材料在显影液中要去除从而形成图形。虽然这两种光刻胶有不同的化学成分（参见第13章），但酚醛树脂都溶解在碱性溶液中。

■ **显影液** 正胶显影包含显影液和光刻胶之间的化学反应（见图 15.5），从而溶解已曝光的光刻胶。显影液溶解光刻胶的速度被称做溶解率（或显影速度），高的溶解率有助于生产率的提高，但太高的溶解率会影响光刻胶的特性。显影液也应具有选择性，高的显影选择比意味着显影液与曝光的光刻胶反应得快，而与未曝光的光刻胶反应得慢。高密度的图形需要高选择比的显影液，这样才能产生陡峭干净的光刻胶侧墙。

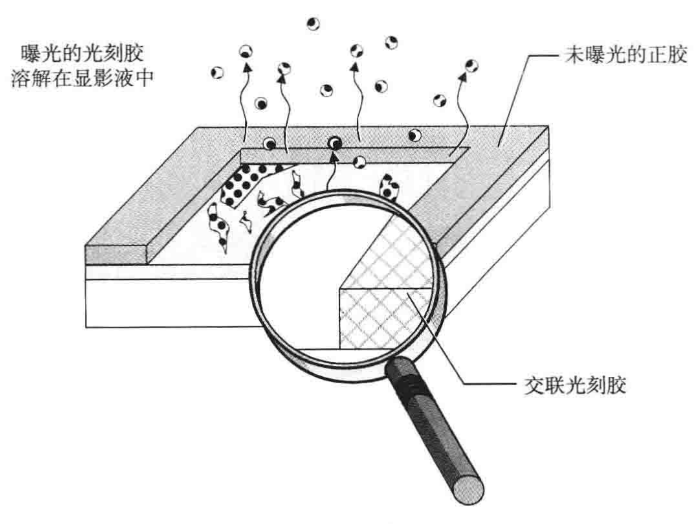


图 15.5 正胶显影

显影液和正胶的化学反应与溶解负胶的溶剂清洗有很大差别。正胶显影液是一种用水稀释的强碱溶液，早期的显影液是氢氧化钠或氢氧化钾与水的混合物，但这两种显影液都包含有可动离子沾污（MIC），对于对污染很敏感的高特性集成电路是不能接受的。现在最普通的正胶显影液是四甲基氢氧化铵（TMAH），这种显影液的金属离子浓度非常低，特别是钠离子，这就避免了硅片表面MIC的引入。水性显影液的一个优点是清洗仅需要去离子（DI）水。

工业中标准TMAH显影液的成分相同。这些显影液是很经济的，提高了显影液的可重复性，从而有更好地控制质量。TMAH显影液的当量浓度（normality）为0.2~0.3时，选择比较好，且使光刻胶对比度高。当量浓度涉及到显影液的准确化学成分，它直接影响显影液的溶解率。0.26当量浓度的TMAH显影液已变成显影工艺的标准[6]，目的是实现高的显影选择比，保持硅片上未曝光光刻胶完好无损的情况下除去曝光的光刻胶。

曝光的光刻胶被TMAH显影液溶解掉，而未曝光的光刻胶没有被溶解掉也没有吸收任何显影液。由于未曝光的正胶没有像负胶那样膨胀，因此正胶可以用来产生亚微米图形。

TMAH显影液需要仔细控制pH值浓度，显影液温度和去离子水清洗温度的控制也是很重要的。溶解率随显影液温度变化而变化，低的显影液温度会导致高的溶解率[7]。百万分之几的表面活性剂通常被添加到TMAH显影液中，表面活性剂减小了表面张力而增加了表面湿度，有利于液体在表面的移动。这一作用提高了对小几何图形的溶解能力，如接触孔。表面活性剂同时减少了光刻胶表面的任何残膜。

用于正胶的TMAH显影液的化学成分有很强的腐蚀性，即通过化学反应进行腐蚀。碱性化学药品既腐蚀金属也腐蚀人体组织。在显影设备（如自动硅片轨道系统）周围工作的工作人员应采取适当的保护措施，如化学保护服和眼罩。

常规I线胶　由第13章可知，紫外线曝光过程中，I线正胶中产生了羧酸。当用TMAH显影液进行显影时，显影液中的碱就会与羧酸发生中和反应。曝光的光刻胶中发生中和的羧酸迅速进入显影溶液，而未曝光的光刻胶没有与显影液发生反应，仍完整无缺地保留在衬底表面上。

化学放大DUV胶　如前所述，化学放大DUV胶中包含的酚醛树脂以PHS形式存在。PHS中的保护成分（如t-BOC）使PHS在碱性显影液中不可溶。曝光过程中，化学放大DUV胶中的PAG产生了一种酸。后烘过程中，这种酸去除了曝光光刻胶中PHS的保护成分，致使PHS可快速溶于碱性溶液。

整个显影过程中，显影液没有与PHS发生真实的反应。这是因为在PHS聚合物链的螺旋结构中存在羟基团，这些羟基团形成了一个有效的扩散路径使PHS以很高的溶解率溶于碱性溶液[8]。

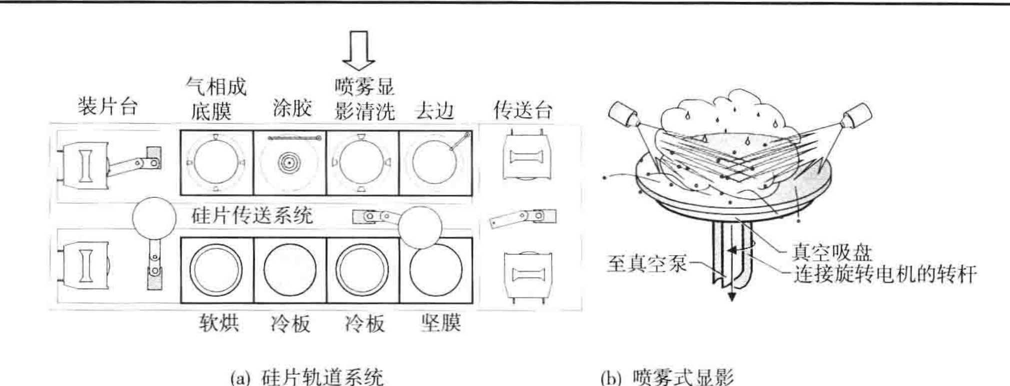
15.3.3　显影方法

光刻胶显影的早期方法是将一盒硅片固定浸没在显影液中。在大规模生产的今天，此方法已不再适用。自动硅片轨道系统在光学光刻操作中可同时有效地传递单个硅片，而成批生产的方式是不适用的。固定浸没的方式消耗了大量的显影液，而且对于大尺寸硅片的高密度集成电路，成批浸没的方式很难实现显影的均匀性。

现在用于旋覆硅片显影的显影技术主要有两种：

1. 连续喷雾（continuous spray）显影
2. 旋覆浸没（puddle）显影

■ 连续喷雾显影　用连续喷雾显影设备和溶液溶解曝光的光刻胶类似于光刻胶喷涂系统工艺。过去，用于成批显影的喷雾系统与旋转清洗甩干系统相似。完成后烘后，显影可以在同一硅片轨道系统中实现。当一个或多个喷嘴喷洒显影液到硅片表面时（见图15.6），真空吸盘上的单个硅片以很慢的速度旋转（例如每分钟100~500转）。显影液以雾的形式喷洒，有些工艺使用超声波雾化以获得低速弥散。显影液从高压区域膨胀进入低压区域会有引起温度下降的绝热冷却效应，低速的存在能够减小绝热冷却效应。为了最小化绝热冷却效应，早期的喷嘴设计还需要一个显影加热系统。

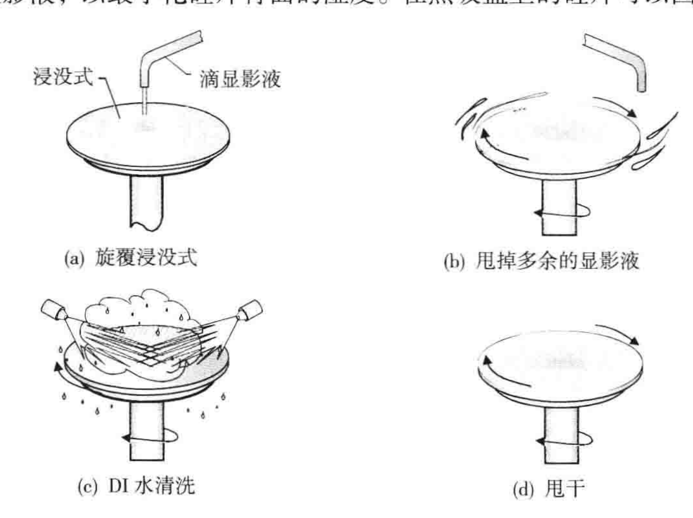


(a) 硅片轨道系统 (b) 喷雾式显影

图 15.6 连续喷雾光刻胶显影

喷嘴喷雾模式和硅片旋转速度是实现硅片间光刻胶溶解率和均匀性的可重复性的关键可变因素。近年来，喷雾显影工艺已大部分被旋覆浸没显影工艺代替，因为后者为以上因素提供了更大的工艺窗口。

■ **旋覆浸没显影** 旋覆浸没显影与喷雾显影使用相同的基本设备。喷到硅片上的少量显影液形成了水坑形状(见图15.7)。为在整个硅片表面形成一个似水坑的弯月面，需要足够的显影液。同时要避免过量的显影液，以最小化硅片背面的湿度。在热吸盘上的硅片可以固定或慢慢旋转。



(a) 旋覆浸没式 (b) 甩掉多余的显影液

(c) DI 水清洗 (d) 甩干

图 15.7 旋覆浸没光刻胶显影

关于显影液最初喷到硅片上后硅片是固定还是旋转，有一些变化。在所有的操作中，为了让光刻胶可溶解的区域变得完全溶解，显影液必须在光刻胶上停留足够的时间。例如使用的多次旋覆浸没显影方法，第一次喷涂的显影液在硅片上停留预定的时间(如10~30秒，根据显影液的类型确定)后除去，然后喷涂新的显影液，再在硅片上停留设定的时间。第二次旋覆浸没补充了显影液的化学药品，更新了显影液和光刻胶之间的化学反应。有些厂商在第二次旋覆浸没应用中也进行喷雾显影。

光刻胶被显影液溶解后，用去离子水清洗硅片并旋转甩干。清洗最重要的是除去显影后硅片两面剩余的所有化学药品。

为了获得最佳特性，显影液的流动必须保持很低以减小硅片边缘显影速率的变化。这正是旋覆浸没显影的优点，因为它使用了最少的显影液。同时，需要足够的显影液实现整个硅片的完整均匀

覆盖。旋覆浸没显影的每一个硅片都使用新的化学药品，提高了硅片间的均匀性。旋覆浸没显影最小化了温度梯度，实现了对影响单个硅片光刻胶显影均匀性的变量的控制。

15.3.4　光刻胶显影参数

在显影过程中，关键的显影参数必须被控制。这些参数是：

- 显影温度
- 显影时间
- 显影液量
- 硅片吸盘
- 当量浓度
- 清洗
- 排风

■ **显影温度**　显影液最适宜的温度是 15 到 25°C。其温度确定后，误差必须被控制在 ± 1°C 以内。显影液的温度对光刻胶的溶解率有直接的影响。如前所述，对于正胶，显影温度越低光刻胶的溶解率越大；对于负胶，溶解率随温度的增加而增加。

■ **显影时间**　清洗除去显影液之前，显影液一直与光刻胶反应。由此会造成光刻胶的过腐蚀，导致不能接受的CD值。通过对同批中硅样片的最小光刻胶线宽的离线分析，可以决定最优的显影时间，但这种方法仅能提供有限信息而且是昂贵的。

自动硅片轨道系统中的在线溶解率检测（DRM）可以对显影工艺的真实时间进行检测[9]。DRM 通过光传感器收集的干涉测量信号数据对光刻胶表面和硅片表面反射光的相位差进行测量。随着光刻胶的溶解，两个表面之间的相位差逐渐减小，直到终点（EP）检测的突变点变为零。对每一个硅片的 DRM 检测为显影工艺提供了更多有用的信息，允许对 CD 的更准确控制。

■ **显影液量**　喷洒在硅片上的显影液量是影响光刻胶显影成功与否的关键因素。不充分的显影液会导致残渣（scumming），即如果显影不足或清洗不适当硅片表面就会有光刻胶的剩余残膜。但也不提倡使用过量的显影液，因为工厂的目的是要减少化学药品的用量。过量的显影液会造成浪费，但不会毁坏硅片上的光刻胶。

■ **当量浓度**　当量浓度（N）是一个浓度单位，以一升溶解物中溶质的含量为多少克表示。对显影液来说，当量浓度代表了其准确的化学组成，决定显影液碱性的强弱。当量浓度对光刻胶的溶解率有直接的影响。湿气是影响当量浓度的主要因素，因此必须仔细控制化学溶解系统防止湿气的侵入。

■ **清洗**　去离子水是清洗的典型用水，它被直接喷涂到硅片上，然后硅片被旋转甩干。清洗的主要用途是停止显影工艺，从硅片表面上除去剩余的显影液。

■ **排风**　硅片轨道系统中包含有显影模块。排风是避免影响喷雾显影液的关键因素。低速排风会导致显影模块中雾状显影液的剩余，剩余的显影液会落到硅片上与光刻胶发生反应。

■ **硅片吸盘**　整个固定或旋转显影循环中，吸盘上的硅片必须被放得很平稳。旋覆浸没显影中，平稳的放置确保了覆盖的均匀性。

15.4　坚膜

显影后的热烘焙称为坚膜烘焙，目的是蒸发掉剩余的溶剂使光刻胶变硬。此处理提高了光刻胶对硅衬底的粘附性，为下一步的工艺加工做好了准备，如提高光刻胶抗刻蚀能力。坚膜也除去了剩余的显影液和水。

由于所有的曝光已经完成，坚膜温度可以达到溶剂沸点，以有效蒸发掉溶剂实现最大的光刻胶增密。对于DNQ酚醛树脂光刻胶，为了避免随后高能工艺中的氮扩散，也有必要蒸发掉剩余的DNQ。氮会引起致密光刻胶的局部爆裂，使光刻胶颗粒分散到硅片表面[10]。

坚膜烘焙温度的起始点由光刻胶生产商的推荐设置决定。然后根据产品要求的粘附性和尺寸控制需求对工艺进行调整。通常的坚膜温度对于正胶是130°C，对于负胶是150°C。坚膜烘焙通常在硅片轨道系统的热板上或生产线的炉子中进行。充分加热后，光刻胶变软并发生流动（见图15.8）。较高的坚膜温度会引起光刻胶的轻微流动，从而造成光刻图形变形。

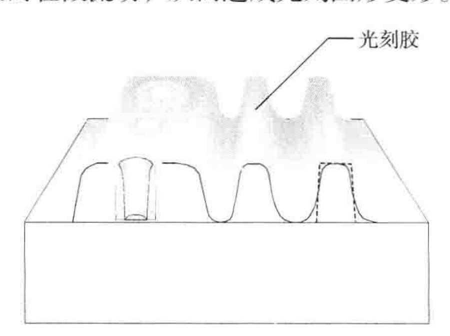


图15.8　高温下变软的光刻胶流动

深紫外线坚膜　DNQ酚醛树脂光刻胶可以通过曝露在深紫外线下进行坚膜。曝光使正胶树脂发生交联形成一层薄的表面硬壳，由此增加了光刻胶的热稳定性。交联后的光刻胶能承受210°C的热处理，而光刻胶不会发生明显的流动[11]。这对随后的等离子刻蚀和离子注入工艺（分别参见第16章和第17章）大有好处，因为这些工艺的温度能达到125°C到200°C。如果光刻胶不能变得足够坚硬，就会发生流动，引起图形分辨率的降低。

15.5　显影检查

显影检查是为了查找光刻胶中成形图形的缺陷。继续进行随后的刻蚀或离子注入工艺之前必须进行检查以鉴别并除去有缺陷的硅片。对带有光刻胶图形缺陷的硅片进行刻蚀或离子注入会使硅片报废。显影检查用来检查光刻工艺的好坏，为光学光刻工艺生产人员提供用于纠正的信息。



自动显影检查设备（Photo courtesy of Advanced Micro Devices）

大部分的显影后缺陷相对比较大，并且属于多个缺陷类型（本章后面将介绍）。缺陷可能出现在已经进行的光学光刻工艺步骤及整个光刻以前的工序中。显影后检查需要一个复杂的系统。通常，显影检查由一名熟练的操作人员借助光学显微镜手工完成。显影检查的完成依靠光刻胶层的临界状态（criticality）。现在的制造厂中，用于显影后检查的自动检查设备已经很普遍，特别是深亚微米光刻，因为深亚微米中的缺陷用光学显微镜已很难发现。

显影后检查出现有问题的硅片，有两种处理办法。如果由先前操作造成的硅片问题无法接受，那么硅片就被报废；如果问题与光刻胶中的图形质量有关，那么硅片需要返工。将硅片表面的光刻胶剥离，然后重新进行光学光刻工艺的过程称为硅片返工（见图15.9）。

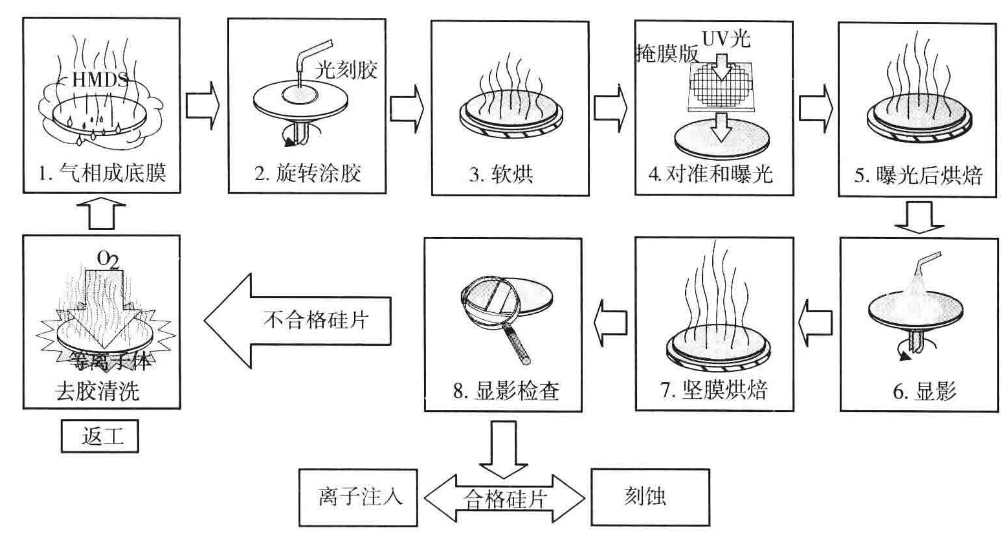


图 15.9　显影检查的返工流程

在硅片制造工艺中，只有极少数的操作可以重新进行，而硅片返工就是其中之一。硅片返工的比例必须被监控，而且要有一个适当的比例。制造商的目标是零缺陷，但许多制造商认可的比例是 2% 以内。如果返工的比例大于 4%，就说明制造的质量有问题，需要采取纠正行动。

15.6　先进的光刻技术

由于许多设备和工艺的改进，光学光刻技术的分辨能力得到延伸，特别是在表 15.2 列出的一些领域的改进。这些改进是近来光刻技术（如亚波长光刻技术）发展的基础。亚波长光刻技术图形的关键尺寸显著地小于光源波长。例如，248 nm 深紫外光源用于光刻线宽为 0.2 μm（200 nm）或更小的关键尺寸。近来的一些研究表明可以用 248 nm 深紫外光源、化学放大深紫外光刻胶和相移掩膜技术形成关键尺寸为50 nm的图形。亚波长光刻技术在降低成本的同时进一步扩展了光学光刻技术的多样性。

表 15.2　光学光刻技术的改进

光学光刻技术的改进
1. 减小紫外光源波长
2. 提高光学光刻工具的数值孔径
3. 化学放大深紫外光刻胶
4. 分辨率提高技术（例如，相移掩膜和光学邻近修正）
5. 硅片平坦化（化学机械抛光，CMP）以减小表面凸凹度
6. 光学光刻设备的先进性（如步进光刻机或步进扫描光刻机）

15.6.1　下一代光刻技术

预测实际的光学光刻技术的分辨率极限多年来都是徒劳的。将来的某些分辨率极限使光学光刻技术的扩展不再可行。硅片图形必须转移为一种可替换的光刻工艺，即下一代光刻技术。调查用于替换光学光刻技术的下一代光刻技术类型的专业研究正在进行当中。这些特性的进一步研究，需要多年研发努力和大量的资金。主要有 4 种光刻技术被认为可能成功代替光学光刻技术[12]：

- 极紫外（EUV）光刻技术
- 离子束投影光刻技术（IPL）
- 角度限制投影电子束光刻技术（SCALPEL）
- X 射线光刻技术

以上每种技术的图形尺寸都在70 nm甚至更低。本书编写之时，美国国际SEMATECH已经选择了极紫外（EUV）光刻技术和SCALPEL（角度限制投影电子束光刻技术）作为下一代光刻工具进行投资。

■ 极紫外光刻技术 极紫外（EUV）光刻技术建立在光学光刻技术的技术成果之上。使用激光产生等离子源产生约13 nm的紫外波长，并希望光刻图形精度达到30 nm。[13] 这种光源工作在真空环境下以产生极紫外射线，然后由光学聚焦形成光束（见图15.10）。光束经由用于扫描图形的反射掩膜版反射。一组全反射4倍投影光学镜将极紫外光束成像到已涂胶的硅片上。光束按照四分之一掩膜版的速度反方向扫描硅片。

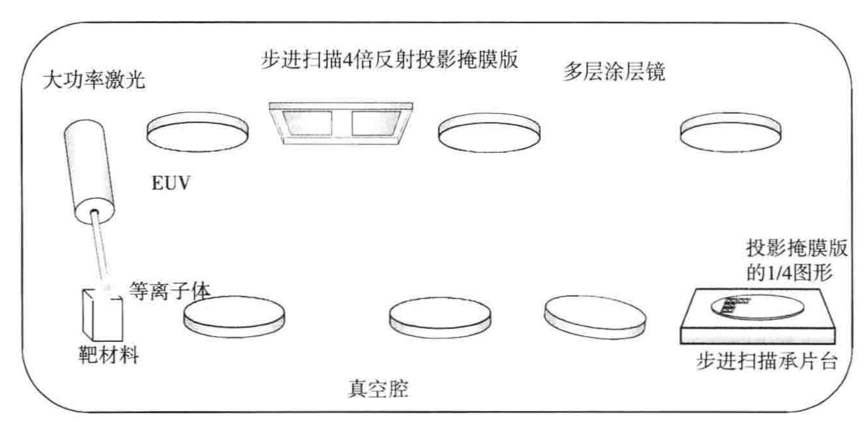


图15.10 极紫外光刻技术示意图

（引自International SEMATECH Next Generation Lithography Workshop手册）

将极紫外光刻技术应用到硅片生产中还有大量的问题需要解决[14]。精密光学系统很难实现高质量表面的严格要求。反射镜反射率需要通过精确的多层表面涂层来最优化。反射掩膜版图形是特征尺寸的4倍，因此，100 nm关键尺寸的最小掩膜版特征尺寸为400 nm。掩膜版图形由一个在多层涂层上的金属薄膜吸收层构成，这个图形由常规的电子束掩膜工具形成。短波长和渗透深度要求使用顶面成像光刻胶（本章后面将介绍）或者带有十分薄上层的双层胶。在对准方面，对于采用0.1 μm设计规则的器件，总的套准容差大约为35 nm。所有设备均工作在真空环境下。

■ SCALPEL 一种称为角度限制投影电子束光刻（SCALPEL）的电子束成像技术的可行性研究正在进行中[15]。角度限制投影电子束光刻技术自20世纪80年代后期发展以来，用已制造的电子束源代替了光源来成像硅片图形（见图15.11）。使用的多层薄膜掩膜版几乎不吸收电子。当电子束通过一个掩膜版中的高原子数目层时，该层散射出电子在硅片平面形成一个高对比度的图形。增大电子束电流可以加快曝光，然而在高的电子束电流的情况下，由于空间电荷效应产生了电子束沾污（blur）的问题。同类电荷粒子相互排斥时，就会发生电子束沾污，从而引起图像沾污。SCALPEL的掩膜版是一个4倍掩膜版，因而不需要复杂的分辨率提高技术，系统也不需要昂贵的光学系统。

SCALPEL为线性复制，用步进扫描直写方式产生曝光光刻胶条纹。为了曝光整个芯片，每个芯片由几个条纹拼接而成。这种方式要求好的套准精度，这样拼接才不会超出关键尺寸的误差范围。第一套商业SCALPEL工具于2002年完成。

■ 离子束投影光刻技术 离子束投影光刻技术（Ion Projection Lithography, IPL）早期是用离子束进行光刻胶曝光，或者通过掩膜，或者用精确聚焦的离子束连续在光刻胶上直写（见图15.12）。如果使用掩膜，则需要采用拼接方式，用一个宽的离子束在硅片表面形成小的曝光场。IPL用多电极

静电光学系统将氢离子或氦离子导向硅片。离子质量比电子大，因而能更有效地将能量转换到光刻胶上。离子轰击很少产生二次电子，从而产生很低的能量，这有助于背面散射的减少。背面散射产生的邻近效应决定硅片图形最小特征尺寸的极限 [16]。离子束投影光刻技术能获得非常高的分辨率，研究条件下已证明能到达 50 nm 的特征尺寸。

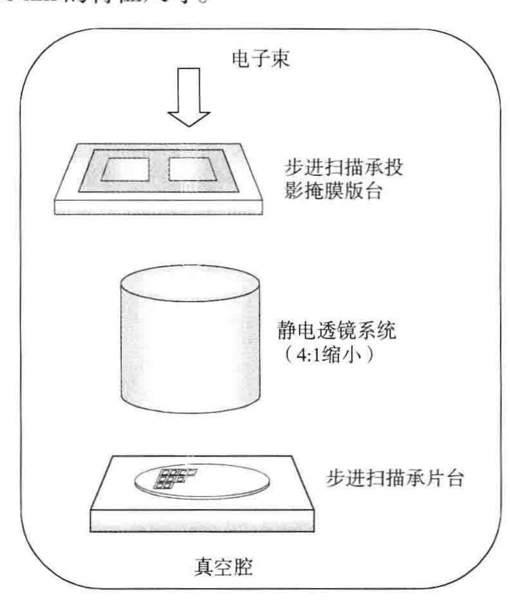


图 15.11　SCALPEL 示意图
（引自 International SEMATECH Next Generation Litihography Workshop 手册）

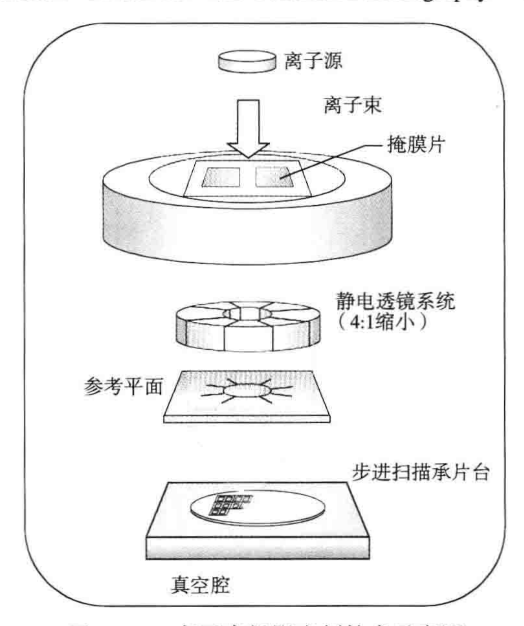


图 15.12　离子束投影光刻技术示意图
（引自 International SEMATECH Next Generation Litihography Workshop 手册）

■ **X 射线光刻技术**　X 射线光刻技术是一种早已确立的技术，可以在硅片上成像关键尺寸小于 100 nm 的图形。X 射线源将 X 射线投影到一种特殊的掩膜上，在已涂胶的硅片上形成图形。这

种技术与光学光刻技术相比需要更高的资金投入，因而在硅片制造业并没有得到广泛的应用[17]。20世纪90年代一位专业的芯片制造商曾将X射线光刻技术用于商业芯片图形成像，该芯片组包括200 mm直径硅片上先进的微处理器。X射线光刻技术的系统组件包括：（1）一块掩膜版，该掩膜版由能够传导X射线的材料构成，此材料上有由吸收X射线的材料形成的版图，（2）X射线源，（3）X射线光刻胶。

用于光刻的X射线被成为软X射线，工作在0.1 nm至10 nm电磁光谱区域（见图15.13）[18]。这种射线不同于常见的医学用X射线，医学用X射线波长更短，被成为硬X射线。

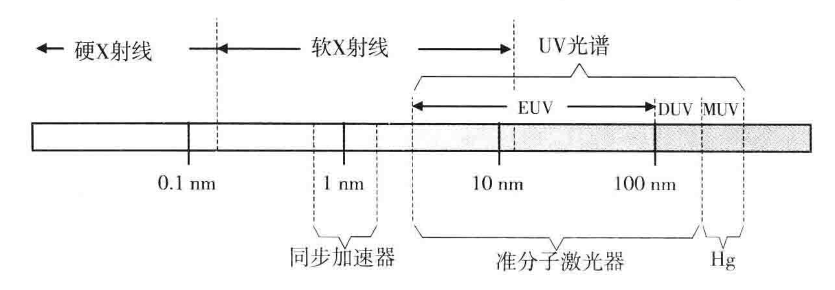


图 15.13　X 射线光谱

最普通的光刻用X射线源被认为是一个同步加速器（一个电子存储环）。高能量电子由于磁场作用被迫进入封闭的曲线路径，并被加速放射出射线。这种作用产生的X射线十分强烈，并相当平行化。一个基于特殊反射镜的投影系统将X射线投影到掩膜版和已涂胶的硅片上。每一个同步加速环为多台X射线步进机（15或更多）提供射线。

一种特殊的光掩膜版被用来定义版图图形。由于X射线光刻技术的波长很短，掩膜版上没有衍射干涉效应产生，因而工艺宽容度很大。X射线掩膜版由可以传导X射线的薄膜衬底（如聚酰亚胺）和能够吸收X射线的版图成像材料（如金、钨、钽）组成（见图15.14）。然而，制造掩膜版的能力是X射线光刻技术的众多挑战之一。X射线版图用的是与硅片关键尺寸相同的1倍掩膜版。在这一点上没有了4倍掩膜版特征尺寸比硅片大4倍的优势。掩膜版制造者受到了由已有的电子束直写制造X射线掩膜版的挑战，难点在于如何控制版图位置、关键尺寸以及最小掩膜版缺陷[19]。

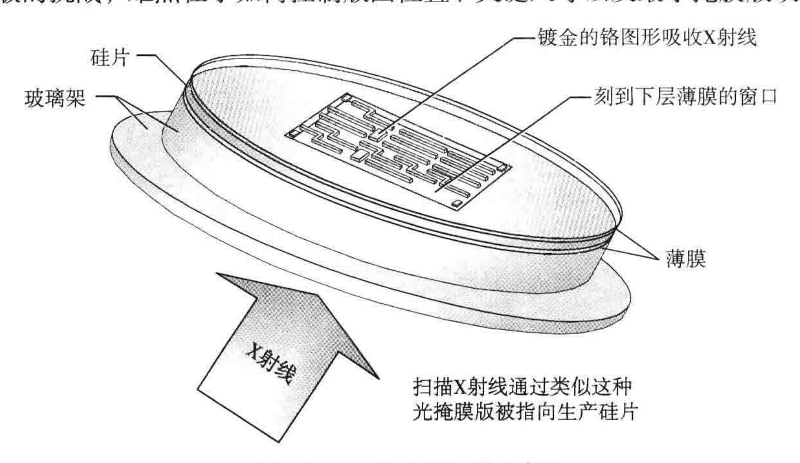


图 15.14　X 射线光掩膜示意图

15.6.2　先进的光刻胶工艺

光刻胶在半导体加工业经历了两个基本的转折点:（1）使用正胶,（2）使用化学放大深紫外线光刻胶（见图 15.15）。由于光刻胶是将掩膜版上图形转换到硅片表面材料上的媒介，因此光刻胶是下一代光刻技术的一个关键因素。

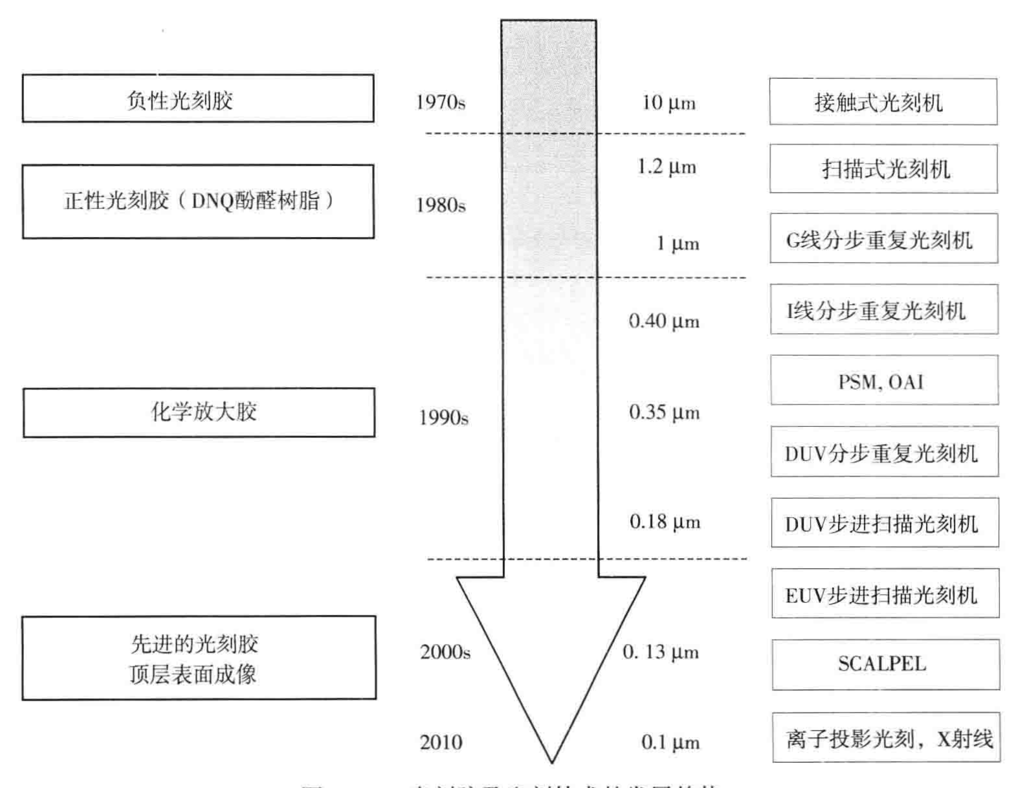
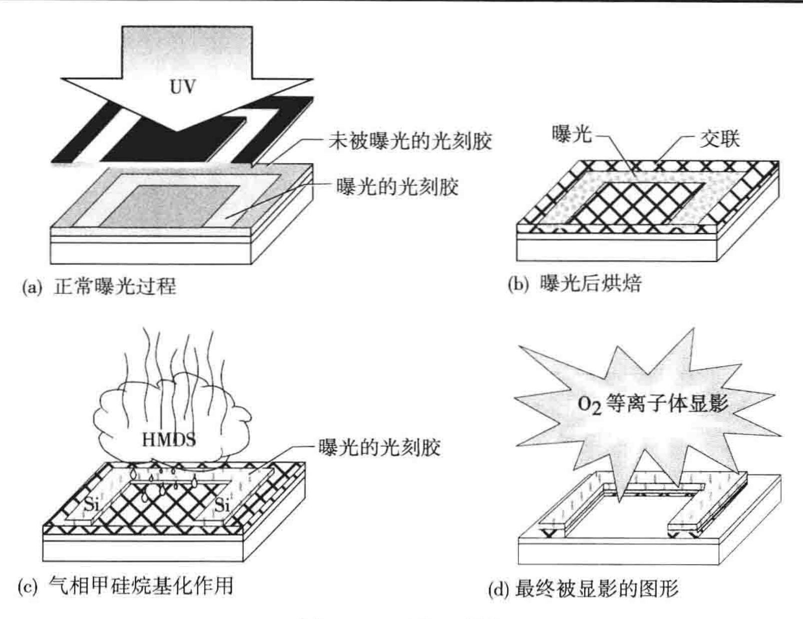


图 15.15　光刻胶及光刻技术的发展趋势

一个可供亚0.1 μm特征尺寸工艺选择的光刻胶技术是顶面成像光刻胶。顶面成像即只有光刻胶上层表面被成像。这一特点在聚焦问题上比典型光刻胶系统有了更大的工艺宽容度，因为传统的光刻胶必须使整个厚度的胶都被聚焦。同时，顶面成像允许光刻胶材料对于曝光光线不透明[20]。这一点是非常有利的，因为当紫外波长减小到 193 nm 后，248 nm 的深紫外光刻胶材料就变得不透明了。

■ 扩散增强甲硅烷基光刻胶工艺　有许多不同的方法可以获得光刻胶表面成像。一种方法是扩散增强甲硅烷基光刻胶（DESIRE）工艺，即利用甲硅烷基化作用选择性地将一薄层硅置于光刻胶上。这种工艺以在光刻胶上层表面形成硅图形的形式，有效地将掩膜版版图转移到已涂胶的硅片上。

每一步标准工艺中，硅在涂覆光刻胶第一次紫外曝光后开始使用（见图 15.16）。光刻胶未曝光部分具有 PAC 感光剂（即一种扩散抑制剂），而光刻胶已曝光部分对硅扩散很敏感。通常需要甲硅烷基化前烘焙使未曝光部分发生交联，以提高已曝光区域和未曝光区域的对比度。然后硅在高温下与一种气相甲硅烷基化溶剂（如六甲基二硅胺烷或者 HMDS）一起混合进光刻胶中。光刻胶已曝光部分与硅进行选择性地化学键合，键合深度为 100 至 200 nm。[21] 光刻胶硅键合区域即是由掩膜版版图转换到衬底上的图形。



(a) 正常曝光过程
(b) 曝光后烘焙
(c) 气相甲硅烷基化作用
(d) 最终被显影的图形

图 15.16　顶面成像

最后一步是硅片在氧等离子体下的干法显影以去除未保护部分的光刻胶。在这一等离子体刻蚀过程中，硅转化为二氧化硅形成一薄层保护掩膜，阻挡了对二氧化硅下光刻胶的刻蚀。以上仅为多种甲硅烷基化工艺之一。本质上甲硅烷基化工艺都使用一种单层图形技术，该技术是基于在曝光后有选择地将含硅化合物引入光刻胶中。

15.7　显影质量测量

显影后检查总会发现许多不同的缺陷。表 15.3 为各种质量测量。

表 15.3　显影后检查的关键检测

质量参数	缺陷类型	备注
1. 关键尺寸	A. 关键尺寸偏大	● 步进机聚焦不正确 ● 曝光时间或能量不足 ● 显影时间不足或显影液浓度太低 ● 曝光或显影步骤中工艺不正确
	B. 关键尺寸偏小	● 曝光时间过长或能量过多 ● 显影时间过长或显影液过强 ● 曝光或显影步骤中工艺不正确
2. 沾污	A. 微粒或光刻胶表面外来污染	● 设备需要清洗，特别是轨道类设备 ● 硅片清洗不干净 ● 显影化学药品或冲洗用水需过滤去除沾污源
3. 表面缺陷	A. 光刻胶表面划伤	● 硅片传送错误或与片盒分格和自动传送系统有关的微调错误
	B. 微粒、污点或瑕疵	● 腔体排风、喷涂器对准、喷涂压力、硅片水平、防溅板、水滴、旋转速度等可能造成
	C. 胶缺少、胶过多或胶有残渣	● 不正确的旋覆浸没时间 ● 不正确的显影液量和位置 ● 显影工艺后不正确的冲洗过程 ● 不正确或不均匀的烘焙

（续表）

质量参数	缺陷类型	备注
	D. 光刻胶图形的侧墙条痕	● 驻波或反射槽口（不能接受的关键尺寸偏差） ● 不正确或没有使用抗反射涂层（ARC）
4. 套准对准	A. 不正确的对准或与上一层套准	● 这不是由显影工艺引起的问题 ● 更多是由于步进机引起的问题 ● 错误的工艺步骤或版图的使用 ● 温度和湿度控制不当

15.8 显影检查及故障排除

表 15.4 列出了显影过程中遇到的不同问题及解决办法。

表 15.4 常见显影过程中遇到的问题及解决办法

问题	可能的原因	纠正措施
1. 线宽或孔不符合关键尺寸要求	A. 显影不足或正胶曝光不足	● 确保正确使用步进机工艺步骤 ● 检查曝光时间不足或能量设置有问题 ● 检查步进机照明系统 ● 查证剂量测量器（光积分器）功能正确 ● 确定显影液使用步骤正确 ● 检查旋覆浸没时间不足或剂量配比 ● 检查显影液设备 ● 检查烘焙温度
	B. 过显影或过曝光	● 确定正确使用步进机工艺步骤 ● 检查曝光时间过长或能量设置过高 ● 检查步进机照明系统 ● 查证剂量测量器（光积分器）功能正确 ● 确定显影液使用步骤正确 ● 检查旋覆浸没时间过长或剂量配比 ● 检查显影液设备 ● 检查烘焙温度
	C. 无可检测的关键尺寸	● 检查曝光或显影操作 ● 检查掩膜版或工艺步骤 ● 硅片可能遗漏了匀胶、曝光、后烘或显影步骤 ● 硅片返工
2. 残胶	A. 显影操作后硅片上留有残余的光刻胶	● 检查显影设备工艺步骤 ● 检查旋覆浸没时间和剂量正确 ● 检查清洗操作 ● 检查烘箱时间和温度 ● 硅片返工
3. 沾污和缺陷	A. 可能的原因包括化学药品、冲洗用水和工艺腔	● 检查旋覆浸没时间和剂量正确 ● 清洗显影工艺腔，然后重新检查硅片做进一步的污染测试 ● 检查并更换（如果可能）显影液和冲洗用水过滤器
	B. 喷涂器形成的薄雾或溅射可引起污染	● 检查腔体排风标准 ● 检查相对于硅片的喷涂器对准 ● 检查喷涂器装备的滴液 ● 硅片返工
4. 显影后光刻胶图形的塌陷	A. 高的深宽比(>5:1)将导致光刻胶线条的塌陷 *	● 查证光刻胶厚度是否过厚，因为提高深宽比更将导致塌陷

（续表）

问题	可能的原因	纠正措施
5. 不能接受的 CA DUV 胶图形上层的关键尺寸变化	A. 光刻胶曝光后的胺污染	● 检查光刻胶对硅片的粘附性正确 ● 解决问题可能要求改变材料或工艺（如硬度更高的光刻胶） ● 检查腔体过滤系统的完整性 ● 检查已涂胶的硅片是否遭受外部的化学污染 ● 评估光刻胶延迟时间是否最佳（越新的光刻胶越能承受更长的后烘前延迟）

* J. Yu, et al., "Analysis of Resist Pattern Collapse and Optimization of DUV Process for Patterning Sub-0.20 mm Gate Line," *Advances in Resist Technology and Processing XV, Proceedings of SPIE*, Vol. 333, (Bellingham, WA: SPIE, 1998):p.880

15.9 小结

光刻胶显影去掉了经过曝光过程后变得可溶的区域。曝光后，为了使化学放大深紫外光刻胶催化关键的光刻胶化学反应，需要进行后烘（PEB）。温度均匀性、持续时间及时间延迟对于深紫外光刻胶的曝光后烘工艺都是十分重要的。对于常规DNQ酚醛树脂光刻胶，PEB工艺去掉多余的溶剂以增加粘附性并减小驻波效应。负胶显影主要是未曝光部分光刻胶的溶剂清洗过程。已曝光负胶在显影中易膨胀，这就限制了其在亚微米光刻技术中的应用。正胶显影包括显影液和已曝光部分光刻胶之间的化学反应，其参数是溶解率和选择比。最常用的正胶显影液是四甲基氢氧化铵（TMAH）。最常用的显影方式是连续喷雾显影和旋覆浸没显影，对于最优的工艺而言，要求对关键参数的严格控制。坚膜即显影后的加热烘焙过程，目的是去除残留的溶剂并坚膜。显影后检查是为了检查缺陷，同时将有缺陷的硅片在还未进行刻蚀或离子注入前从工艺线上取走或进行返工。

光刻技术的进步带来了亚波长光刻技术，后者图形可以获得小于曝光光波长的关键尺寸。为了最终能够替代光学光刻的光刻技术，下一代光刻技术正在评估。主要有4种技术以供选择：极紫外（EUV）光刻技术、角度限制投影电子束光刻技术（SCALPEL）、离子束投影光刻技术（Ion Projection Lithography, IPL）和X射线光刻技术。EUV光刻技术用约13 nm的紫外光波长获得分辨率为30 nm的图形；SCALPEL用已确立的电子束来实现光刻；离子束投影光刻技术使用离子束进行光刻胶曝光；X射线光刻技术用一个波长为0.1至10 nm的X射线投影到一个特殊的掩膜上对光刻胶形成图案。顶面成像是一种只在光刻胶上层表面成像的技术，主要是为了减小聚焦深度并提高分辨率。

关键术语

光刻胶显影
负胶显影
溶解率
连续喷雾显影
溶解率检测（DRM）
当量浓度
显影后检查
下一代光刻技术
角度限制投影电子束光刻技术（Scattering with Angular Limitation Projection Electron Beam Lithography，SCALPEL）
后烘（PEB）
正胶显影
显影选择比
旋覆浸没显影
残渣
坚膜
亚波长光刻技术
极紫外（EUV）
X射线光刻技术

离子束投影光刻技术（IPL）
甲硅烷基化作用
顶面成像

复习题

1. 解释光刻胶显影，其目的是什么?
2. 为什么要对化学放大深紫外光刻胶进行后烘? 简述去保护作用。
3. 为什么温度均匀性对后烘很重要?
4. 简述后烘对常规I线胶的好处?
5. 简述负胶显影。负胶用于亚微米图形的主要问题是什么?
6. 为什么正胶是普遍使用的光刻胶?
7. 什么是显影液溶解率，要求的速率是高还是低?
8. 解释光刻胶选择比，要求的比例是高还是低?
9. 最常用的正胶是指哪些光刻胶?
10. 为什么显影液中要添加表面活性剂?
11. 说明TMAH对常规I线胶的作用?
12. 对化学放大深紫外光刻胶而言，PHS与显影液之间是否发生了化学反应?
13. 列举两种光刻胶显影方法。
14. 解释连续喷雾显影。
15. 描述旋覆浸没显影。
16. 列举出7种光刻胶显影参数。
17. 解释为什么要进行坚膜。
18. 描述紫外线光刻胶变硬的过程。
19. 为什么要进行显影后检查?
20. 什么是亚波长光刻技术?
21. 列举出下一代光刻技术中4种正在研究的光刻技术。
22. 描述极紫外光刻技术。
23. 描述SCALPEL光刻技术。
24. 讨论离子束投影光刻技术。
25. 解释X射线光刻技术，其主要挑战是什么?
26. 描述顶面成像工艺，为什么在工艺中要采用甲硅烷基化作用?

光学光刻材料和设备供应商网站

Allied Signal	http://www.electronicmaterials.com/
Applied Materials	http://www.appliedmaterials.com/products/
Arch Chemicals (aka Olin)	http://www.olinmicro.com/default.asp
Ashland Specialty Chem.	http://www.ashland-act.com/
ASML	http://www.asml.com/
Canon Semiconductor	http://www.usa.canon.com/indtech/semicondeq/
Charles Evans and Associates	http://www.cea.com
Clariant Corporation	http://www.azresist.com/

Cymer Inc.	http://www.cymer.com/
DuPont	http://www.dupont.com/semiconductor/
Eastman Chemical	http://www.eastman.com/
EKC Technology	http://www.ekctech.com/ekctech.nsf
ETEC Systems Inc.	http://www.etec.com/semiprod_frame.html
FSI International	http://www.fsi-intl.com/
International SEMATECH	http://www.sematech.org/
JSR Microelectronics. Inc.	http://www.jsrusa.com/index2.html
J.T. Baker	http://www.jtbaker.com/
Karl Suss Inc.	http://www.suss.com/
Lucent Technologies	http://www.bell-labs.com/project/SCALPEL/
MICRO Magazine	http://www.miciromagazine.com/
Nikon	http://www.nikon.com/
Olin Microelectronics	http://www.olinmicro.com/
Photronics Inc.	http://www.photronics.com/
SEMI	http://www.semi.org/
Semiconductor International	http://www.semiconductor.net/
Shipley Company	http://www.shipley.com/
Silicon Valley Group	http://www.svg.com/
Solid State Technology	http://sst.pennet.com/home/home.cfm
SPIE	http://www.spie.org/
TEL, Tokyo Electron Ltd.	http://www.teainet.com
Ultratech Stepper	http://www.ultratechstepper.com/

参考文献

1. P. Burggraaf, "Optical Lithography to 2000 and Beyond," *Solid State Technology* (February 1999): p. 31.
2. B. Smith, "Resist Processing," *Microlithography: Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 542.
3. D. Seegar, "Chemically Amplified Resists for Advanced Lithography: Road to Success or Detour?" *Solid State Technology* (June 1997): p. 115.
4. A. Braun, "Track Systems Meet Throughput and Productivity Challenges," *Semiconductor International* (February 1998): p. 63.
5. B. Smith, "Resist Processing," p. 541.
6. B. Smith, "Resist Processing," p. 551.
7. C. Mack et al., "New Model for the Effect of Developer Temperature on Photoresist Dissolution," *Advances in Resist Technology and Processing* XV Proceedings of SPIE vol. 3333, (Bellingham, WA: SPIE, 1998): p. 1218.
8. B. Smith, "Resist Processing," p. 548.
9. D. Velikov et al., "Endpoint Detector Monitors Photoresist Develop Process," *Semiconductor International* (August 1996): p. 144.

10. B. Smith, "Resist Processing," p. 561.
11. B. Smith, "Resist Processing," p. 562.
12. R. DeJule, "Next-Generation Lithography Tools: The Choices Narrow," *Semiconductor International* (March 1999): p. 48.
13. Ibid.
14. Challenges summarized from A. Hawryluk, N. Ceglio, and D. Markle, "EUV Lithography," *Microlithography Word* (Summer 1997): pp. 18–20.
15. R. DeJule, "Next-Generation Lithography Tools," p. 48.
16. S. Ghandhi, *VLS Fabrication Principles: Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), p. 693.
17. T. Ueno and J. Sheats, "X-ray Lithography," ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 403.
18. T. Ueno and J. Sheats, "X-ray Lithography," p. 405.
19. R. DeJule, "Next-Generation Lithography Tools," p. 48.
20. S. Postnikov et al., "Top Surface Imaging Through Silylation," *Advances in Resist Technology and Processing* XV Proceedings of SPIE vol. 3333, (Bellingham, WA: SPIE, 1998): p. 997.
21. K. Nakamura, "Lithography," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 294.

第16章　刻　　蚀

通过在硅片上制作电子器件，然后淀积介质层和导电材料把器件连接起来，可以把硅片制成许多有功能的微芯片。这是半导体制造早期使用的硅片制造平面工艺的概念。

一般来说，互连材料淀积在硅片表面，然后有选择地去除它，就形成了由光刻技术定义的电路图形。这一有选择性地去除材料的工艺过程，叫做刻蚀，在显影检查完后进行。刻蚀工艺的正确进行是很关键的，否则芯片将不能工作。更重要的是，一旦材料被刻蚀去掉，在刻蚀过程中所犯的错误将难以纠正。不正确刻蚀的硅片就只能报废，给硅片制造公司带来损失。

刻蚀的要求取决于要制作的特征图形的类型，如铝合金复合层、多晶硅栅、隔离硅槽或介质通孔。IC结构是复杂的，具有大量需要不同刻蚀参数的材料。特征尺寸的缩小使刻蚀工艺中对尺寸的控制要求更严格，也更难以检测。

以刻蚀铝为例来说明，传统的金属化工艺是在硅片表面淀积一层铝合金，然后通过光刻和刻蚀做出互连线，这样不同的金属层通过前面工序在层间介质（ILD）通孔中制成的钨塞实现了电学连接。

随着铜布线中大马士革工艺的引入，金属化工艺变成刻蚀ILD介质以形成一个凹槽。制作出一个槽，然后淀积铜来覆盖介质上的图形，再利用化学机械平坦化技术把铜平坦化至介质层的高度。对于大马士革工艺，重点是在介质的刻蚀而不是金属的刻蚀。

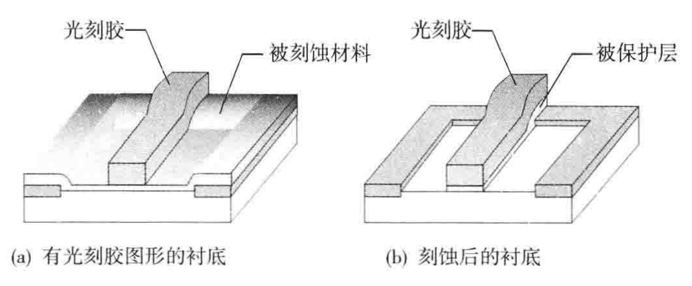
目标

通过本章的学习，你将能够：

1. 举出并论述9个重要的刻蚀参数。
2. 解释干法刻蚀，包括它的优点并论述刻蚀是如何进行的。
3. 列出并描述7种干法等离子体刻蚀设备。
4. 解释高密度等离子体（HDP）刻蚀的好处并论述4种高密度等离子体刻蚀机。
5. 举出一个介质、硅、金属干法刻蚀的实际例子。
6. 论述湿法腐蚀及其应用。
7. 解释光刻胶是如何去除的。
8. 论述刻蚀检查以及相关的重要的质量测量方法。

16.1　引言

刻蚀是用化学或物理方法有选择地从硅片表面去除不需要的材料的过程。刻蚀的基本目标是在涂胶的硅片上正确地复制掩膜图形。有图形的光刻胶层在刻蚀中不受到腐蚀源显著的侵蚀。这层掩蔽膜用来在刻蚀中保护硅片上的特殊区域而选择性地刻蚀掉未被光刻胶保护的区域（见图16.1）。在通常的CMOS工艺流程中刻蚀都是在光刻工艺之后进行的（见图16.2）。从这一点来说，刻蚀可以看成在硅片上复制所想要的图形的最后主要图形转移工艺步骤。



(a) 有光刻胶图形的衬底 (b) 刻蚀后的衬底

图16.1 刻蚀在CMOS技术中的应用

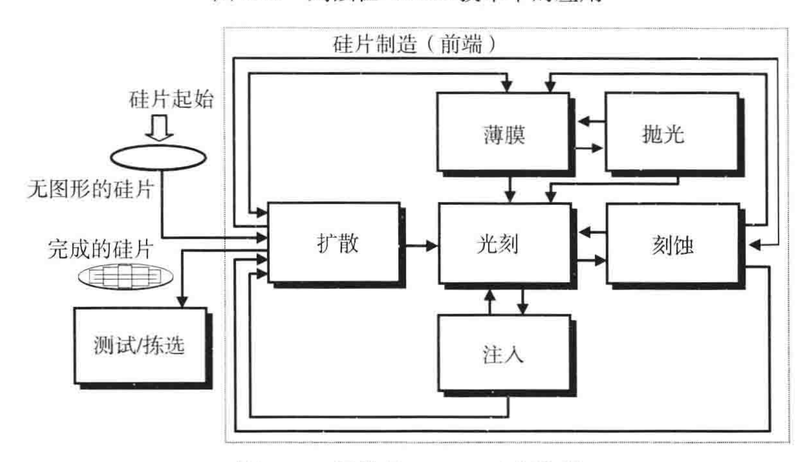


图16.2 通常的CMOS工艺流程
（承蒙Advanced Micro Devices公司允许使用）

16.1.1 刻蚀工艺

在半导体制造中有两种基本的刻蚀工艺：干法刻蚀和湿法腐蚀。干法刻蚀是把硅片表面曝露于气态中产生的等离子体，等离子体通过光刻胶中开出的窗口，与硅片发生物理或化学反应（或这两种反应），从而去掉曝露的表面材料。干法刻蚀是亚微米尺寸下刻蚀器件的最主要方法，因此，关于干法刻蚀的介绍会占用本章的大部分篇幅。而在湿法腐蚀中，液体化学试剂（如酸、碱和溶剂等）以化学方式去除硅片表面的材料。湿法腐蚀一般只是用在尺寸较大的情况下（大于3微米）。湿法腐蚀仍然用来腐蚀硅片上的某些层或用来去除干法刻蚀后的残留物。

干法刻蚀也可以根据被刻蚀的材料类型来分类。按材料来分，刻蚀主要分成三种：金属刻蚀、介质刻蚀和硅刻蚀。介质刻蚀是用于介质材料的刻蚀，如二氧化硅。接触孔和通孔结构的制作需要刻蚀介质，从而在ILD中刻蚀出窗口，而具有高深宽比（窗口的深与宽的比值）的窗口刻蚀具有一定的挑战性。硅刻蚀（包括多晶硅）应用于需要去除硅的场合，如刻蚀多晶硅晶体管栅和硅槽电容。金属刻蚀主要是在金属层上去掉铝合金复合层，制作出互连线。编写本书的时候，尚没有办法刻蚀亚微米尺寸的铜互连线（这是在生产制造中引入双大马士革工艺的一个重要原因）。

刻蚀也可以分成有图形刻蚀和无图形刻蚀。有图形的刻蚀采用掩蔽层（有图形的光刻胶）来定义要刻蚀掉的表面材料区域，只有硅片上被选择的这一部分在刻蚀过程中刻掉。有图形刻蚀可用来在硅片上制作多种不同的特征图形，包括栅、金属互连线、通孔、接触孔和沟槽。无图形刻蚀、反刻或剥离是在整个硅片没有掩膜的情况下进行的，这种刻蚀工艺用于剥离掩蔽层（如STI氮化硅剥离和用于制备晶体管注入侧墙的硅化物工艺后钛的剥离）。反刻是在想要把某一层膜的总的厚度减

小时采用的（如当平坦化硅片表面时需要减小形貌特征）。光刻胶是另一个剥离的例子。总的来说，有图形刻蚀和无图形刻蚀工艺能够采用干法刻蚀或湿法腐蚀技术来实现。

16.2 刻蚀参数

为了复制硅片表面材料上的掩膜图形，刻蚀必须满足一些特殊的要求。包括以下重要的刻蚀参数：

- 刻蚀速率
- 刻蚀剖面
- 刻蚀偏差
- 选择比
- 均匀性
- 残留物
- 聚合物
- 等离子体诱导损伤
- 颗粒沾污和缺陷

16.2.1 刻蚀速率

刻蚀速率是指在刻蚀过程中去除硅片表面材料的速度（见图 16.3），通常用 Å /min 表示。刻蚀窗口的深度称为台阶高度。为了高的产量，希望有高的刻蚀速率。在采用单片工艺的设备中，这是一个很重要的参数。刻蚀速率由工艺和设备变量决定，如被刻蚀材料类型、刻蚀机的结构配置、使用的刻蚀气体和工艺参数设置。刻蚀速率用下式来计算：

刻蚀速率 = $\Delta T/t$ (Å/min)

其中，ΔT = 去掉的材料厚度（Å 或 μm）

t = 刻蚀所用的时间（分）

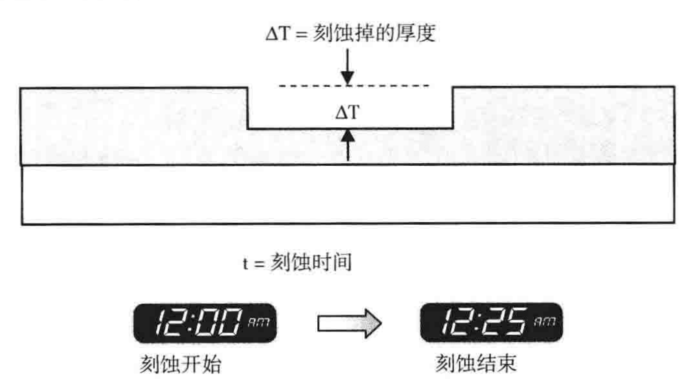


图 16.3 刻蚀速率

刻蚀速率通常正比于刻蚀剂的浓度。硅片表面几何形状等因素都能影响硅片与硅片之间的刻蚀速率。要刻蚀硅片表面的大面积区域，则会耗尽刻蚀剂浓度使刻蚀速率慢下来；如果刻蚀的面积比较小，则刻蚀就会快些。这被称为负载效应。刻蚀速率的减小是由于在等离子体刻蚀反应过程中会消耗大部分的气相刻蚀基。由于负载效应带来的刻蚀速率的变化是有效的终点检测变得非常重要的原因（参见下节）。

16.2.2 刻蚀剖面

刻蚀剖面指的是被刻蚀图形的侧壁形状。有两种基本的刻蚀剖面：各向同性和各向异性刻蚀剖面。各向同性的刻蚀剖面是在所有方向上（横向和垂直方向）以相同的刻蚀速率进行刻蚀，导致被刻蚀材料在掩膜下面产生钻蚀（见图16.4）而形成的，这带来不希望的线宽损失。湿法化学腐蚀本质上是各向同性的，因而湿法腐蚀不用于亚微米器件制作中的选择性图形刻蚀。一些干法等离子体系统也能进行各向同性刻蚀。由于后续工艺步骤或者被刻蚀材料的特殊需要，也有一些要用到各向同性腐蚀的地方。

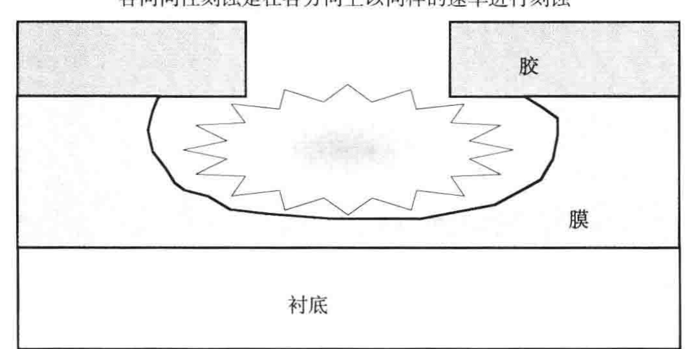


图16.4 湿法各向同性化学腐蚀

对于亚微米尺寸的图形来说，希望刻蚀剖面是各向异性的，即刻蚀只在垂直于硅片表面的方向进行（见图16.5），只有很少的横向刻蚀。这种垂直的侧壁使得在芯片上可制作高密度的刻蚀图形。各向异性刻蚀对于小线宽图形亚微米器件的制作来说非常关键。先进集成电路应用上通常需要88到89°垂直度的侧壁。各向异性刻蚀大部分是通过干法等离子体刻蚀来实现的。表16.1图示了湿法和干法刻蚀后的几种剖面形状。

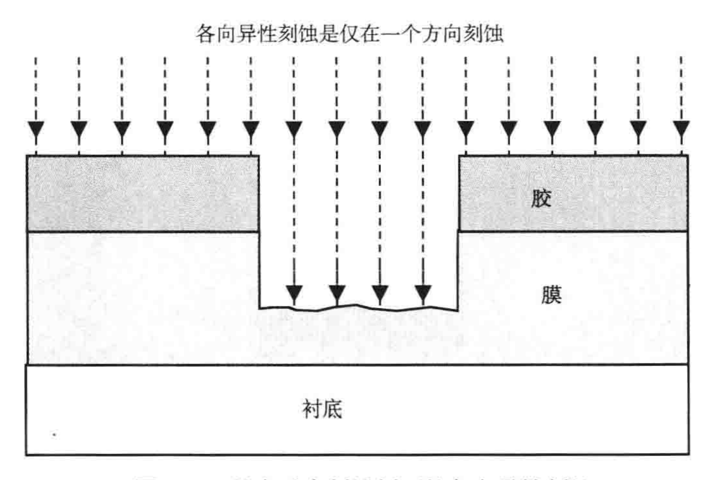


图16.5 具有垂直刻蚀剖面的各向异性刻蚀

各向异性刻蚀的程度可以是适度（较小的侧壁倾角）或高各向异性的（垂直的侧壁）。刻蚀剖面指的就是被刻蚀薄膜侧壁的形状。垂直的剖面是高的各向异性刻蚀的结果。

对于较小的几何图形，刻蚀剖面具有较高的深宽比。对于高深宽比的图形窗口，化学刻蚀剂难以进入，反应生成物难以出来。为解决这个问题，就希望能定向地把等离子体推进高深宽比的窗口。

如果等离子体中的离子是有方向性的（垂直于硅片表面），就只有硅片表面受到轰击，而不是图形的侧壁。这样做迫使化学刻蚀剂在产生很小钻蚀的情况下进入高深宽比的窗口。对于亚0.25微米线宽的先进的集成电路，是通过能产生足够刻蚀基团的高密度等离子体来做到保持等离子体离子方向性的，并能获得可接受的刻蚀速率。

表 16.1　湿法腐蚀和干法刻蚀的侧壁剖面

刻蚀类型	侧壁剖面	示意图
湿法腐蚀	各向同性	
干法刻蚀	各向同性（与设备和参数有关）	
	各向异性（与设备和参数有关）	
	各向异性——锥形	
	硅槽	

16.2.3　刻蚀偏差

刻蚀偏差是指刻蚀以后线宽或关键尺寸间距的变化（见图16.6）。它通常是由于横向钻蚀引起的（见图16.7），但也能由刻蚀剖面引起。当刻蚀中要去除掩膜下过量的材料时，会引起被刻蚀材料的上表面向光刻胶边缘凹进去，这样就会产生横向钻蚀。计算刻蚀偏差的公式如下：

$$刻蚀偏差 = W_b - W_a$$

其中，W_b = 刻蚀前光刻胶的线宽

W_a = 光刻胶去掉后被刻蚀材料的线宽

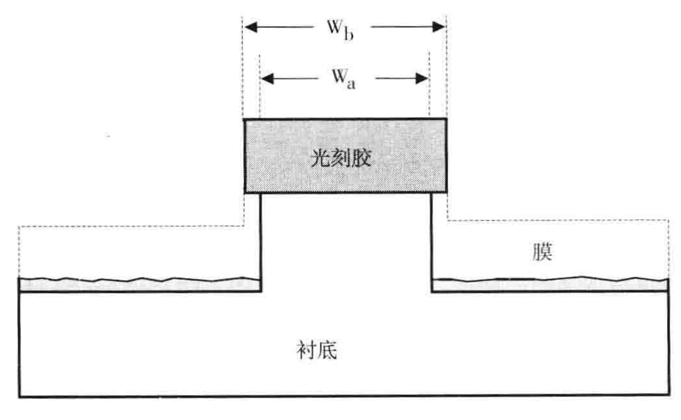


图 16.6　刻蚀偏差

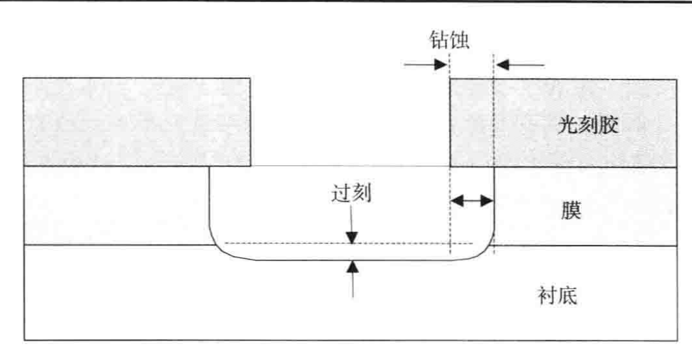


图 16.7　刻蚀中的横向钻蚀和倾斜

16.2.4　选择比

选择比指的是在同一刻蚀条件下一种材料与另一种材料相比刻蚀速率快多少。它定义为被刻蚀材料的刻蚀速率与另一种材料的刻蚀速率的比（见图 16.8）。高选择比意味着只刻除想要刻去的那一层材料。一个高选择比的刻蚀工艺不刻蚀下面一层材料（刻蚀到恰当的深度时停止）并且保护的光刻胶也未被刻蚀。图形几何尺寸的缩小要求减薄光刻胶厚度。高选择比在最先进的工艺中为了确保关键尺寸和剖面控制是必需的。特别是关键尺寸越小，选择比要求越高。

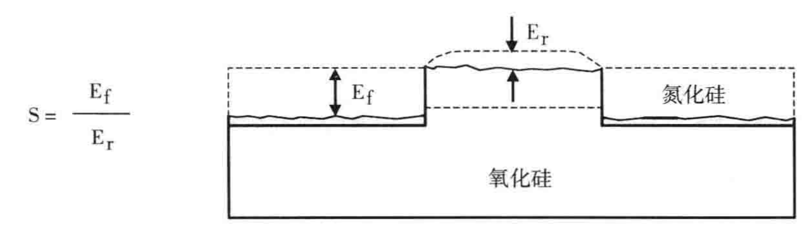


图 16.8　刻蚀选择比

对于被刻蚀材料和掩蔽层材料（例如光刻胶）的选择比 S_R 可以通过下式计算：

$$S_R = \frac{E_f}{E_r}$$

其中，E_f = 被刻蚀材料的刻蚀速率

　　E_r = 掩蔽层材料的刻蚀速率（如光刻胶）

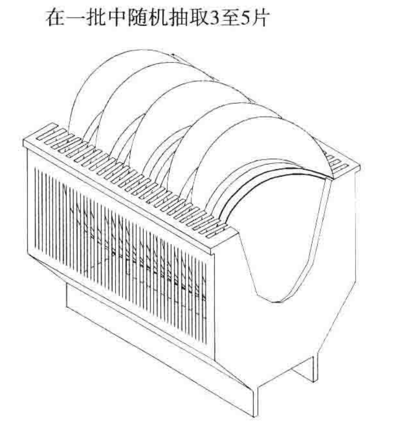
根据这个公式，选择比通常表示为一个比值。一个选择比差的刻蚀工艺这一比值可能是 1∶1 意味着被刻的材料与光刻胶掩蔽层被去除得一样快；而一个选择比高的刻蚀工艺这一比值可能是 100∶1，说明被刻蚀材料的刻蚀速率是不要被刻蚀材料（如光刻胶）刻蚀速率的 100 倍。

干法刻蚀通常不能提供对下一层材料足够高的刻蚀选择比。在这种情况下，一个等离子体刻蚀机应装上一个终点检测系统，使得在造成最小的过刻蚀时停止刻蚀过程。当下一层材料正好露出来时，终点检测器会触发刻蚀机控制器而停止刻蚀。

16.2.5　均匀性

刻蚀均匀性是一种衡量刻蚀工艺在整个硅片上，或整个一批，或批与批之间刻蚀能力的参数。均匀性与选择比有密切的关系，因为非均匀性刻蚀会产生额外的过刻蚀。保持硅片的均匀性是保证制造性能一致的关键。难点在于刻蚀工艺必须在刻蚀具有不同图形密度的硅片上保证均匀性，例如

图形密的硅片区域，大的图形间隔和高深宽比图形。均匀性的一些问题是因为刻蚀速率和刻蚀剖面与图形尺寸和密度有关而产生的[1]。刻蚀速率在小窗口图形中较慢，甚至在具有高深宽比的小尺寸图形上刻蚀居然停止。例如，具有高深宽比硅槽的刻蚀速率要比具有低深宽比硅槽的刻蚀速率慢（见图 16.9）。这一现象被称为深宽比相关刻蚀（ARDE），也被称为微负载效应。为了提高均匀性，必须把硅片表面的 ARDE 效应减至最小。



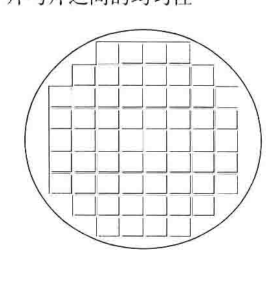


图 16.9 刻蚀均匀性

16.2.6 残留物

刻蚀残留物是刻蚀以后留在硅片表面不想要的材料。它常常覆盖在腔体内壁或被刻蚀图形的底部。它的产生有多种原因，例如被刻蚀膜层中的污染物、选择了不合适的化学刻蚀剂（如刻蚀太快）、腔体中的污染物、膜层中不均匀的杂质分布。刻蚀以后的残留物有不同的名称，包括长细线条、遮蔽物、冠状物和栅条。长细线条是一些没有完全去除干净的细小的被刻蚀材料残留物，具有电活性，能在图形之间形成不希望的短路。刻蚀残留物是IC制造过程中的硅片污染源，并能在去除光刻胶过程中带来一些问题。为了去除刻蚀残留物，有时在刻蚀完成后会进行过刻蚀。在一些情况下，刻蚀残留物可以在去除光刻胶的过程中或用湿法化学腐蚀去掉。

16.2.7 聚合物

聚合物的形成有时是有意的，是为了在刻蚀图形的侧壁上形成抗腐蚀膜从而防止横向刻蚀（见图16.10），这样做能形成高的各向异性图形，因为聚合物能阻挡对侧壁的刻蚀，增强刻蚀的方向性，从而实现对图形关键尺寸的良好控制。这些聚合物是在刻蚀过程中由光刻胶中的碳转化而来并与刻蚀气体（如C_2F_4）和刻蚀生成物结合在一起而形成的[2]。能否形成侧壁聚合物取决于所使用的刻蚀气体类型。

这些侧壁聚合物很复杂，包括刻蚀剂和反应的生成物，例如，铝、阻挡层的钛、氧化物以及其他无机材料。聚合物链有很强的难以氧化和去除的碳氟键[3]。然而，这些聚合物又必须在刻蚀完成以后去除，否则器件的成品率和可靠性都会受到影响。这些侧壁的清洗常常需要在等离子体清洗工艺中使用特殊的化学气体，或者有可能用强溶剂进行湿法清洗后再用去离子水进行清洗（参看下面的章节）。

非常遗憾，聚合物淀积的一个不希望的副作用是工艺腔中的内部部件也被聚合物覆盖。刻蚀工艺腔需要定期的清洗来去除聚合物或替换掉不能清洗的部件。

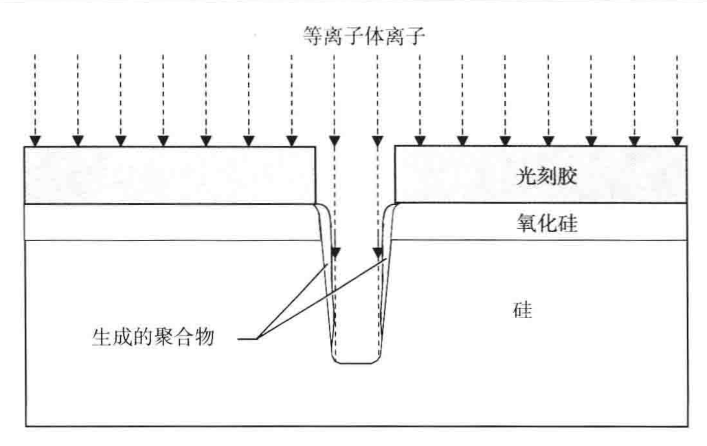


图 16.10 聚合物侧壁钝化来提高各向异性

16.2.8 等离子体诱导损伤

包含带能离子、电子和激发分子的等离子体可引起对硅片上的敏感器件引起等离子体诱导损伤。一种主要的损伤是非均匀等离子体在晶体管栅电极产生陷阱电荷，引起薄栅氧化硅的击穿[4]。差的设备或在优化的工艺窗口之外进行刻蚀工艺会使等离子体变得不均匀。另一种器件损伤是能量离子对曝露的栅氧化层的轰击。在刻蚀过程中，这种损伤在刻蚀的时候能在栅电极的边缘发生。等离子体损伤有时可以通过退火或湿法化学腐蚀消除。

16.2.9 颗粒沾污

等离子体带来的硅片损伤有时也由硅片表面附近的等离子体产生的颗粒沾污而引起。研究表明，由于电势的差异，颗粒产生在等离子体和壳层的界面处[5]。当没有了等离子体时，这些颗粒就会掉到硅片表面。氟基化学气体等离子体比氯基或溴基等离子体产生较少的颗粒，因为氟产生的刻蚀生成物具有较高的蒸气压。颗粒沾污的控制可通过优化刻蚀设备，合适的操作和关机，对被刻蚀的膜层选用合适的化学气体。

16.3 干法刻蚀

在半导体生产中，干法刻蚀是最主要的用来去除表面材料的刻蚀方法。干法刻蚀的主要目的是完整地把掩膜图形复制到硅片表面上。干法刻蚀相比于湿法腐蚀的优点列于表16.2。

表 16.2 干法刻蚀与湿法腐蚀相比的优点

优点描述
1. 刻蚀剖面是各向异性，具有非常好的侧壁剖面控制
2. 好的CD控制
3. 最小的光刻胶脱落或粘附问题
4. 好的片内、片间、批次间的刻蚀均匀性
5. 较低的化学制品使用和处理费用

使用干法刻蚀也有一些缺点。主要的缺点是对下层材料的差的刻蚀选择比、等离子体带来的器件损伤和昂贵的设备。

在干法刻蚀过程中，用低压等离子体放电来去除集成电路中小尺寸图形里的材料（等离子体的产生已在第8章中讨论）。等离子体与硅片表面发生反应，然后去除掉表面材料。等离子体刻蚀衬底材料过程中的主要反应示于图16.11中[6]。

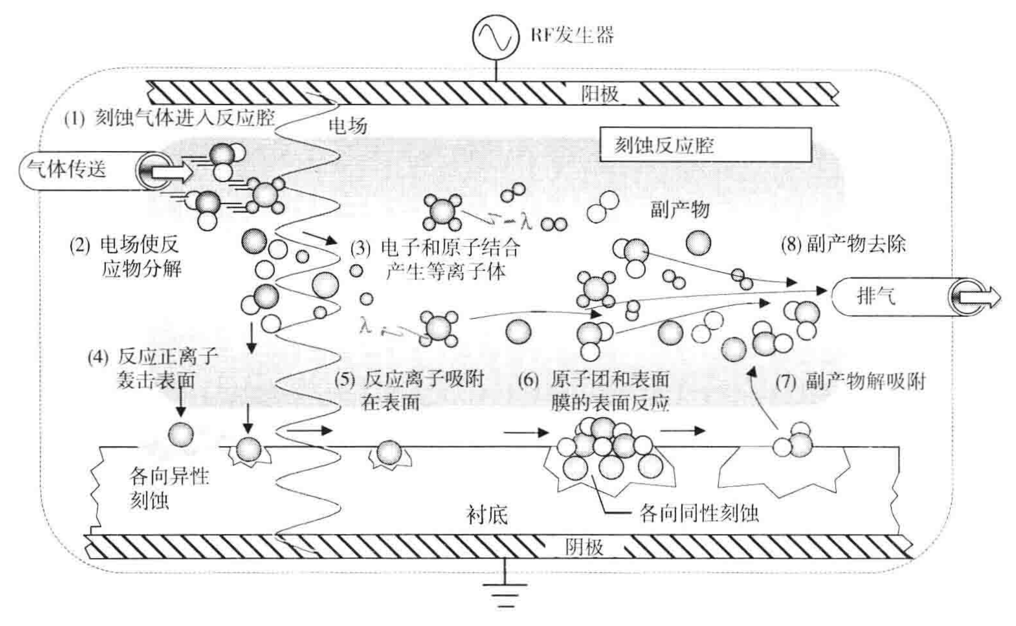


图 16.11 硅片的等离子体刻蚀过程

16.3.1 刻蚀作用

干法刻蚀系统中，刻蚀作用是通过化学作用或物理作用，或者是化学和物理的共同作用来实现的（见图 16.12）。在纯化学机理中，等离子体产生的反应元素（自由基和反应原子）与硅片表面的物质发生反应。为了获得高的选择比（即为了与光刻胶或下层材料的化学反应最小），进入腔体的气体（一般含氯或氟）都经过了慎重选择。等离子体化学刻蚀由于它是各向同性的，因而线宽控制差。反应中产生的挥发性生成物被真空泵抽走。

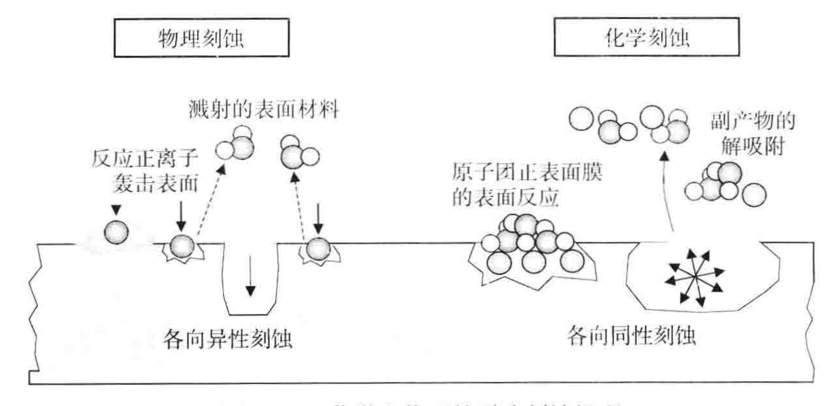


图 16.12 化学和物理的干法刻蚀机理

为了获得物理机理的刻蚀，等离子体产生的带能粒子（轰击的正离子）在强电场下朝硅片表面加速，这些离子通过溅射刻蚀作用去除未被保护的硅片表面材料。一般是用惰性气体，如氩（Ar）。这种机械刻蚀的好处在于它很强的刻蚀方向性，从而可以获得高的各向异性刻蚀剖面，以达到好的线宽控制目的。这种溅射刻蚀速率高，然而选择比差。另一个问题是被溅射作用去除的元素是非挥发性的，可能会重新淀积到硅片表面，带来颗粒和化学污染。

还有一种是物理和化学混合作用机理，其中离子轰击改善化学刻蚀作用。刻蚀剖面可以通过调节等离子体条件和气体组分从各向同性向各向异性改变。这种物理和化学混合作用机理刻蚀能获得

好的线宽控制并有不错的选择比，因而在大多数干法刻蚀工艺中被采用。表 16.3 总结了化学作用、物理作用和化学/物理结合作用刻蚀中的不同刻蚀参数。刻蚀类型的优点取决于刻蚀工艺的目的。

干法刻蚀系统可以是各向同性或各向异性的刻蚀机，这取决于RF电场相对于硅片表面的方向。意思是指正离子溅射的发生是在硅片表面还是硅片的边缘。如果这个电场是垂直于硅片表面，刻蚀作用就是重正离子溅射和一些基本的化学反应。如果这个电场平行于硅片表面，物理的溅射作用就很弱，因此刻蚀作用主要是表面材料和活性元素之间的化学反应。

表 16.3　化学干法等离子体刻蚀和物理干法等离子体刻蚀

刻蚀参数	物理刻蚀（RF 电场垂直于硅片表面）	物理刻蚀（RF 电场平行于硅片表面）	化学刻蚀	物理和化学刻蚀
刻蚀机理	物理离子溅射	等离子体中的活性基与硅片表面反应 *	液体中的活性基与硅片表面反应	在干法刻蚀中，刻蚀包括离子溅射和活性元素与硅片表面的反应
侧壁剖面	各向异性	各向同性	各向同性	各向同性至各向异性
选择比	差/难以提高（1：1）	一般/好（5：1 至 100：1）	高/很高（高于 500：1）	一般/高（5：1 至 100：1）
刻蚀速率	快	适中	慢	适中
线宽控制	一般/好	差	非常差	好/非常好

* 主要用于去胶和反刻

16.3.2　电势分布

等离子体辉光放电区域中的等离子体电势分布对刻蚀系统的刻蚀能力有很大的影响。这是因为轰击被刻蚀表面的颗粒能量的数量与电势分布有关。图 16.13 所示是刻蚀机中两电极之间的辉光放电。电源电极接 RF 电源，接地电极为地电位。等离子体的电位相对于接地电极（通常与刻蚀机的侧壁相连，侧壁也是与地相连的）来说是正的。等离子体区域中的电势在系统中最大。

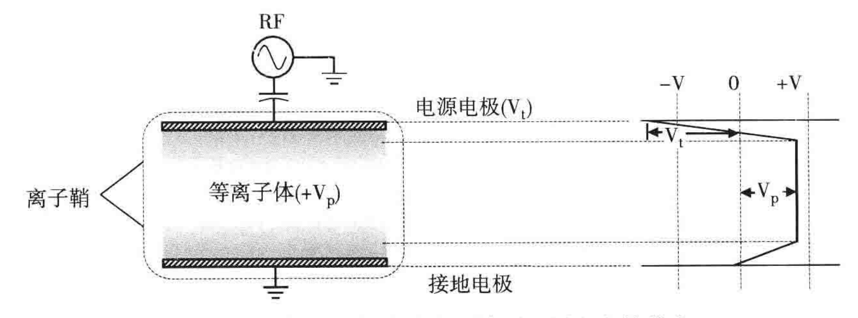


图 16.13　刻蚀机辉光放电区域原理图和电势分布

刻蚀机中的电源电极由于快速运动的电子离开等离子体轰击电极而产生一种相对于地的负自偏置（直流自偏置或直流偏置）电压。达到一定的负电荷数量后，电子就会被电极排斥，产生一个带正离子电荷的暗区（离子壳层）。电源电极自偏置电压的大小取决于加在电极上的RF电压的幅度和频率[7]。如果所有电极都具有相同的面积，通过每个电极暗区的电势差将是一样的。由于电源电极产生负的自偏置电压，等离子体中必须假设在接地电极端产生一个等幅度电势的正电位，也就是说，等离子体产生一个补偿的正电位。

刻蚀存在受刻蚀工艺参数影响而改变的趋势。如果 RF 频率减小，在一个 RF 周期的小部分时间内，离子有效地穿过等离子体暗区，这就能增加离子能量和刻蚀速率。离子轰击的数目与电极的

尺寸有关。对于不对称的电极尺寸，如果电源电极的面积小，则正的等离子体电位也小。这就在电源电极产生一个较大的暗区电势并在电源电极表面产生高能粒子的轰击[8]。刻蚀工艺参数的一些基本变化趋势列于表16.4中。

表16.4 改变等离子体刻蚀参数的影响

刻蚀参数的增加（↑）或减小（↓）		离子能量	直流偏置	刻蚀速率	选择比	物理刻蚀
RF频率	↑	↓	↓	↓	↑	↓
	↓	↑	↑	↑	↓	↑
RF功率	↑	↑	↑	↑	↓	↑
	↓	↓	↓	↓	↑	↓
直流偏置	↑	↑	↑	↑	↓	↑
	↓	↓	↓	↓	↑	↓
电极尺寸	↑	↓	↓	↓	↑	↓
	↓	↑	↑	↑	↓	↑

16.4 等离子体刻蚀反应器

一个等离子体干法刻蚀系统的基本部件包括：发生刻蚀反应的反应腔、一个产生等离子体的射频电源、气体流量控制系统、去除刻蚀生成物和气体的真空系统。刻蚀系统包括传感器、气体流量控制单元和终点触发探测器。在刻蚀中用到大量的化学气体（见下节），通常氟刻蚀二氧化硅，氯和氟刻蚀铝，氯、氟和溴刻蚀硅，氧去除光刻胶。在干法等离子体刻蚀中不同的控制参数有：真空度、气体混合组分、气流流速、温度、射频功率和硅片相对于等离子体的位置。这些不同的参数之间的互作用是干法刻蚀工艺控制器的功能。

在20世纪80年代之前，大部分等离子体刻蚀设备是设计成批处理（许多硅片同时处理）的圆桶式刻蚀机。这类刻蚀机在先进的IC制造中不再普遍应用，只应用于非关键的情况。当前半导体制造的趋势是采用单片处理的集成设备。这一技术通过减少单批数量来获得生产效率。集成工具也能减小工艺步骤之间曝露在污染物中的时间并由于反应器参数是针对单个硅片进行了优化的，因而能获得较好的片间均匀性。高密度等离子体刻蚀机是为亚0..25微米图形尺寸而开发的最重要的干法刻蚀系统。

干法等离子体反应器有下面不同的类型：

- 圆桶式等离子体反应器
- 平板（平面）反应器
- 顺流刻蚀系统
- 三极平面反应器
- 离子铣
- 反应离子刻蚀（RIE）
- 高密度等离子体刻蚀机

16.4.1 圆桶式等离子体刻蚀机

圆桶式反应器是圆柱形的，在0.1~1托压力下具有几乎完全的化学各向同性刻蚀（见图16.14）。硅片垂直、小间距地装在一个石英舟上。射频功率加在圆柱两边的电极上。通常有一个打孔的金属圆柱形刻蚀隧道，它把等离子体限制在刻蚀隧道和腔体壁之间的外部区域。硅片与电场平行放置使物理刻蚀最小。等离子体中的刻蚀基扩散到刻蚀隧道内，而等离子体中的带能离子和电子没有进入

这一区域。这种刻蚀是具有各向同性和高选择比的纯化学过程[9]。因为在硅片表面没有物理的轰击，因而它具有最小的等离子体诱导损伤。圆桶式等离子体反应器主要用于硅片表面的去胶。氧是去胶的主要刻蚀剂。

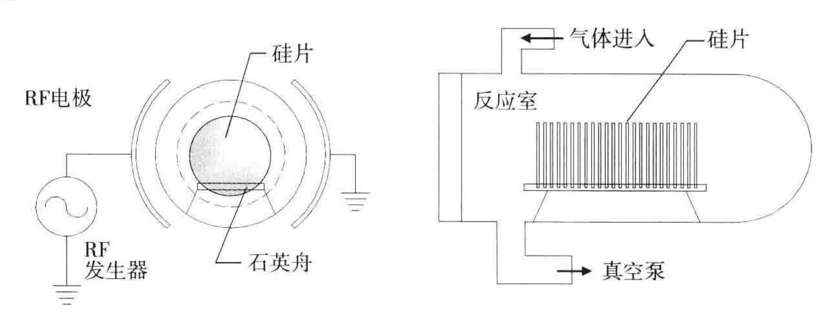


图16.14　典型的圆桶式反应器结构

16.4.2　平板（平面）反应器

平板（平面）反应器有两个大小和位置对称的平行金属板（见图16.15），一个硅片背面朝下放置于接地的阴极上面，RF信号加在反应器的上电极。由于等离子体电势总是高于地电势，因而这是一种带能离子进行轰击的等离子体刻蚀模式。如果硅片直接放在加RF功率的电极上，硅片与等离子体和带能离子就直接接触，这种接触能产生高能离子轰击，这就是所说的反应离子刻蚀模式。在等离子体刻蚀和反应离子刻蚀模式中，物理和化学刻蚀两种机理都存在，只不过在反应离子刻蚀模式中轰击离子的能量要高约10倍[10]。必须有诸如F_2和O_2之类的反应气体来产生等离子体。反应器在大约0.1~1托的压力下工作，并用高的RF功率来控制刻蚀速率。平板刻蚀机是早期的刻蚀机之一，单片的平板刻蚀机在今天被普遍采用。

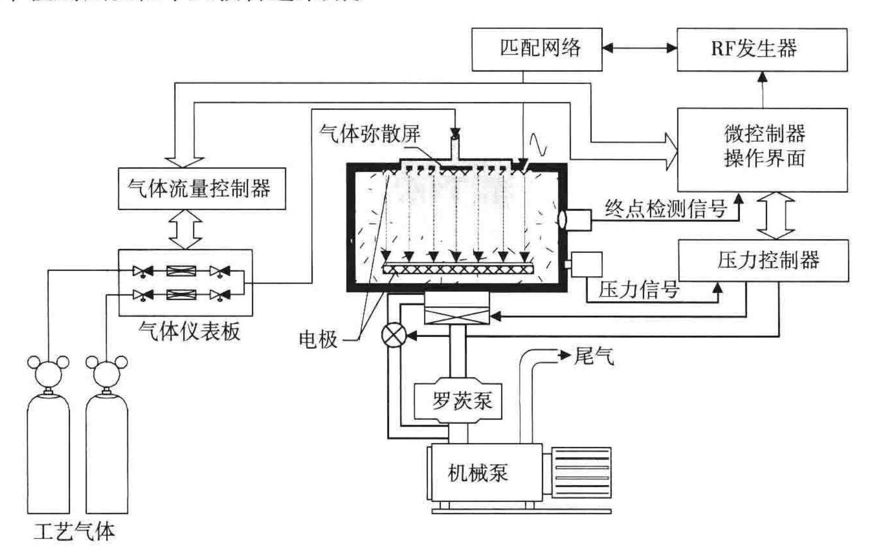


图16.15　平板等离子体刻蚀

16.4.3　顺流刻蚀系统

硅片表面反复地曝露于离子轰击中增加了器件损伤的可能性。在顺流刻蚀机中，一种减少由于离子轰击产生的对硅片表面损伤和热量增长的方法是限制硅片刻蚀区远离等离子体。等离子体是在

大约0.1~1托的压力下，在一个独立的源中产生的，被传输到工艺腔中，并均匀地分布于加热的硅片表面（见图16.16）。由于没有离子进行方向性的刻蚀，因而顺流刻蚀机采用的是化学刻蚀，是各向同性的，通常用于去胶或去除别的非关键层（参见下面的章节）。在顺流刻蚀中用于激发等离子体的微波源（2.45 GHz）普遍使用，因为它能产生最大的氧原子浓度和最低的氧离子浓度，能产生最小的器件损伤和高的刻蚀速率。

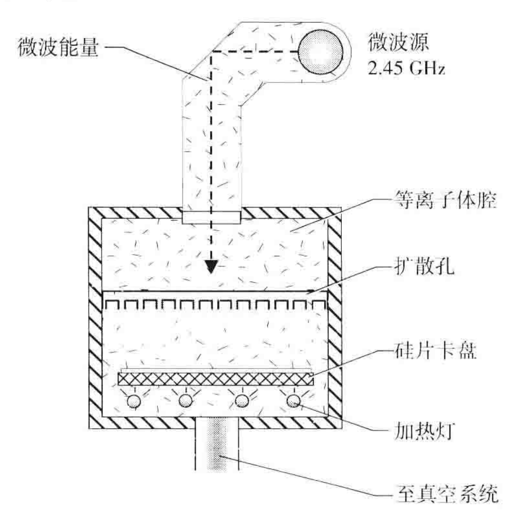


图16.16 顺流刻蚀机原理

在不同的刻蚀系统中采用不同的顺流刻蚀概念，这在下面的章节中讨论。目的是减少或消除等离子体带来的损伤而使硅片曝露在等离子体中的时间最少。

16.4.4 三极平面反应器

三极平面反应器增加第三个电极来达到控制离子轰击数量的目的。图16.17示意带两个电源的反应器设置，其中电感耦合的RF源在大约10^{-3}托产生离子和反应基。低频发生器控制离子的轰击。这种反应器的典型应用是单晶硅槽刻蚀。

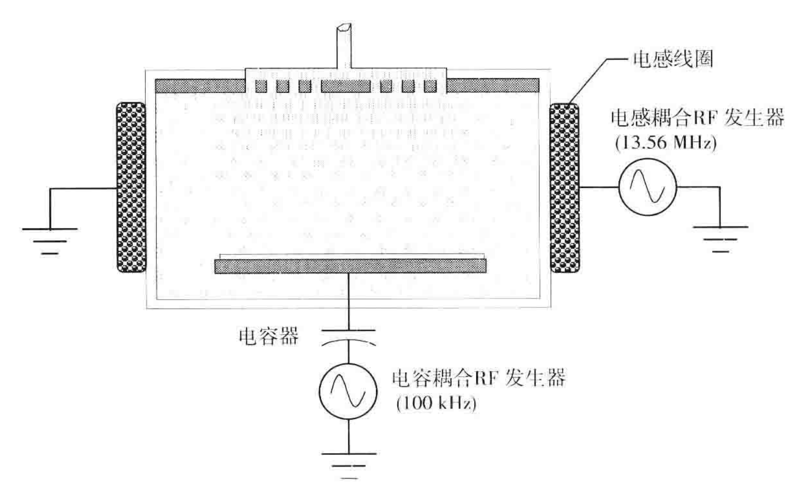


图16.17 三极平面反应器

16.4.5 离子铣

离子铣，也称为离子束刻蚀（IBE），是具有强方向性等离子体的一种物理刻蚀机理。它能对小尺寸图形产生各向异性刻蚀。等离子体通常是由电感耦合RF源或微波源产生的。热灯丝发射快速运动的电子。氩原子通过扩散筛进入等离子体腔内。电磁场环绕等离子体腔，磁场使电子在圆形轨道上运动，这种循环运动使得电子与氩原子产生多次碰撞，从而产生大量的正氩离子，正氩离子被从带格栅电极的等离子体源中引出并用一套校准的电极来形成高密度束流（见图16.18）。一个高压加速格栅把离子能量加至2.5 keV。

中和灯丝发射电子与氩原子复合来防止硅片带上正离子电荷。离子束刻蚀机在10^{-4}托的低压氩气环境中工作，它的工作压力低于通常的高密度等离子体刻蚀的工作压力。离子束刻蚀用于刻蚀金、铂和铜等难刻蚀的材料[11]。硅片可以倾斜以获得不同的侧壁形状。一个限制离子束刻蚀机在半导体工艺中广泛使用的主要问题是它的低选择比（通常低于3:1）和低产能的刻蚀速率。

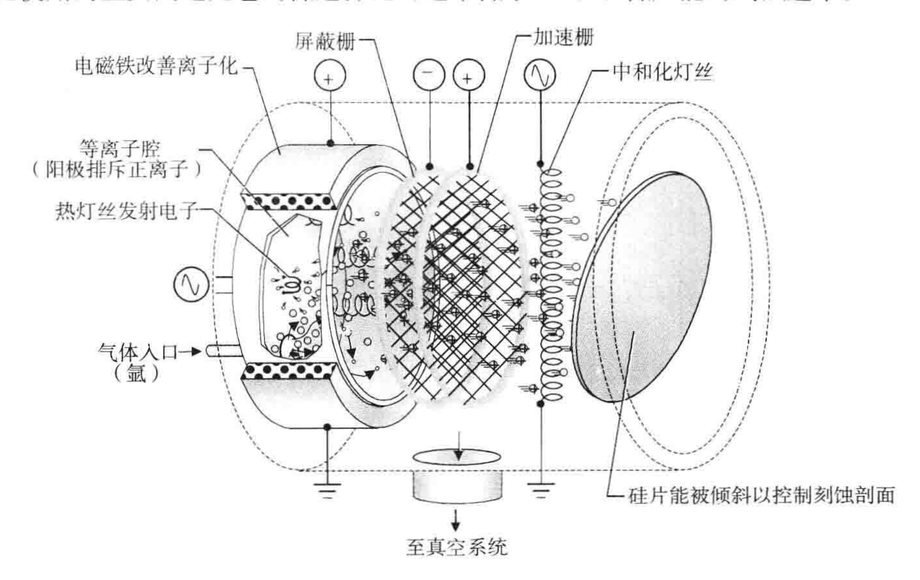


图16.18 离子束刻蚀机的原理

（摘自 Advanced Semiconductor Fabrication, Integrated Circuti Engineering 公司，pp.8-12）

16.4.6 反应离子刻蚀

反应离子刻蚀（RIE）是一种采用化学反应和物理离子轰击去除硅片表面材料的技术。除了硅片是放置于加RF源的电极（阴极）上以及该电极比接地电极尺寸大大减小以外，RIE与标准的平行板等离子体刻蚀机是类似的（见图16.19）。在这种方式下，在阴极产生一个直流自偏置电压，使得硅片与等离子体有一个大的电压差。这使朝硅片运动的离化基具有方向性，因而可以获得较好的各向异性侧壁图形。在阳极上没有溅射，工作压力低于0.1托。

16.4.7 高密度等离子体刻蚀机

在先进的集成电路制造技术中用于刻蚀关键层最主要的刻蚀方法是单片处理的高密度等离子体刻蚀技术[12]。前面用到的标准等离子体刻蚀系统在硅片制造中工作于相对直接产生等离子体的几百毫托的真空度下（例如在两平行板之间加上RF信号）。但是对于0.25微米级以下尺寸的几何图形，

它难以使刻蚀基进入高深宽比图形并使刻蚀生成物从高深宽比图形中出来。刻蚀反应速率降低并实际停止于图形的底部和低端。

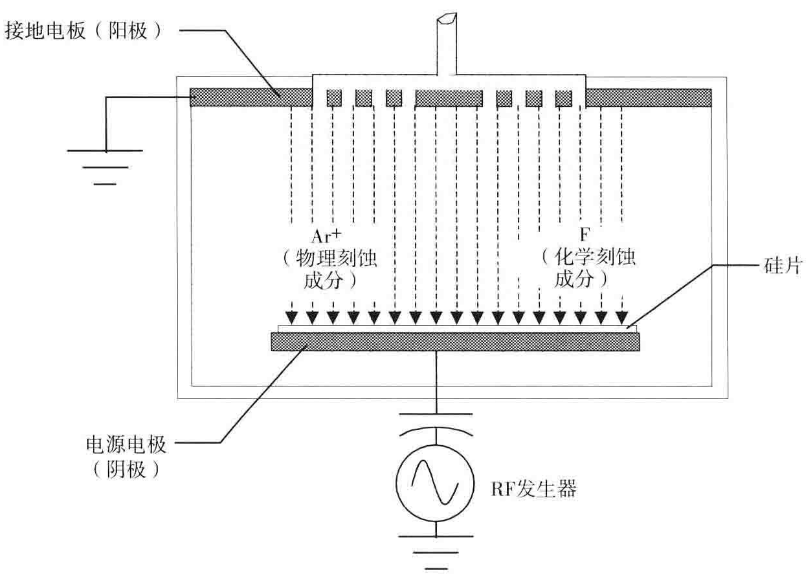


图 16.19　平行板 RIE 反应器

解决的方法是降低系统的工作压力至1~10毫托，以增加气体分子和离子的平均自由程。这一条件能有效减少影响图形剖面控制的碰撞。然而，这样做的缺点是由于压力的减小而减少了离子密度，从而降低了刻蚀速率。为解决这个问题，需要高密度等离子体以产生足够的离子，从而在低压下获得可接受的刻蚀速率。高密度指的是在同样的工作压力下，相对于传统等离子体的等离子体中活性基的数目。在传统等离子体中，典型的离化度是在0.01%~0.1%。高密度等离子体技术更有效地使输入功率耦合等离子体，产生较大的刻蚀基分解，从而获得高达10%的离化率。这种技术产生高方向性的低能离子，在高深宽比图形中获得各向异性刻蚀。



高密度等离子体刻蚀机
（承蒙 Applied Materials, Inc. 允许使用照片）

高密度等离子体刻蚀机中等离子体通常处于磁场中。在等离子体刻蚀中采用磁场的理由是：(1)产生的等离子体能更有效地获得进入高深宽比窗口的高方向性低能离子以及较少的硅片损伤；

(2)等离子体密度较大，有更多的反应基和带电粒子以增大刻蚀速率;(3)能减小硅片上的直流偏置电压，从而可减少粒子轰击(或损伤)。

■ 电子回旋加速振荡 电子回旋加速振荡(ECR)反应器是最早商用化的高密度等离子体反应器之一，第一次使用是在20世纪80年代初。它在现代硅片制造中仍然用于0.25微米及以下尺寸图形的刻蚀。ECR反应器在1~10毫托的工作压力下产生很密的等离子体。它在磁场环境中采用2.45 GHz微波激励源来产生高密度等离子体(见图16.20)。ECR反应器的一个关键点是磁场平行于反应剂的流动方向，这使自由电子由于磁力的作用做螺旋形运动。当电子的回旋频率(电子回旋加速振荡频率)等于所加的微波电场频率时，能有效地把电能转移到等离子体中的电子上。这种振荡增加了电子碰撞的可能性，从而产生高密度的等离子体，获得大的离子流。这些反应离子朝硅片表面运动并与表面层反应而引起刻蚀反应。

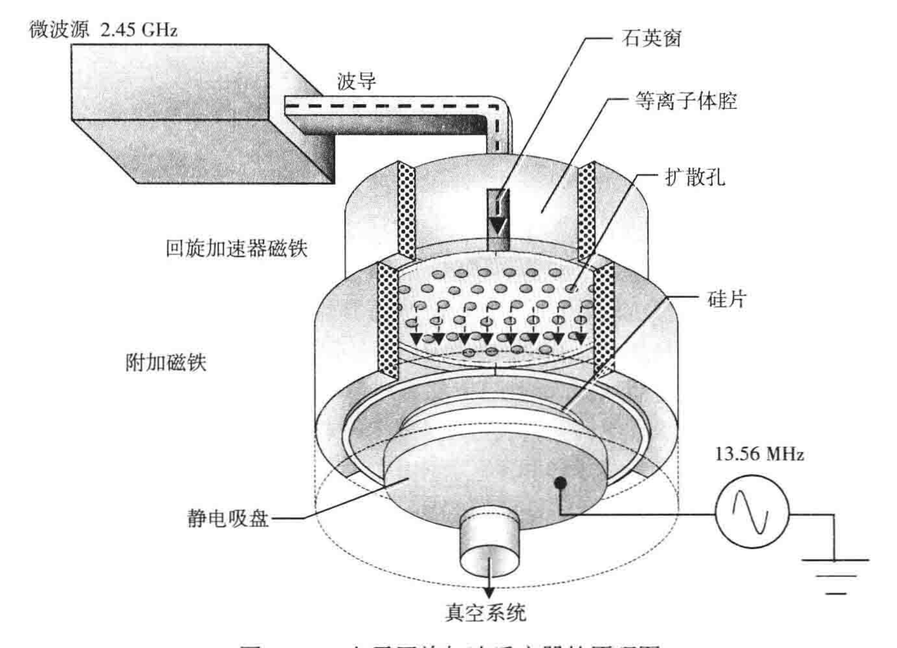


图16.20 电子回旋加速反应器的原理图

(摘自Y.Lii，“Etching”，*ULSI Technology*(New York:McGraw-Hill, 1996), p.349)

一个低功率的RF偏置(13.56 MHz)或直流偏置能加到装有硅片的电极上，用来控制轰击硅片表面的离子能量。这使得ECR工作于混合的物理和化学刻蚀机理，产生高的各向异性刻蚀图形。应用于半导体制造的ECR反应器的主要缺点是设备的复杂度[13]。另一种ECR是分布式ECR，它是一个在中心反应器周围分布着一对磁铁和微波天线的系统。

■ 电感耦合等离子体 另一种能减弱硅片上等离子体耦合的高密度、低压刻蚀反应器是电感耦合等离子体反应器(ICP)。同ECR相比，它简单并且便宜，在美国被广泛使用。ICP通过用绝缘板或石英管与等离子体隔开的螺旋线圈产生等离子体(见图16.21)[14]。由于硅片是放在远离线圈的地方，因而它不受电磁场的影响。硅片能加偏置来获得化学和物理刻蚀。这种反应器能在高深宽比窗口中获得各向异性的侧壁剖面。

另一种能产生高密度等离子体的电感耦合反应器是海利空波(helicon wave)。这种系统是从13.56 MHz的RF信号中接受功率，这种RF信号通过放置在石英管外的双环形天线耦合到等离子体中。

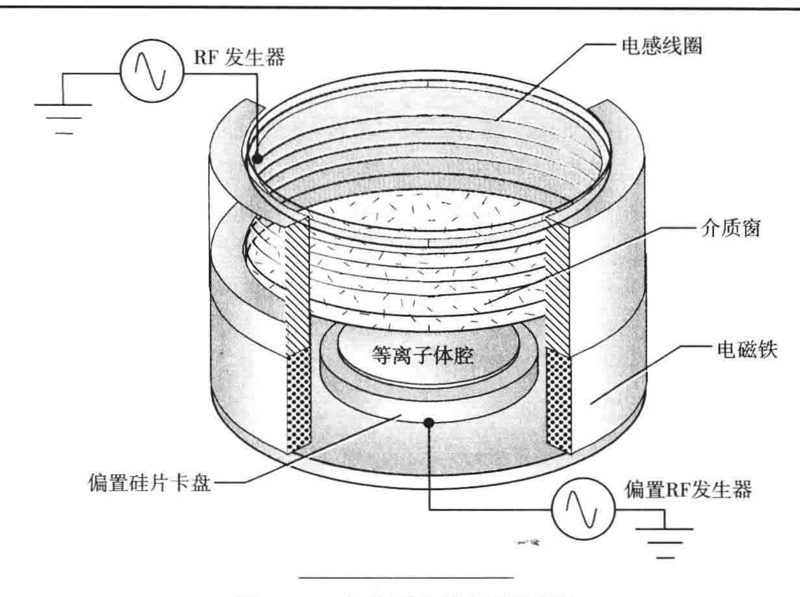


图 16.21 电感耦合等离子体刻蚀

（摘自 Y.Lii，“Etching”，ULSI Technology（New York:McGraw-Hill, 1996）, p.351）

■ **双等离子体源** 图 16.22 是一个双等离子体源（DPS）刻蚀腔体（也称为去耦等离子体源）的原理图。它有 4 个主要部分：源功率单元、上腔体、放置硅片的下腔体和一个可移动的电极[15]。正如前面提到的高密度等离子体系统那样，在这一系统中也用到了两个 RF 功率源。为了产生反应离子和中性基，源功率单元中有一个电感线圈来传输 RF 功率到等离子体，这称为源功率。源功率单元有一个温度控制系统。加在硅片电极上给硅片衬底加偏置的 RF 功率称为偏置功率。硅片阴极是沿垂直方向可移动的。只有上腔体曝露在等离子体和工艺气体中，这样能保持下腔体干净并使其易于维护。

这种 DPS 等离子体的一个关键问题是使源等离子体功率从偏置功率去耦，这种设计可以更好地控制离子密度和离子能量，从而对化学和物理刻蚀有一个更大的工艺窗口。改善了关键尺寸的控制并产生较少的残留物。

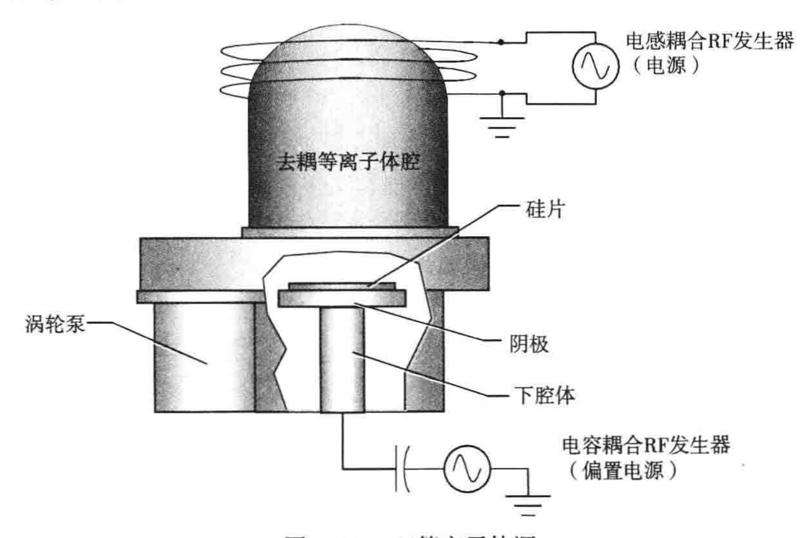


图 16.22 双等离子体源

（摘自 Y. Ye 等人的 *Proceedings of Plasma Processing XI*, Vol.96-12,

（Pennington, NJ: The Electrochemical Society, 1966）: p.222）

■ **磁增强反应离子刻蚀**　磁增强反应离子刻蚀（MERIE）反应器（也称磁电管）是一种物理作用和化学作用混合的刻蚀系统。在这种系统中除了有一个使等离子体远离腔体壁并在硅片附近增加电子和离子浓度从而产生高密度等离子体的磁场外，其余部分都与反应离子刻蚀反应器相同（见图16.23）。这一磁场能通过三相交流电源来旋转或在偶极环形磁系统中自然地旋转。用磁场来限制等离子体以产生高密度等离子体并容许低压工作，有效地保证持刻蚀的方向性和均匀性，特别是在刻蚀高深宽比图形时更有效。

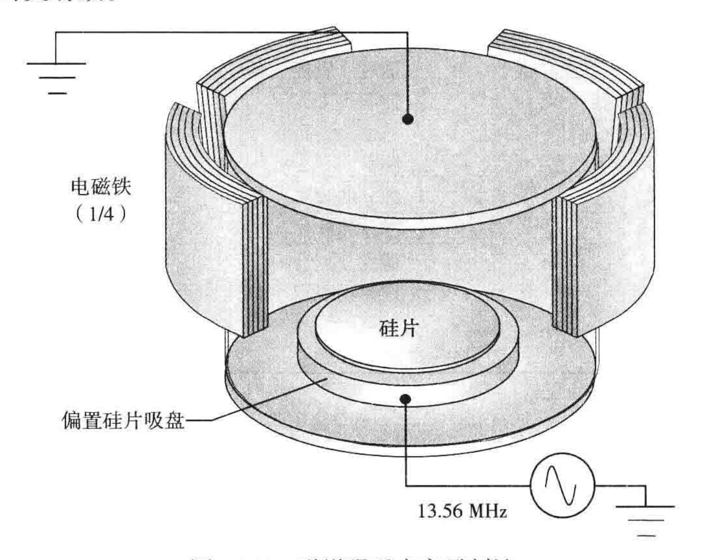


图16.23　磁增强反应离子刻蚀

（摘自 *Wet/Dry Etch*(College Station, TX: Texas Engineering Extension Service, 1996)，P.165）

16.4.8　刻蚀系统评价

图形尺寸的缩小和新硅片材料的引入对刻蚀性能提出了迫切的要求。干法刻蚀系统是采用物理机理或化学机理或这两种机理的结合来刻蚀材料的。一些系统是各向异性的，而有些系统是完全各向同性的。我们可以评估一下在硅片制造中用到的各种刻蚀设备。一个刻蚀系统的能力和对该系统的控制对硅片制造的成功非常关键。表16.5总结了每种刻蚀设备的一些重要特性。

表16.5　干法刻蚀机比较

类型	刻蚀机理	压力（托）	结构设置	是否是高密度等离子体	偏置	偏置源	图形剖面
圆桶式	化学	10^{-1}~1	线圈或电极在容器外	否	在盒子中	RF	各向同性
平行板（平面）式	物理和化学	10^{-1}~1	平面二极管（两电极）	否	在加功率的电极上（阳极或地电极）	RF	各向异性和各向同性
顺流等离子体	化学	10^{-1}~1	线圈或电极在容器外	否	在顺流等离子体盒子中	RF或微波	各向同性
平面三极	物理	10^{-3}	三极（三个电极）	否	在加功率的电极上		各向异性
离子铣	物理和化学	10^{-4}	平面三极	否	在加功率的电极上（阳极）		各向异性
反应离子刻蚀（RIE）	物理	< 0.1	平面或圆柱形二极	否	在阴极上		各向异性

（续表）

类型	刻蚀机理	压力（托）	结构设置	是否是高密度等离子体	偏置	偏置源	图形剖面
电子回旋加速振荡（ECR）	物理	10^{-4}~10^{-3}（低）	磁场平行与等离子体流动方向	是	在阴极上	RF 或直流	各向异性
分布式 ECR	物理	（低）	磁铁分布于中心等离子体周围	是	在阴极上	RF 或直流	各向异性
感应耦合等离子体（ICP）	物理	（低）	通过介质板使等离子体与螺旋线圈隔开	是	在阴极上	RF 或直流	各向异性
双等离子体源	物理	（低）	独立的等离子体和硅片偏置	是	在阴极上	RF 或直流	各向异性
磁增强反应离子刻蚀（MERIE）	物理	（低）	用磁场限制等离子体的平面二极	是	在阴极上	RF 或直流	各向异性

16.4.9 终点检测

干法刻蚀不同于湿法腐蚀之处在于它对下面的材料没有好的选择比。基于此原因，需要终点检测来监测刻蚀工艺并停止刻蚀以减小对下面材料的过度刻蚀。终点检测系统测量一些不同的参数，如刻蚀速率的变化、在刻蚀中被去除的腐蚀产物的类型或在气体放电中活性反应剂的变化（见图 16.24）。用于终点检测的一种方法是光发射谱。这一测量方法集成在刻蚀腔体中以便进行实时监测。

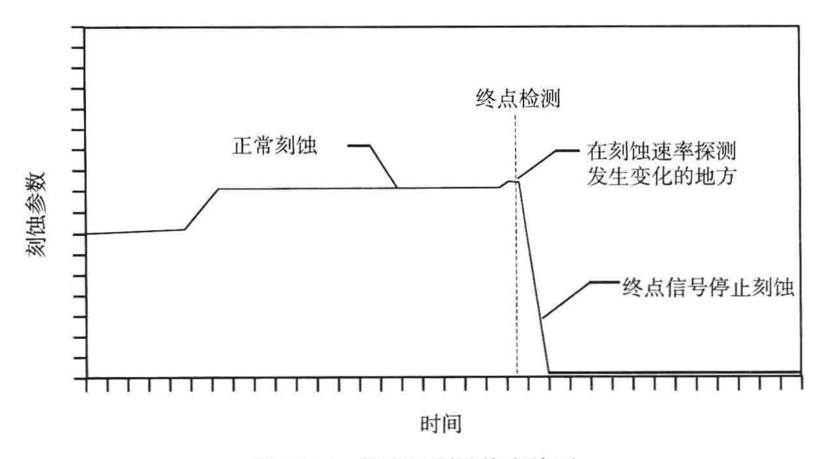


图 16.24 等离子刻蚀终点检测

■ **光发射谱** 被激发的基发射出对应于特定材料的一定波长的光（见表 16.6）[16]。在气体辉光放电中被激发的原子或分子所发出的光可用光发射谱来分析，从而鉴别出该元素。发射的光通过一个带有允许特殊波长的光通过的带过滤器的探测器，从而鉴别出被刻蚀的材料。在等离子体中，发射光的强度与相关元素的相对浓度有关。根据这一点，终点检测器能够检测出什么时候刻蚀材料已被刻完并进行下层材料的刻蚀。光发射谱是终点检测中最常用的一种方法，因为它易于获得高的灵敏度[17]。

光发射谱也能用来进行刻蚀反应器的诊断。通过对氮的识别可以判断一个系统是否漏气。清洗腔体后由于真空不够而引起的水汽也可以被检测出来。通过光发射谱不能获得反应基的绝对浓度。

表 16.6　在等离子体刻蚀中被激发的基团的特征波长

材料	刻蚀气体的发射基团	反应产物	波长（纳米）
硅	CF_4/O_2	SiF	440; 777
	Cl_2	SiCl	287
二氧化硅	CHF_3	CO	484
铝	Cl_2	Al	391; 394; 396
	BCl_3	AlCl	261
光刻胶	O_2	CO	484
		OH	309
		H	656
氮气	N_2（用于刻蚀前后的净化气体）	N_2	337
		NO	248

16.4.10　刻蚀腔体的真空

在刻蚀过程中真空系统是很关键的，因为它影响一些与气体流量和压力有关的等离子体参数。用于刻蚀的一个典型的高密度等离子体真空系统，在硅片表面的气体流量高达 800 sccm 下能获得 1 毫托范围内或以下的腔体压力。真空部件必须有能力处理在刻蚀中产生的具有腐蚀性的刻蚀产物。用于刻蚀工艺的真空泵一般是采用涡轮泵、罗茨泵和干泵。涡轮泵一般放在离腔体最近的地方以便获得最大的硅片表面抽速，而其他泵放置于别处[18]。另外干泵在一个集成的系统中用于真空锁和传送腔的抽真空。

用于刻蚀的氟气、氯气和溴气（参见下面的章节）由于它们的反应特性，可有效去除硅片表面的膜层。无用的反应剂和刻蚀生成物被高速抽走。刻蚀生成物的高反应性会腐蚀真空系统部件，因而需要特殊的设计，如轴承的氮气清洗、在开机和关机过程中只与轴承有关的磁浮泵等[19]。

16.5　干法刻蚀的应用

在集成电路制造过程中需要多种类型的干法刻蚀工艺，这些应用涉及在生产线上用到的所有材料。我们将按被刻蚀材料的种类：介质、硅和金属，来阐述干法刻蚀。随着关键尺寸的缩小、较高的深宽比窗口以及新材料在硅片制造过程的应用对这三类材料的刻蚀提出了挑战。优化刻蚀条件是产品开发人员要解决的关键问题。一般来说，一个成功的干法刻蚀要求：

1. 对不需要刻蚀的材料（主要是光刻胶和下层材料）的高选择比。
2. 获得可接受的产能的刻蚀速率。
3. 好的侧壁剖面控制。
4. 好的片内均匀性。
5. 低的器件损伤。
6. 宽的工艺制造窗口。

对于每一种特殊的干法刻蚀应用，关键的刻蚀工艺参数通过工艺优化来确定。其中一些参数示于图 16.25 中，注意：在许多情况下，优化是通过工艺设备的计算机模拟来实现的。因为用硅片进行实际的样机测试需要很高的成本。

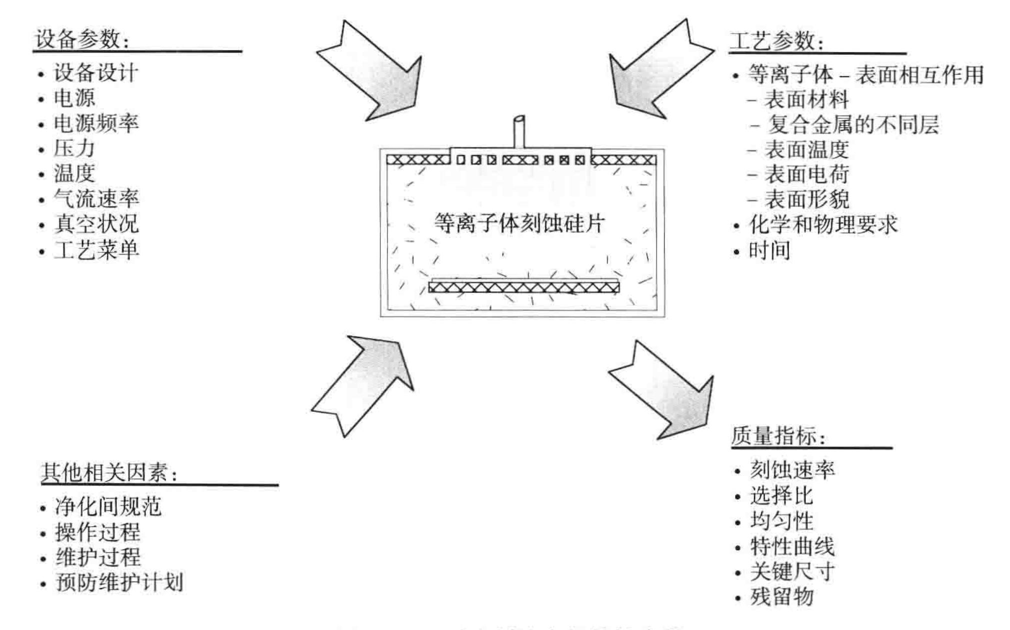


图 16.25 干法刻蚀中的关键参数

附录F的表F.1中列出了等离子体刻蚀中用到的典型的化学气体。介质和硅的刻蚀通常是用氟基气体，如 CF_4。铝的刻蚀通常是用氯基气体，如 BCl_3。

16.5.1 介质的干法刻蚀

对于200 mm硅片，介质的干法刻蚀是最复杂的刻蚀过程；而对于300 mm硅片，介质刻蚀将遇到最大的挑战[20]。氧化物刻蚀的最大困难在于随着特征尺寸缩小，在铜互连中用于双层大马士革技术的层间介质的新的沟槽刻蚀工艺以及需要刻蚀低 *k* 层间介质所带来的更严格的工艺规范。

■ **氧化物** 刻蚀氧化物通常是为了制作接触孔和通孔。这些是很关键的应用，要求在氧化物中刻蚀出具有高深宽比的窗口。对于DRAM应用中的0.18微米图形，深宽比希望能达到6:1，对下层的硅和硅化物/多晶硅的选择比要求大约50:1。[21] 有一些新的氧化物刻蚀应用，如有新沟槽刻蚀和高深宽比刻蚀要求的双大马士革结构，也有低的深宽比通孔刻蚀，如非关键性的氧化物刻蚀应用。

氧化物等离子体刻蚀工艺通常采用氟碳化合物化学气体。氟碳化合物是氟化的碳氢化合物。在碳氢化合物中有一个或几个氢原子被氟原子替代。许多化学气体都含有氟，如 CF_4、C_3F_8、C_4F_8、CHF_3、NF_3 和 SiF_4。常用的气体是 CF_4，它有高的刻蚀速率但对多晶硅的选择比不好。另外还有 CHF_3，它有高的聚合物生成速率。氟碳化合物气体在它们的非等离子体状态下是化学稳定的，并由于它们之间的键要比SiF键强，因而不会与硅或硅的氧化物发生反应。也有一些缓冲气体，如Ar和He等被加入到刻蚀气体中。氩气具有用于物理刻蚀的相对大的质量。氦气质量小，用于稀释刻蚀气体的浓度（相当于稀释剂）从而增加刻蚀的均匀性。

所希望的氟碳化合物气体，可能包含有一种主要的气体成分，如 CF_4，被导入等离子体并进行分解（见图 16.26）。这一反应形成许多不同类型的反应离子（活性基团）和中性离子[22]。反应基如 CF_4、CF_2、CHF、HF和F。活性的F基团轰击氧化物而产生刻蚀，F反应离子易于形成挥发性的生成物，通过真空系统从刻蚀反应器中被抽出。CF_x 基团也能产生聚合物来钝化侧壁表面。一般来说碳原子数与氟原子数的比越高，就能形成越多的聚合物，越低的刻蚀速率和越高的氧化物/硅的刻

蚀选择比。在一些情形中，在等离子体上方使用硅源极来获得过量的氟原子，以增加碳原子数对氟原子数的比值。

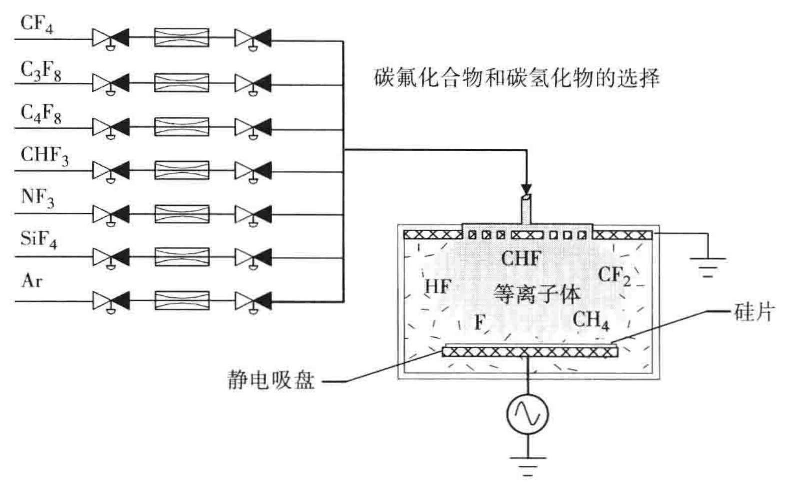


图 16.26　氧化物刻蚀反应器

下层材料的选择比　氧化物刻蚀的主要困难之一是获得对下一层材料（通常是硅、氮化硅或一层抗反射涂层）的高的选择比。例如，在刻蚀接触孔的时候，为了避免刻到源漏区域，高的LI氧化层介质对硅的选择比是很重要的。对硅的高的刻蚀选择比在刻蚀栅结构的氧化物侧墙时也是必需的（参见第9章）。在通孔刻蚀中，对TiN、W或Al的高选择比也是必需的。

获得对硅的高选择比的一种方法是通过在化学气体中加入氧气来控制氧化物和硅之间的选择比。少量氧气能改善氧化物刻蚀和硅刻蚀的速率。当氧气浓度大至大约20%时，氧化物刻蚀比硅刻蚀要更快，增大了选择比，减少了对下层硅的刻蚀。另一种提高选择比的方法是在气体混合物中加入氢气，减少硅的刻蚀速率，当氢气浓度达到大约40%时，硅刻蚀速率几乎为零。同时，氧化物刻蚀速率在氢气浓度低于40%的时候几乎不受什么影响[23]。

刻蚀接触孔的时候，氧化物对下层材料的选择比也可以通过增加一层硬的“刻蚀阻挡层”氮化硅来获得（见图16.27），这需要好的氧化物/氮化硅选择比。由于为了提高选择比的硬掩蔽层方法需要增加工艺步骤，因而只是在必需的时候才采用。

例子：氮化硅Si_3N_4在LI氧化硅刻蚀过程中被作为刻蚀阻挡层
注释：数字表示5个操作步骤的顺序

图 16.27　刻蚀阻挡硬掩蔽层

氧化硅/硅的选择比也可以通过工艺过程中在硅表面形成一层钝化聚合物来获得。聚合物残留被引入化学气体来抑制硅的横向刻蚀。硅上比二氧化硅上更易于生成聚合物，因为碳原子与SiO_2中的氧原子结合生成的挥发性的CO或CO_2被抽走了[24]。这一方法在抑制硅刻蚀的同时，允许连续的氧化硅刻蚀。然而，在刻蚀过程中聚合物也淀积在腔体表面成为一种颗粒沾污源，从而需要经常清洗刻蚀系统。

光刻胶选择比　为了防止形成倾斜的侧墙，获得高的氧化硅/光刻胶选择比是很重要的。光刻胶用于定义要刻蚀的图形。在接触孔和通孔的刻蚀中，数百万的孔被同时刻蚀，每个孔中都需要去除精确数量的表层材料，而孔常常位于不同的深度（见图16.28）。一种减小光刻胶选择比（不希望这样）的因素是在高密度等离子体中活性氟原子的有效生成。自由的氟原子会刻蚀掉有机的光刻胶，这降低了光刻胶的选择比，从传统等离子体刻蚀机的10:1到高密度等离子体刻蚀机的4:1~7:1。[25]另外，需要刻蚀抗反射涂层，这延长了刻蚀时间，进一步减小了光刻胶的厚度。一般来说，深紫外光刻胶抗等离子体能力比I线光刻胶要弱，这也降低了这种光刻胶的选择比。

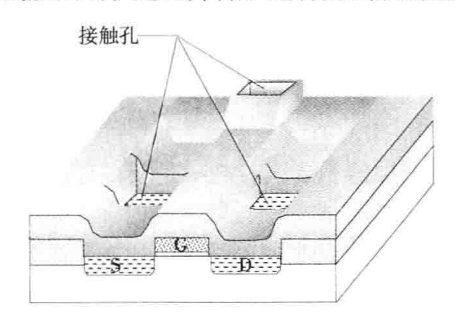


图16.28　不同深度的接触孔刻蚀

侧壁剖面　在局部互连（LI）氧化层介质中的接触窗口尺寸通常与具有高深宽比的最小特征尺寸相等。对这种类型的应用，需要高度各项异性的垂直侧壁剖面。一个重要的因素是高密度等离子体中高方向性的离子轰击。在获得最好的侧壁剖面中起作用的一个因素是光刻胶的选择比。如果光刻胶选择比较低，则在一个各向异性的刻蚀过程中，由于光刻胶被逐渐刻蚀掉而形成倾斜侧壁。

■ **氮化硅**　在硅片制造过程中用到两种基本的氮化硅。一种是在700~800°C下用LPCVD淀积的，它产生按Si_3N_4组分比的氮化硅膜。另一种低密度的氮化硅膜是在低于350°C下用PECVD淀积的[26]。由于它的低密度，PECVD生长的氮化硅膜的刻蚀速率较快。

可用不同的化学气体来刻蚀氮化硅。常用的主要气体是CF_4，并与O_2和N_2混合使用。增加O_2/N_2的含量来稀释氟基的浓度并降低对下层氧化物的刻蚀速率。对于用LPCVD生长的氮化硅可以获得高达1200 A/min的刻蚀速率以及对氧化物的大约20:1的高选择比[27]。对氧化物的选择比对采用一层薄垫氧来做刻蚀停止层的情形来说更重要，要求刻蚀过程在刻至氧化物的时候很快地慢下来。另外可能用于氮化硅刻蚀的主要气体有SiF_4、NF_3、CHF_3和C_2F_6。

16.5.2 硅的干法刻蚀

硅的等离子体干法刻蚀是硅片制造中的一项关键工艺技术，用等离子体刻蚀的两个主要硅层是制作MOS栅结构的多晶硅栅和制作器件隔离或DRAM电容结构中的单晶硅槽。

传统上用来刻蚀多晶硅的化学气体是氟基气体，包括CF_4、CF_4/O_2、SF_6、C_2F_6/O_2和NF_3。氟原子能产生很快的刻蚀反应，但刻蚀是各向同性的并对光刻胶的选择比一般。侧壁剖面可以通过减少

氟原子数和增加离子能量来改善，但这也降低了多晶硅/氧化硅的选择比。为了避免轰击掉下一层的氧化物材料，轰击离子的能量必须足够低。

为了解决这些问题，多晶硅等离子刻蚀用的化学气体通常是氯气、溴气或氯气/溴气。氯气（Cl_2）能产生各向异性的硅侧壁剖面并对氧化硅具有好的选择比（对多晶硅/氧化硅和多晶硅/氮化硅的选择比大于10:1）。用溴基气体（如Br_2或HBr）来刻蚀硅是各向异性的并对氧化硅和氮化硅的选择比很高（大于100），这对栅氧化层上多晶硅栅的刻蚀很重要[28]。对光刻胶的选择比，溴气比氯气要好。另一种硅刻蚀气体是氯气和溴气的混合气体，如HBr和Cl_2加O_2。加O_2是为了提高刻蚀速率和对氧化硅的选择比。用氯气和氟气刻蚀时产生的聚合物淀积在侧壁上，从而可以控制侧壁形状。用氟气、氯气和溴气刻蚀时产生的SiF_4、$SiCl_4$和$SiBr_4$都是挥发性的刻蚀生成物。

■ **多晶硅栅刻蚀**　在MOS器件中，掺杂的LPCVD多晶硅是用做栅极的导电材料。掺杂多晶硅线宽决定了有源器件的栅长，并会影响晶体管的性能（见图16.29）。因此，CD控制是很关键的。多晶硅栅的刻蚀工艺必须对下层栅氧化层有高的选择比并具有非常好的均匀性和可重复性。同时也要求高度的各向异性，因为多晶硅栅在源/漏的注入过程中起阻挡层的作用。倾斜的侧壁会引起多晶硅栅结构下面部分的掺杂。

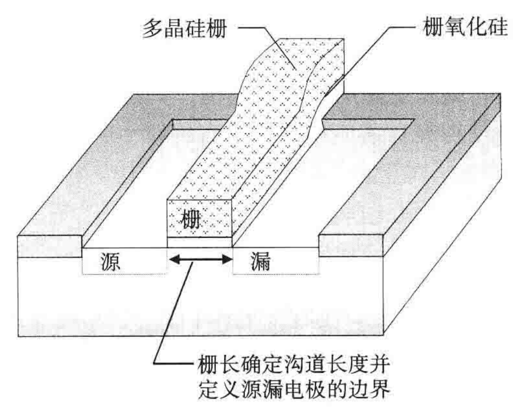


图16.29　多晶硅导体长度

刻蚀多晶硅（硅）通常是一个三步工艺过程。这使得在不同的刻蚀步骤中能对各向异性刻蚀和选择比进行优化。这三个步骤是：

1. 第一步是预刻蚀，用于去除自然氧化层、硬的掩蔽层（如SiON）和表面污染物来获得均匀的刻蚀（这减少了刻蚀中作为微掩蔽层的污染物带来的表面缺陷）。
2. 接下来的是刻至终点的主刻蚀。这一步用来刻蚀掉大部分的多晶硅膜，并不损伤栅氧化层和获得理想的各向异性的侧壁剖面。
3. 最后一步是过刻蚀，用于去除刻蚀残留物和剩余多晶硅，并保证对栅氧化层的高选择比。这一步应避免在多晶硅周围的栅氧化层形成微槽（小槽形成）（见图16.30）。

多晶硅栅是难以刻蚀的结构，在刻蚀过程中需要仔细且精密。具有0.15 μm特征尺寸器件的栅氧化层厚度是20~30 Å（等于6到10个氧化硅原子层的厚度）。工艺规范要求在多晶硅刻蚀中对氧化硅的选择比是在300 mm硅片上的70 686 mm^2表面积上，氧化硅厚度的损伤不得超过5 Å（大约1.5个氧化硅原子层）。这就要求在多晶硅的主刻蚀工艺中，为了防止栅氧化层的穿通，它的选择比要大于150：1。为了去除刻蚀残留物和剩余多晶硅，它的过刻蚀选择比要大于250：1。[29]

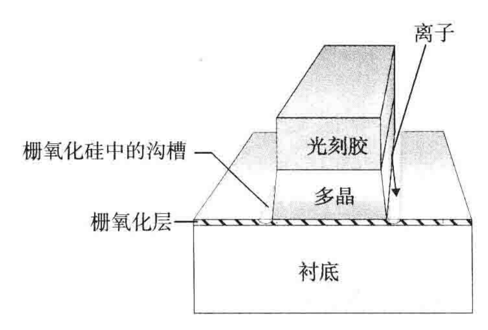


图 16.30　在多晶硅栅刻蚀中不期望的微槽

多晶硅刻蚀气体传统上是氟基气体，包括CF_4、CF_4/O_2、SF_6、C_2F_6/O_2和NF_3。在刻蚀硅的过程中氟原子起作用，然而，这种化学气体产生的刻蚀是各向同性的。这可以通过减少氟原子数量和增加离子能量来改善，但也降低了多晶硅对二氧化硅的选择比。为了避免溅射掉栅氧化层，轰击离子的能量必须足够低。为了解决这些问题，多晶硅等离子体刻蚀气体常常包含氯和溴。氯产生各项异性的多晶硅刻蚀并对氧化硅有好的选择比。另一种通用的化学气体是溴，因为它对氧化硅的选择比比氯还要高。对应于氟、氯、溴化学气体的挥发性刻蚀生成物是SiF_4、$SiCl_4$和$SiBr_4$，所有这些生成物都在刻蚀以后从腔体中抽走。

■ **单晶硅的刻蚀**　单晶硅刻蚀主要用于制作沟槽，如器件隔离沟槽或高密度 DRAM IC 中的垂直电容的制作。硅槽的制作使得在这些应用中可以占用较小的表面积，对于先进集成电路中特征尺寸不断减小来说是非常重要的。对于在双极和 MOS 技术中应用的 STI 器件隔离技术，浅硅沟槽（深度小于 1 微米至几微米）中填满氧化硅介质。电容是通过深槽刻蚀（深度大于 5 微米）、侧壁氧化和用多晶硅填充沟槽制作出来的。垂直电容硅槽的设计是有利的，因为它占用了较少的表面积并能制作出大电容值的电容。

硅槽的刻蚀　在集成电路中硅槽的刻蚀要求对每一个沟槽都进行精确的控制。想想在高密度集成电路中有数百万个电容沟槽，并对每个沟槽都要求一致的光洁度、接近的垂直侧壁、正确的深度和圆滑的沟槽顶角和底角，就知道这是一项挑战。因而需要一种上面提到的多步工艺，并对最后一步进行优化，用沟槽的底角圆滑去除硅的损伤（见图 16.31）。

通过在气体中加入碳来对侧壁进行钝化，防止侧壁被横向侵蚀。侧壁的形状与硅片的温度有关，增加温度则侧壁钝化较少，而横向刻蚀增加。硅片的温度可通过氦气背冷来控制[30]。

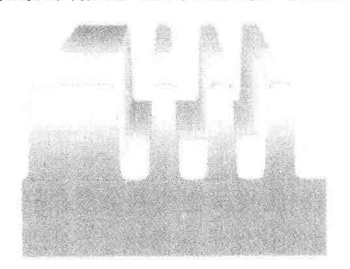


图 16.31　硅槽的刻蚀

对于浅槽的等离子体干法刻蚀，有时使用氟气，因为它的刻蚀速率高并对起掩蔽作用的光刻胶有足够的选择比。对深槽（如几微米深）而言，常使用的是氯基或溴基气体，这些气体有高的硅刻蚀速率和对于氧化硅的高选择比。在高密度等离子体刻蚀中，溴气越来越常用，因为溴气是一种不需要广泛使用碳来对侧壁进行钝化的刻蚀剂（这减少了污染问题）。使用溴气的主要问题在于它对气体传送系统和反应器有很大的腐蚀作用。气体供应商和设备制造商需要解决这一问题。

16.5.3 金属的干法刻蚀

金属刻蚀的一个主要应用是作为金属互连线的铝合金刻蚀。回顾第12章，铜铝合金可以减少铝的电迁移和小丘的形成,在铝中加入硅则可以减少在接触界面形成尖峰。硅不会为刻蚀带来障碍。钨、阻挡层金属和接触金属也是在硅片制造过程中要被刻蚀的金属。然而，金属铜是不用干法刻蚀的，因为它不易形成挥发性的生成物，使等离子体刻蚀难以进行。由于在ULSI硅片的关键层上的互连线密集,所以需要各向异性的干法刻蚀来获得理想的边缘剖面和窄线条。金属刻蚀的要求主要有以下几点[31]：

1. 高刻蚀速率（大于1000 nm/min）。
2. 对下面层的高选择比，对掩蔽层（大于4:1）和层间介质层（大于20:1）。
3. 高的均匀性，且CD控制很好，没有微负载效应（在硅片上的任何位置小于8%）。
4. 没有等离子体诱导充电带来的器件损伤。
5. 残留物污染少（如铜硅残留物、显影液侵蚀和表面缺陷）。
6. 快速去胶，通常是在一个专用的去胶腔体中进行，不会带来残留物污染。
7. 不会腐蚀金属。

■ 铝和金属复合层 通常用氯基气体来刻蚀铝。纯氯刻蚀铝是各向同性的。为了获得各向异性的刻蚀工艺，必须在刻蚀气体中加入聚合物来对侧壁进行钝化，如加入CHF_3或从光刻胶中获得的碳。在铝的刻蚀中也用到BCl_3，它具有用于物理刻蚀的大分子量并能很好地控制侧壁剖面。为了减少微负载效应并有助于侧壁钝化，通常也加入少量的N_2。用氟基气体来刻蚀铝是不可行的，因为它产生的生成物是低蒸气压非挥发性的产物AlF_3，这就意味着它的刻蚀速率很有限。溴基气体用于金属刻蚀也曾被研究。

在互连线金属刻蚀中的一个难点是VLSI/ULSI技术中常用的多层金属复合膜的复杂性（见图16.32），在复合膜中常常有抗反射的TiN或其他材料层（ARC）和下面的粘附阻挡层（如Ti），这些都增加了刻蚀工艺的复杂性。为了去除ARC层，可能的化学气体是CCl_4/O_2或SF_6/Cl_2。TiN膜用CCl_4/N_2或Cl_2/Ar或$BCl_3/Cl_2/CHF_3$来刻蚀[32]。另一点是曝露于空气中的铝的氧化几乎是同时的，产生的氧化铝（Al_2O_3）抑制了氯的刻蚀反应。

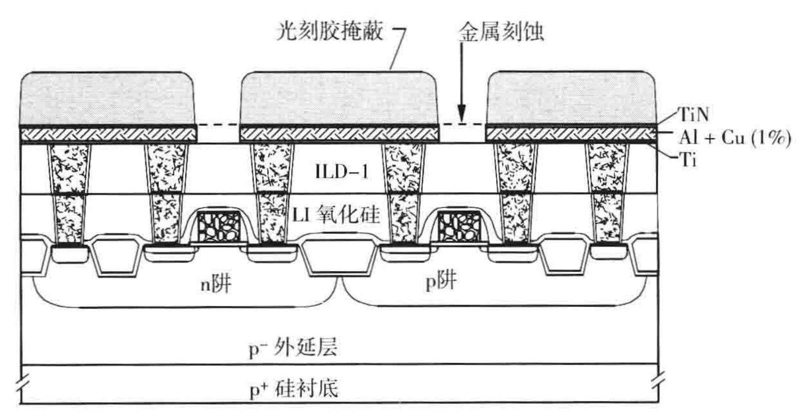


图16.32 VLSI/ULSI技术中的复合金属层

采用多步刻蚀工艺技术刻蚀这种金属复合膜结构,第一步是去除铝表面自然氧化层(即Al_2O_3)。刻蚀金属复合膜的典型步骤如下：

1. 去除自然氧化层的预刻蚀。
2. 刻蚀 ARC 层（可能与上一步结合起来）。
3. 刻铝的主刻蚀。
4. 去除残留物的过刻蚀，它可能是主刻蚀的延续。
5. 阻挡层的刻蚀。
6. 为防止侵蚀残留物的选择性去除。
7. 去除光刻胶（见下面的章节）。

金属刻蚀后，完全控制对金属的侵蚀对器件性能是很重要的，任何在刻蚀工艺中残留的侵蚀性生成物都必须很快中和或从硅片表面去除。对铝刻蚀而言，主要的腐蚀性生成物是 $AlCl_3$ 或 $AlBr_3$。这些生成物与水反应会生成强腐蚀性的HCl或HBr，它们会腐蚀铝。在刻蚀工艺中控制水蒸气和氧的含量也很关键，这一点在单片刻蚀机中做得很好，因为它有一个真空锁把硅片与大气污染物和潮气隔离。另一方面是采用去胶工艺，在去胶的过程中把腐蚀性化合物去除，从而减少它们侵蚀的可能性[33]。必须把硅片曝露于潮气中的时间减至最少，这是在金属刻蚀机中集成一个去胶腔体的原因。

■ 钨 钨是在多层金属结构中常用的一种用于通孔填充的重要金属（参见第 12 章）。可以用氟基或氯基气体来刻蚀钨。但是，氟基气体（如 SF_6 和 CF_4）对氧化硅的选择比差，而氯基气体对氧化硅的选择比好。常常在刻蚀气体中加入 N_2 来获得对光刻胶的好的选择比。有时加入 O_2 来减小碳的沉积。氯基气体（如 CL_2 或 CCl_4）能用来刻蚀钨并改善各向异性特性和选择比。

钨的反刻 钨的反刻是制作钨塞工艺中的一步。首先是在层间介质 SiO_2 中刻出通孔窗口，然后在覆盖有 TiN 阻挡层的通孔窗口中淀积钨，最后进行干法等离子体反刻刻蚀掉多余的钨覆盖层，制作出填满钨的通孔（见图 16.33）。反刻是一个两步工艺，第一步是以高速均匀地刻掉 90% 的钨，在第二步中降低刻蚀速率，并使用对 TiN 阻挡层有高选择比的化学气体来进行刻蚀[34]。减小气体压力和硅片温度使得刻蚀速率降低从而减弱负载效应，这一效应有可能在钨塞中产生凹坑。在钨的反刻中无须各向异性刻蚀，重要的是把残留物和钨塞损失减至最小。在先进的硅片制造中化学机械平坦化技术（CMP）已很大程度上取代钨的反刻技术以去除多余的钨以及平坦化接触孔和通孔的表面（参见第 18 章）。

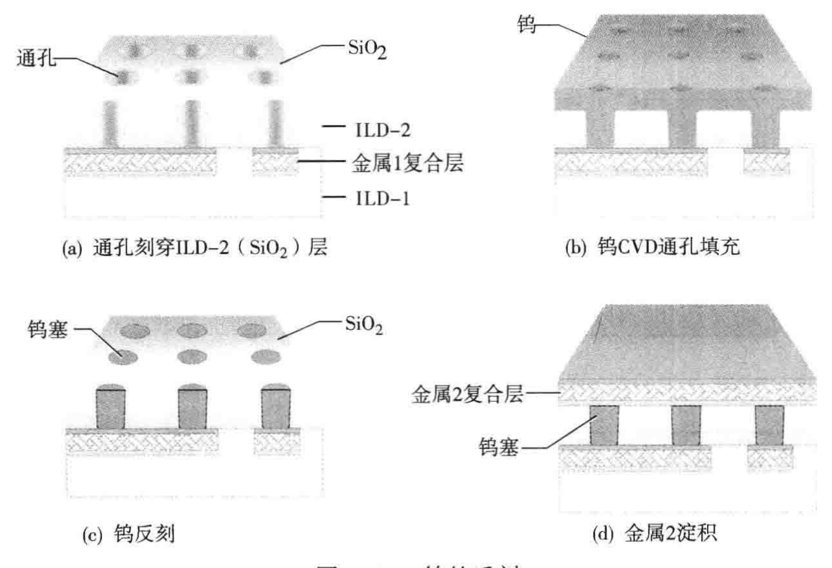


图 16.33 钨的反刻

■ 接触金属刻蚀 在硅片制造中，难熔金属与硅合金通常用来制作硅化物，包括$CoSi_2$、WSi_2、$TaSi_2$和$TiSi_2$（参见第12章）。多晶硅硅化物是掺杂多晶硅与难熔金属的合成物。二氧化硅不会与难熔金属形成合金，在接触金属刻蚀中没有发生反应的金属必须去除。在MOS器件制造中，接触金属的刻蚀是很关键的，因为尺寸的控制会影响到器件的沟道长度。接触金属等离子体刻蚀可以采用氟基或氯基气体。氟基气体（如NF_3和SF_6）由于它们在增大的刻蚀速率的情况下所具有的良好尺寸控制特性而被使用。由于形成接触是一个自对准工艺，因此在接触金属刻蚀中不需要光刻胶做掩蔽层。

16.6 湿法腐蚀

从半导体制造业一开始，湿法腐蚀就与硅片制造联系在一起。虽然湿法腐蚀已大部分被干法刻蚀所取代，但它在漂去氧化硅、去除残留物、表层剥离以及大尺寸图形腐蚀应用方面仍然起着重要的作用。湿法清洗（参见第6章）实际上可以看做是一个湿法腐蚀过程。例如在接触孔制作中，用于去除反应离子刻蚀带来的残留物和损伤的硅层。有关残留物的去除是使用顺流微波去胶机，然后用湿法腐蚀作为一种清洗方式来去除残留物和损伤的硅层[35]。与干法刻蚀相比，湿法腐蚀的好处在于对下层材料具有高的选择比，对器件不会带来等离子体损伤，并且设备简单。在腐蚀过程中必须控制基本的湿法腐蚀参数（见表16.7），这些参数对所有的湿法腐蚀都适用。

一批硅片，通常是25片，有时多至50片，放置在一个合适的酸槽里，或用浸泡的方式，或用喷射的方式来进行湿法腐蚀。浸泡是最简单的方式，而喷射方式腐蚀需要的化学试剂要少，并且比浸泡方式腐蚀得快。湿法腐蚀在掩蔽层材料边缘下面产生钻蚀，形成各向同性的侧壁，因而它不适合于特征尺寸大于3 μm的情形。基于湿法腐蚀存在横向钻蚀的缺点，使得在半导体制造中主要采用干法等离子刻蚀。湿法腐蚀的另外一些缺点包括湿法化学腐蚀槽的安全性，可能带来的光刻胶脱落和起泡，难以控制腐蚀槽的参数以保证均匀性，化学试剂的处理费用昂贵等。

表16.7 湿法腐蚀参数

参数	说明	控制难度
浓度	溶液浓度（例如：腐蚀氧化硅的溶液NH_4F与HF的比）	最难控制的参数，因为槽内溶液的浓度一直在变
时间	硅片浸在湿法化学腐蚀槽中的时间	相对容易控制
温度	湿法化学腐蚀槽的温度	相对容易控制
搅动	溶液槽的搅动	适当控制有一定难度
批数	为了减少颗粒并确保适当的溶液强度，一定批次后必须更换溶液	相对容易控制

16.6.1 湿法腐蚀的种类

湿法腐蚀为干法刻蚀没法获得的高选择比刻蚀提供了一种可供选择的办法，另外湿法腐蚀能消除等离子体损伤。如前所述，湿法腐蚀在先进集成电路制造中广泛地为干法等离子体刻蚀所替代。在亚微米制造技术中，如硅和铝等材料的刻蚀几乎都是用干法刻蚀。一般的湿法腐蚀的安全性知识列于附录A。

■ 湿法腐蚀氧化硅 氧化硅能够用氢氟酸（HF）来进行湿法腐蚀，常用被氟化铵缓冲的稀氢氟酸（称为缓冲氧化硅腐蚀液BOE或缓冲氢氟酸BHF）喷射或浸泡硅片来有选择地去除氧化硅。化学缓冲剂是加入少量的强酸或元素而又防止pH值变化的一种溶剂。用NH_4F来缓冲HF可使得腐蚀能被很好地控制，这种腐蚀液减慢并稳定腐蚀过程，并不对光刻胶产生影响。硅片上的BOE是

用去离子水和快倾泄或喷流清洗设备来清洗掉。快倾泄清洗速度快并用水少，而且喷流清洗能显著地减少颗粒沾污程度。

SiO_2是无定形材料，当曝露在BOE中时，它各个方向的腐蚀都一样。如果腐蚀1 μm厚的氧化硅，也同样会在掩蔽层材料下面腐蚀掉1 μm的氧化硅。从控制尺寸的观点来看，这种横向腐蚀和带来的横向钻蚀是不希望的，它限制了可能获得的线条密度和间距。

氧化硅的腐蚀速率与它是热氧化硅还是淀积的氧化硅有关（见表16.8），因为干氧要比湿氧致密，干氧的腐蚀速率较慢。另外，掺杂的氧化硅腐蚀与未掺杂的氧化硅腐蚀不同，通常掺杂的氧化硅腐蚀速率要快。

表16.8 * 25°C在BHF[a]溶液中近似的氧化硅腐蚀速率

氧化硅类型	密度（g/cm^3）	腐蚀速率（nm/s）
干氧氧化生长	2.24至2.27	1
湿法氧化生长	2.18至2.21	1.5
CVD淀积	< 2.00	1.5[b]至5[c]
溅射	< 2.00	10至20

a) 在680 ml H_2O中10份454 g的NH_4F和1份48%的HF

b) 在1000°C左右退火10分钟

c) 不退火

* B.El-Kareh, *Fundamentals of Semiconductor Processing Technology* (Boston: Kluwer Academic, 1995), p. 277

■ **湿法化学剥离** 由于湿法腐蚀的高选择比特性，湿法化学剥离有时用于去除包括光刻胶（参见下面的章节）和掩蔽层的表面层材料。在硅片制造过程中的STI、LOCOS和自对准接触结构制作方面，氮化硅（Si_3N_4）被广泛用做掩蔽层材料。这层氮化硅掩蔽层是用热磷酸（H_3PO_4）进行湿法化学剥离掉的[36]。这种酸槽一般始终维持在160°C左右并对露出的氧化硅具有所希望的高选择比。用热磷酸去除氮化硅是难以控制的，通过使用检控样片来进行定时操作（没有终点检测）。在曝露的氮化硅上常常会形成一层氮氧化硅，因此在去除氮化硅之前，需要在HF酸中进行短时间的处理。如果这一层氮氧化硅没有去掉，或许就不能均匀地去除氮化硅。另一种常用湿法化学剥离去除的材料是在接触中用做硅化物的钛。这一步工艺是用氢氧化铵（NH_4OH）和过氧化氢（H_2O_2）加去离子水稀释来进行的。

16.7 刻蚀技术的发展历程

刻蚀技术随着硅片制造技术多年的发展有了许多改变，最早的圆桶式刻蚀机简单，只能进行有限的控制。现代等离子体刻蚀机能产生高密度等离子体，具有产生等离子体的独立的RF功率源和硅片加偏置电压、终点检测、气体压力和流量控制，并集成有对刻蚀参数进行控制的软件。表16.9详细列出了多晶硅刻蚀从湿法腐蚀技术到反应离子刻蚀（RIE）直至应用于亚0.25微米尺寸的现代高密度等离子体刻蚀技术的发展过程。

16.8 去除光刻胶

刻蚀以后的步骤之一是去除光刻胶，光刻胶用来作为从光刻掩膜版到硅片表面的图形转移媒介以及被刻蚀区域或被离子注入区域的阻挡层。一旦刻蚀或注入完成，光刻胶在硅片表面就不再有用，必须完全去除。另外，刻蚀过程带来的任何残留物也必须去掉。

剥离光刻胶是湿法去除光刻胶的一种基本方法。剥离有时也用于去除难以去除的光刻胶残留物。在大部分应用中，由于对化学药品所需的管理和处理，使得湿法去除光刻胶并不合算。而且，

在干法刻蚀之前,光刻胶的表面必须在氟基或氯基气体中进行加固处理,这就使得光刻胶在大部分湿法去胶液中不溶解。在这种情况下,需要用干法等离子体去胶去掉至少上面的一层光刻胶。

去除光刻胶的一个主要困难是光刻胶都是被设计和处理成能最好粘附于硅片表面的,如第13章所讨论的,这是光刻胶能满足刻蚀和离子注入的要求所必需的。最大的粘附性明显地使得光刻胶难以去除。另一个难点是为了获得较高的硅片产能需要有高的去胶速率。但是,高的去胶速率会留下更多光刻胶残留物,这就成为有效去除光刻胶和残留物工艺的一个更大的负担。

表 16.9* 多晶硅刻蚀技术的发展

尺寸要求	年代和反应器设计	化学药品	主要特点	局限性和存在的问题	控制方法
4~5 μm各向同性刻蚀	1977年以前:湿法腐蚀	用乙酸或H_2O缓冲的HF/HNO_3	批处理工艺	光刻胶脱落,酸槽老化,温度敏感	操作员判断终点
3 μm	1977年:圆桶式刻蚀机	CF_4/O_2	批处理工艺	非均匀性,各向同性刻蚀,大的钻蚀	压力计和定时器
2 μm	1981年:单片刻蚀	CF_4O_2	单硅片,单独的终点检测,改进的重复性	对氧化硅低的选择比,各向同性工艺	终点检测
1.5 μm	1982年:单片RIE	SF_6/氟利昂11,SF_6/He	MFC,独立的压力和气体流量控制,改进的可重复性	低氧化硅选择比,剖面控制	MFC,气体流量和压力控制分开
~0.5 μm	1983年:可变电极间距,带真空锁	CCl_4/He,C_{12}/He,C_{12}/HBr	带真空锁腔体,可变电极间距,改进的可重复性	高深宽比图形的微负载效应,剖面控制	电极间距控制,计算机控制
~0.25 μm及以下	1991年:电感耦合等离子体(ICP)	Cl_2,HBr	高密度等离子体,低压,简单的气体混合;改进的重复性	设备复杂,多变量	独立的产生等离子体的RF控制和硅片偏置的RF控制

* Adapted from C. Almgren,"The Role of RF Measurements in Plasma Etching," *Semiconductor International*, (August 1997): p.100

16.8.1 等离子体去胶

等离子体去胶用氧气来干法去胶,是批量去胶的一种主要工艺[37]。第一台等离子体去胶机是20世纪70年代采用圆桶式反应器技术制造的,用氧气等离子体去除光刻胶。圆桶式反应器已经广泛地被采用单片腔和氧气去胶的顺流等离子体反应器所取代。

■ 去胶机概述 去胶机是通过氧原子与光刻胶在等离子体环境中发生反应来去除光刻胶的(见图16.34)。原子氧(O)通过微波或RF能量分解氧分子而产生。也常常加入N_2或H_2来提高去胶性能并加强对残留聚合物的去除[38]。因而典型的去胶机气体使用的是O_2/N_2。回顾第13章,光刻胶的基本成分是碳氢聚合物。氧原子很快与光刻胶反应生成挥发性的一氧化碳、二氧化碳和水等主要生成物。这些生成物被真空系统抽走。

■ 等离子体损伤 在去胶工艺中值得关注的一点是由于离子轰击和硅片充电所带来的对硅片上器件的等离子体损伤。当栅氧化层变薄时,由于薄栅氧对等离子体退化的敏感,这种关注就更为重要。等离子体对硅片造成的损伤已大大被采用顺流去胶机补救了,顺流去胶机把硅片放在远离带来损伤的等离子体离子的地方,只允许化学反应基到达硅片表面。在顺流系统中通常使用微波(2.45 GHz)频率来产生等离子体。这是因为微波辉光放电能产生更多的原子氧反应基和少量的离子。这就能减少离子诱导损伤。

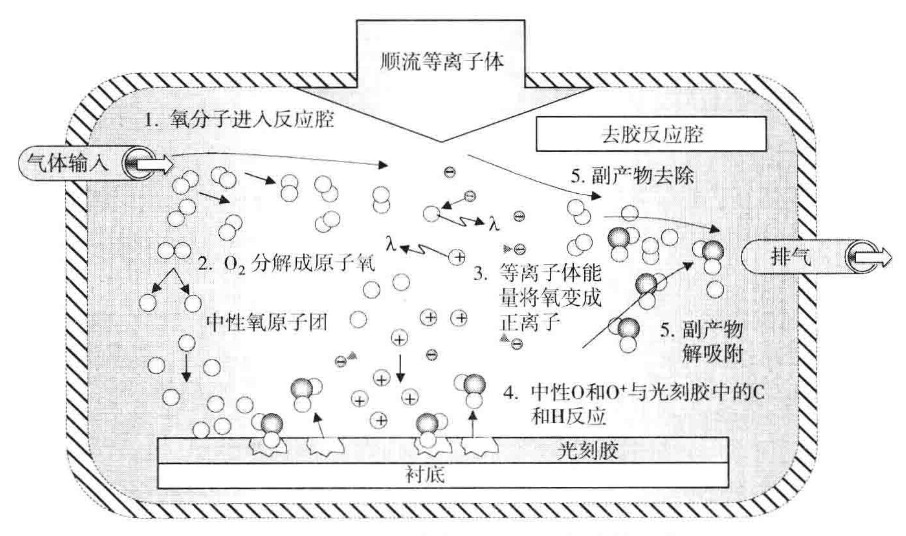


图 16.34　去胶机中氧原子与光刻胶的反应

去除残留物 ■ 标准的去胶工艺已发展到包括用过刻蚀来去除残留物，如侧壁聚合物和通孔覆盖物（见图 16.35）。如前面所讨论的，这些残留物是复杂的，可能包含有等离子体刻蚀和去胶的副产物，如铝、钛、氧化硅和硅。一个复杂的因素是去胶可能要在一个高温环境下进行（如 200℃），这将使残留物变硬而难以去除。如果去不掉，残留物就是一种能增加硅片表面缺陷密度的颗粒和污染物源。为了完全去除刻蚀残留物，特别是无机残留物（如氧化硅、金属氧化物、铝等），一些去胶机用可选择的化学气体来代替氧气，如 NO 或 N_2O。另外一些去胶机以加入 CF_4 或 NF_3 的形式在化学气体中引入少量的氟来更有效地去除包含氧化硅和硅在内的残留物，使其更易于溶于水[39]。在去胶工艺之后，典型做法是用去离子水进行清洗以去除硅片表面上残留的颗粒[40]。在某些情况下，用强硫酸（H_2SO_4）与过氧化氢（参见第 6 章）的混合液来完全清除残留的光刻胶。

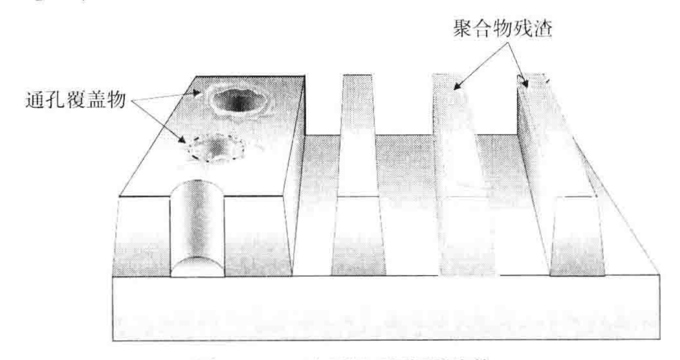


图 16.35　过刻蚀通孔覆盖物

去除残留物的湿法清洗在后端工艺中仍在使用，特别是在去除有高密度无机污染物的侧壁钝化残留物中。单独的干法去胶是不能有效去胶和清除残留物的，因为大多数的无机材料不能够被等离子体变成挥发性物质而去除。直到最近，去除残留物的湿法化学试剂常常是羟胺化合物。但是，这些化合物可能会对金属和阻挡层材料产生腐蚀，一种新的不含有羟胺成分的基于螯合作用的化学试剂被用于去除残留物（螯合物是一种包括金属阳离子的复杂离子）[41]。这种新的方式在低温下能无腐蚀地溶解无机残留物。

16.9 刻蚀检查

刻蚀工艺的最后一步是进行刻蚀检查以确保刻蚀质量。这种检查是在有图形的硅片上刻蚀和去胶全部完成以后进行的，传统上是用白光或紫外光手动显微镜来检查缺陷，如检查污点和大的颗粒沾污。手动显微镜已大量被自动监测系统所取代，特别是对有深亚微米图形的关键层的检查。先进的测量仪器能够自动检测带图形硅片的图形缺陷和形变（参见第 7 章）。最重要的检查之一是最后对特殊掩蔽层的检查，以确保关键的尺寸正确。刻蚀工艺的质量也是通过对刻蚀问题的检测来进行校验的，例如是否存在过刻蚀、欠刻蚀或钻蚀等。

除了没有光刻胶以及产生缺陷后无法返工以外，刻蚀检查与显影检查几乎类似。任何缺陷（如果数量足够）都可能使硅片报废。这一准则的一个例外是可以清洗掉的表面颗粒沾污。用于最终刻蚀检测的典型质量测量方法列于表 16.10 中。

16.10 刻蚀质量测量

典型的刻蚀检测中的质量测量方法如表 16.10 所示。

表 16.10 用于刻蚀最终检测的质量测量方法

质量参数	缺陷类型	备注
1. 关键尺寸偏差	A. 线宽变化：光刻胶线宽与刻蚀后的图形线宽存在过大的差别	● 通过比较硅片上刻蚀之前的光刻胶线条宽度和刻蚀之后同样图形的线宽来检察关键尺寸的偏差，可以用 SEM 来测量 ● 过度的关键尺寸偏差需要针对横向钻蚀或倾斜角度来优化刻蚀工艺 ● 光刻胶剖面对关键尺寸偏差有影响，陡直的光刻剖面会产生最好的关键尺寸偏差
2. 金属腐蚀	A. 刻蚀后金属膜的侵蚀	● 侵蚀是由于硅片上残留的 HCl 曝露于空气中的水汽中而产生的 ● 可以看到沿金属线条边缘因为侵蚀而产生的小泡泡，这种缺陷可以用光学显微镜或 SEM 找到
3. 刻蚀后的侧壁污染物	A. 刻蚀后残留的侧壁钝化物，包括残留的光刻胶	● 通过优化金属刻蚀之前的坚膜烘烤工艺来最大限度地减小这种缺陷 ● 残留物通常可以用过刻蚀或稀的缓冲氢氟酸来去除 *
	B. 污染物反溅到金属线条或通孔的侧壁上	● 用来钝化侧壁的聚合物能够产生回溅，留下一层覆盖物（覆盖在金属线条上或通孔侧壁上薄膜）
4. 负载效应	A. 显微镜可见的刻蚀工艺的不均匀性	● 由于反应离子在小窗口中的密度减少而使其刻蚀速率比大窗口的刻蚀速率要小 ● 折中刻蚀工艺的压力和功率 **
5. 金属刻蚀后的短路	A. 刻蚀后金属线条的桥接导致电短路	● 由于微负载效应引起图形密度效应的减弱
6. 刻蚀后过多的残留物	A. 刻蚀后可能存在下列种类的残留物： ● 残留物细线条 ● 悬挂的薄的残留物 ● 冠状残留物 ● 栏杆状残留物 ● 刻蚀后的侵蚀残留物	引起刻蚀残留物的原因有： ● 刻蚀工艺的不均匀性 ● 淀积的薄膜形貌 ● 薄膜中的非均匀性杂质分布 ● 薄膜中的污染物（除了有意在硅中加入的铜等合金外） ● 气体或腔体中的污染物，检查过滤系统或清洗系统 ● 不合适的工艺参数，如高的刻蚀速率

*K. Mautz, *Optimization of Single Wafer and Batch Metal Etch Manufacturing Processees* vol. 96-12(Pennington, NJ: The Electrochemical Society, 1996), p.283

**S. Gonzales, J. Quijada, and G.Grivna, *Submicron Metal Etch Integration Study* vol.2875 (Bellingham, WA: SPIE,1996), p.302

16.11 干法刻蚀检查及故障排除

与干法刻蚀设备和工艺有关的一些检查及故障排除方法列于表 16.11 中。

表 16.11 常见的干法刻蚀检查及故障排除方法

问题	可能的原因	纠正措施
1. 刻蚀速率不对	A. RF 功率发生变化	● 检查和修复 RF 发生器和匹配单元
	B. 温度不对	● 检查硅片背冷系统
	C. 压力有问题	● 校准真空计（如电容压力计）和压力控制系统
	D. 终点检测不能正常工作	● 检查终点检测系统
	E. 硅片间距不合适	● 检查硅片与电极的间距
	F. 气体流量不合适	● 校验气体输运系统
	G. 维护不当	● 湿法清洗腔体
	H. 刻蚀程序不对	● 校验工艺程序和参数
2. 选择比不够	A. 刻蚀速率太快	● 校验刻蚀速率
	B. 不合适的气体流量或压力	● 校正 MFC 和真空计
	C. 终点检测有问题	● 检查 / 校正终点检测
	D. 错误的硅片温度	● 检查硅片冷却系统
	E. 工艺程序不对	● 确认工艺程序和参数
3. 侧壁角度不合适	A. 侧壁沾污	● 检查腔体中的聚合物生成
	B. 硅片温度	● 硅片的背面沾污引起加热不均匀
	C. 系统压力	● 检查 / 校正 MFC 和检漏以检查有否沾污
	D. 工艺程序不对（工艺错误）	
4. 片内刻蚀不均匀	A. 由于 ARDE 带来的刻蚀气体浓度的损耗	● 校验硅片上密的和不密区域的设计
	B. 不合适的气体流量	● 检查 / 校正气体输运系统
	C. 硅片的温度	● 检查热电偶和硅片冷却系统
	D. 硅片在腔体中位置不合适	● 检查硅片自动传送系统和真空卡盘
	E. 腔体结构	● 检查反应器电极平板间距
	F. 膜厚不合适	● 测量和校验膜厚
	G. 维护不当	● 湿法清洗腔体
5. 等离子体损伤	A. 等离子体不均匀	● 等离子体设备设计和维护差
	B. 栅氧化层过量的离子轰击	● 不是最佳的工艺条件
	C. RF 功率过大	● 检查程序和 RF 发生器
	D. 维护不当	
6. 颗粒沾污	A. 气体管道的泄漏和沾污	● MFC 漏气或有问题
	B. 操作问题	● 不恰当的关机、操作或维护
	C. 不合适的化学气体	● 错误的工艺程序
		● 进行湿法清洗
7. 金属侵蚀	A. 潮湿	● 刻蚀后清除残留物时间太长
	B. 气流	● 检查 MFC，使用正确的工艺气体
	C. 刻蚀工艺带来的沾污	● 控制去胶的时间
	D. 错误地维护程序	● 检查维护程序

16.12 小结

刻蚀是采用物理或化学方法有选择地从硅片表面去除材料。干法刻蚀采用等离子体，而湿法腐蚀是采用液态化学试剂。刻蚀通常分为介质刻蚀、硅刻蚀和金属刻蚀。有 9 个重要的参数：刻蚀速率、刻蚀剖面、刻蚀偏差、选择比、均匀性、残留物、聚合物形成、等离子体诱导损伤和颗粒沾污。等离子体刻蚀比起湿法腐蚀有许多优点，是一种最常用的刻蚀工艺。侧壁剖面一般分为各向同性和

各向异性。各项异性或称垂直的侧壁，是通过干法刻蚀形成的。氧化物刻蚀需要对下层材料的高选择比。硅刻蚀用于一些关键的应用中，如多晶硅栅的刻蚀和沟槽刻蚀。金属刻蚀主要应用于铝复合层互连线。湿法腐蚀在先进的IC制造中基本被干法刻蚀所替代，但仍然用于氧化硅去除、湿法清洗和剥离技术。刻蚀或离子注入完成后的光刻胶去除称为光刻胶的灰化。去胶机采用顺流工艺技术来减少等离子体诱导损伤，并通常随后进行湿法腐蚀来去除残留物。刻蚀检测是刻蚀过程的最后一步，是保证缺陷被识别和修复所必需的。

关键术语

刻蚀
干法刻蚀
湿法腐蚀
介质刻蚀
硅刻蚀
金属刻蚀
有图形刻蚀
无图形刻蚀（反刻或剥离）
刻蚀速率
台阶高度
负载效应
刻蚀剖面
各向同性刻蚀剖面
各向异性刻蚀剖面
方向性
刻蚀偏差
选择比
刻蚀均匀性
深宽比相关刻蚀（ARDE）
微负载
刻蚀残留物
聚合物形成
等离子体诱导损伤
化学机理
物理机理
物理和化学混合机理
等离子体电势分布
圆桶式反应器
平板反应器
顺流反应器
三极平面反应器
离子铣或离子束刻蚀（IBE）
反应离子刻蚀（RIE）
高密度等离子体刻蚀
电子回旋共振（ECR）
电感耦合等离子体（ICP）
双等离子体源（DPS）
磁增强反应离子刻蚀（MERIE）
终点检测
预刻蚀步骤
主刻蚀步骤
过刻蚀步骤
钨反刻
缓冲氧化物腐蚀液（BOE）或缓冲氢氟酸（BHF）
湿法化学剥离
光刻胶剥离
等离子体去胶机
去胶机
刻蚀检测

复习题

1. 定义刻蚀，刻蚀的目的是什么？
2. 刻蚀工艺有哪两种类型？简单描述各类刻蚀工艺。
3. 列出按材料分类的三种主要干法刻蚀。
4. 解释有图形和无图形刻蚀的区别。

5. 列举9个重要的刻蚀参数。
6. 定义刻蚀速率并描述它的计算公式。为什么希望有高的刻蚀速率?
7. 解释负载效应以及它与刻蚀速率的关系。
8. 描述各向同性和各向异性刻蚀剖面,以及在每一种剖面中哪些是希望的,哪些是不希望的。
9. 干法刻蚀的剖面是各向同性、各向异性的,还是两者都有?湿法腐蚀的剖面是怎样的?
10. 什么是方向性?为什么在刻蚀中需要方向性?
11. 什么是刻蚀偏差?如何引起?描述并解释刻蚀偏差的公式。
12. 定义选择比。干法刻蚀有高的或低的选择比?高选择比意味着什么?描述并解释选择比公式。
13. 什么是刻蚀均匀性?获得均匀性刻蚀的难点是什么?解释ARDE并讨论它与刻蚀均匀性的关系。ARDE的另一个名字是什么?
14. 讨论刻蚀残留物,它们为什么产生以及要怎样去除?
15. 为什么在刻蚀过程中有时会在图形的侧壁上形成聚合物?什么是聚合物生成过程中不希望的边沿效应?
16. 什么是刻蚀中的等离子体诱导损伤,以及这些损伤会带来什么问题?
17. 解释等离子体在硅片表面是怎样带来颗粒沾污的。
18. 干法刻蚀的目的是什么?列举干法刻蚀同湿法刻蚀相比具有的优点。干法刻蚀的不足之处是什么?
19. 列举在干法刻蚀中发生刻蚀反应的三种方法。
20. 解释发生刻蚀反应的化学机理和物理机理。
21. 叙述干法刻蚀的物理化学混合机理。
22. 描述等离子体电势分布,为什么它对刻蚀很重要?
23. 如果RF的频率降低,刻蚀结果会如何?RF功率降低,直流偏置增大,电极尺寸减小,刻蚀结果又会如何?
24. 描述一个等离子体干法刻蚀系统的基本部件。二氧化硅、铝、硅和光刻胶刻蚀分别使用什么化学气体?
25. 描述圆桶式等离子体刻蚀机。
26. 描述平板反应器。
27. 为什么顺流刻蚀是有利的?描述顺流反应器。
28. 三极平板反应器是怎样工作的?
29. 解释离子束铣。它使用什么材料?
30. 描述反应离子刻蚀。
31. 解释高密度等离子体改善高深宽比槽的刻蚀效果的原理。
32. 给出在高密度等离子体刻蚀机中采用磁场的三个理由。
33. 描述电子回旋共振(ECR)。
34. 解释电感耦合等离子体(ICP)。
35. 描述双等离子体源。
36. 讨论用于高密度等离子体的MERIE技术。
37. 什么是终点检测?为什么在干法刻蚀中它是必需的?最常用的终点检测类型是什么?
38. 描述用于终点检测的光发射谱。
39. 列举成功进行干法刻蚀所需要的6个条件。

40. 列举氧化硅刻蚀的三个难点。
41. 氧化物等离子体刻蚀通常用什么化学气体？举出一种常用于氧化物刻蚀的化学气体。
42. 举例说明为什么氧化物对下层材料的刻蚀选择比是重要的。提出两种可获得氧化物对硅的刻蚀选择比的方法。
43. 哪种因素可减小光刻胶的选择比？这是希望的还是不希望发生的？
44. 解释在LI氧化层中刻蚀通孔时存在的光刻胶的低选择比效应。
45. 用PECVD和LPCVD淀积的氮化硅哪种刻蚀速率快？为什么？
46. 哪种化学气体通常用来刻蚀多晶硅？为什么这种化学气体替代了氟基化学气体？
47. 列举刻蚀多晶硅栅的三个要求。
48. 列出并阐述刻蚀多晶硅的三个步骤。
49. 讨论多晶硅刻蚀的化学气体。
50. 硅槽刻蚀过程中侧壁是如何被保护而不被横向刻蚀的？
51. 在浅槽刻蚀和深槽刻蚀中时常采用什么气体？为什么使用这些气体？
52. 列出刻蚀金属的 7 个主要要求。
53. 列出刻蚀金属复合层的 7 个步骤。
54. 在金属刻蚀之后，必须控制什么？
55. 何种化学气体在钨的刻蚀过程中对氧化硅有高选择比？
56. 叙述钨的反刻工艺。
57. 什么是干法刻蚀已大部分取代湿法刻蚀的主要原因？
58. 列出 4 个湿法刻蚀参数，解释每一参数并说明它们难以控制的程度。
59. 氧化硅是如何被湿法腐蚀的？使用氟化胺缓冲的 HF 溶液的两个名字是什么？
60. 干氧和湿氧氧化硅的刻蚀速率有什么差异？
61. 叙述氮化硅的湿法化学去除工艺。
62. 光刻胶是怎样去除的？
63. 什么是等离子体去胶？去胶机的目的是什么？
64. 去胶过程中要注意的一点是什么？如何解决？
65. 刻蚀后刻蚀残留物是如何去除的？
66. 检测刻蚀工艺的一个重要方面是什么？

刻蚀设备供应商网站

Applied Materials	http://www.appliedmaterials.com/products/
Eaton Corporation	http://www.semiconductor.eaton.com
Gasonics International	http://www.gasonics.com
Hitachi	http://www.hitachi.com/semiequipment/products.html
International SEMATECH	http://www.sematech.org
Lam Research Corp.	http://www.lamrc.com
Leybold-Inficon	http://www.leyboldingficon.com/
MRC, Materials Research Corp.	http://www.materialsresearch.com
Plasmos	http://www.plasmos.com/
SEMI	http://www.semi.org

Tegal Corporation http://www.tegal.com
TEL, Tokyo Electron Ltd. http://www.teainet.com

参考文献

1. Y. Lii, "Etching," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 342.
2. P. Singer, "New Frontiers in Plasma Etching," *Semiconductor International* (July 1996), p. 153.
3. R. DeJule, "Managing Etch and Implant Residue," *Semiconductor International* (August 1997): p. 60.
4. C. Gabriel, "Measuring and Controlling Gate Oxide Damage from Plasma Processing," *Semiconductor International* (July 1997): p. 151.
5. Y. Lii, "Etching," p. 364.
6. Adapted from G. Oehrlein and J. Rembetski, "Plasma-Based Dry Etching Techniques in the Silicon Integrated Circuit Technology," *IBM Journal of Research & Development* vol. 36, no. 2 (Armonk, NY: March 1992): p. 140.
7. S. Wolf and R. Tauber, *Silicon Processing for the VLSI* Era—Vol. 1, *Process Technology*, (Sunset Beach: Lattice Press, 1986), p. 545.
8. Ibid.
9. Ibid., p. 569.
10. Ibid., p. 700.
11. P. Singer, "New Frontiers in Plasma Etching," *Semiconductor International* (July 1996): p. 153.
12. Ibid., p. 154.
13. Y. Lii, "Etching," p. 349.
14. Ibid.
15. Y. Ye et al., "0.35-Micron and Sub-0.35 Micron Metal Stack Etch in a DPS Chamber—DPS Chamber and Process Characterization," *Proceedings of the Eleventh International Symposium on Plasma Processing* vol. 96-12 ed. G. Mathad and M. Meyyappan (Pennington, NJ: The Electrochemical Society, 1996), p. 222.
16. G. Oehrlein, "Reactive Ion Etching," *Handbook of Plasma Processing Technology* ed. S. Possnagel, J. Cuomo, and W. Westwood (Park Ridge, NJ: Noyes Publishing, 1990).
17. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Vol. 1—*Process Technology* p. 697.
18. J. Baliga, "Vacuum Pump Designs Adjust to Harsher Conditions," *Semiconductor International* (October 1997): p. 87.
19. P. Singer, "Vacuum Pumping in Etch and CVD," *Semiconductor International* (Septem-ber 1995): p. 78.
20. S. Tandon, "Challenges for 300 mm Plasma Etch System Development," *Semiconductor International* (March 1998): p. 78.
21. Ibid.
22. P. Singer, "The Many Challenges of Oxide Etching," *Semiconductor International* (June 1997): p. 110.
23. B. El-Kareh, *Fundamentals*, p. 326.

24. Ibid., p. 327.

25. P. Singer, "Many Challenges of Oxide Etching," p. 110.

26. S. Wolf and R. Tauber, *Silocon Processing for the VLSI Era*—Vol. 1, *Process Technology*, p. 556.

27. Y. Wang et al., "High-Selectivity Silicon Nitride Etch Process *Semiconductor International* (July 1998): p. 238.

28. Y. Lii, "Etching," p. 357.

29. S. Tandon, "Challenges for 300 mm,"p. 80.

30. Y. Lii, "Etching," p. 355.

31. Adapted from S. Tandon, "Challenges for 300 mm," p. 80.

32. B. El-Kareh, *Fundamentals*, p. 330.

33. R. DeJule, "Managing Etch and Implant Residue," p. 58.

34. Y. Lii, "Etching," p. 360.

35. D. Taylor, "Wet-Etch Process Improvements Through SPC," *Solid State Technology* (July 1998): p. 119.

36. J. Rembetski, W. Rust, and R. Shepherd, "The Removal of Hard Masks in Semiconductor Processing," *Solid State Technology* (March 1995): p. 68.

37. P. Singer, "Plasma Ashing Moves into the Mainstream," *Semiconductor International* (August 1996): p. 84.

38. Ibid.

39. C. Cheng and J. Oncay, "A Downstream Plasma Process for Post-Etch Residue Cleaning," *Semiconductor International* (July 1995): p. 185.

40. G. Herdt, P. Gillespie, and Y. Wasserman, "Characterization of Damage from Dry Ashing and Residual Removal," *Semiconductor International* (November 1997): p. 80.

41 .R. DeJule, "Managing Etch," p. 58.

第17章　离子注入

本征硅的晶体结构由硅的共价键形成。第2章曾提到，本征硅的导电性能很差。只有当硅中加入少量杂质，使其结构和电导率发生改变时，硅才成为一种有用的半导体。这个过程被称为掺杂。硅掺杂是制备半导体器件中pn结的基础，而离子注入是最重要的掺杂方法。

掺杂被广泛应用于硅片制造的全过程。杂质进入到器件中，可以改变器件的电学性能。硅芯片需要掺杂IIIA族和VA族的杂质，其原因各不相同，将在本章中进行讨论。

芯片特征尺寸的不断减小和集成度的增加，迫使各种器件不断缩小。减小多晶硅栅长以获得更窄的沟道区就是一个例子。沟道长度的减小要求源漏结的掺杂区更浅，在0.18 μm和更微细的芯片中，要采用超浅的结深设计。0.1 μm CD的器件要求结深减小到30 ± 10 nm。[1]

目标

通过本章的学习，你将能够：

1. 解释掺杂在硅片制造过程中的目的和应用。
2. 讨论杂质扩散的原理和过程。
3. 对离子注入有一个总体的认识，包括它的优缺点。
4. 讨论剂量和射程在离子注入中的重要性。
5. 列举并描述离子注入机的5个主要子系统。
6. 解释离子注入中的退火效应和沟道效应。
7. 描述离子注入的各种应用。

17.1　引言

掺杂是把杂质引入半导体材料的晶体结构中，以改变它的电学性能（如电阻率）的一种方法。第2章讨论过，IIIA族和VA族的一些元素可以作为硅片制造过程中的杂质。表17.1中特别指出了半导体制造最常用的4种杂质。

表17.1　半导体制造常用杂质

受主杂质 IIIA族 （p型）		半导体 IVA族		施主杂质 VA族 （n型）	
元素	原子序数	元素	原子序数	元素	原子序数
硼	5	碳	6	氮	7
铝	13	硅	14	磷	15
镓	31	锗	32	砷	33
铟	49	锡	50	锑	51

注：加阴影的是常用杂质

掺杂的杂质不能与沾污的杂质混淆。把杂质引入硅和其他半导体材料的原因有很多。例如，硼和磷这样的杂质可以用来形成硅器件中的多数载流子，可以形成硅片中的导电层，也可以改变材料的性能（比如向 SiO_2 中掺杂以形成硼磷硅玻璃，即BPSG）。多晶硅栅电极的电导率提高也是通过掺杂。

在晶片制造中，有两种方法可以向硅片中引入杂质元素，即热扩散和离子注入。热扩散利用高温驱动杂质穿过硅的晶格结构，这种方法受到时间和温度的影响。离子注入通过高压离子轰击把杂质引入硅片。杂质通过与硅片发生原子级的高能碰撞，才能被注入。在半导体制造刚刚开始的阶段，热扩散是晶片掺杂的主要手段。然而，随着特征尺寸的不断减小和相应的器件缩小，现代晶片制造中几乎所有掺杂工艺都是用离子注入实现的（见图 17.1）。表 17.2 概括了一些标准工艺，其中包括广泛使用的离子注入掺杂和为数不多的扩散掺杂。图17.1显示了这些方法的掺杂区在一个CMOS反相器中分布的截面图，掺杂的类型（p或n）和浓度（－或＋）也同时显示。掺杂区被标明 A 到 O，与表 17.2 相对应。

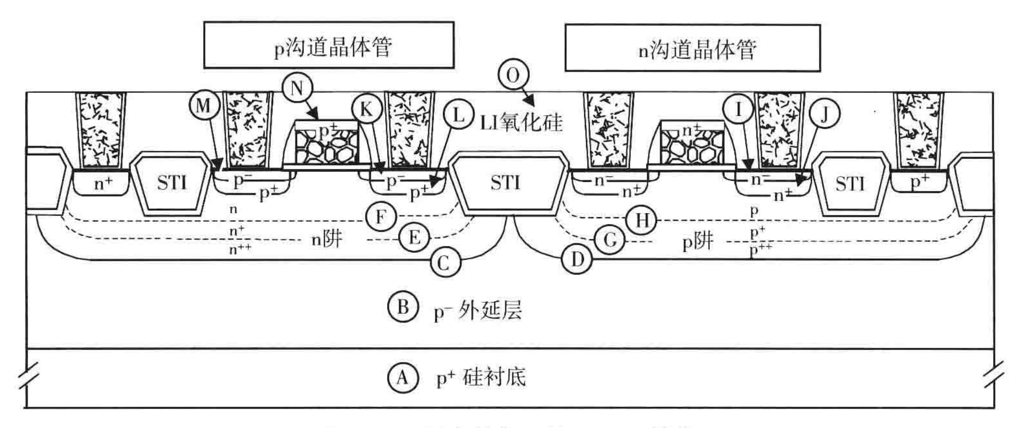


图 17.1　具有掺杂区的 CMOS 结构

表 17.2*　CMOS 制作中的一般掺杂工艺

工艺步骤	杂质种类	离子注入或扩散	备注
A. p^+硅衬底	B	扩散	单晶硅在生长过程中掺杂
B. p^-外延层	B	扩散	外延层在外延硅生长中扩散掺杂
C. 倒掺杂 n 阱	P	离子注入	倒掺杂阱的杂质浓度峰值在一定深度处，越接近表面浓度越小
D. 倒掺杂 p 阱	B	离子注入	倒掺杂阱的杂质浓度峰值在一定深度处
E. p 沟道器件穿通	P	离子注入	注入P以防漏区电场穿过p型沟道区到达源区
F. p 沟道器件阈值电压（V_T）调整	P	离子注入	注入 P 调整 MOS 阈值电压
G. n 沟道器件穿通	B	离子注入	注入 B 以防漏区电场穿过 n 型沟道区到达源区
H. n 沟道器件阈值电压（V_T）调整	B	离子注入	注入 B 调整 MOS 阈值电压
I. n 沟道器件轻掺杂漏区（LDD）	As	离子注入	在临近n沟道的区域小剂量注入砷，减小电场峰值和热载流子效应，减少栅氧化物界面电荷
J. n 沟道器件源漏区	As	离子注入	大剂量注入砷，形成n沟道器件的源漏区
K. p 沟道器件 LDD	BF_2	离子注入	在临近p沟道的区域小剂量注入硼，改进漏区和沟道区之间的电学性能

（续表）

工艺步骤	杂质种类	离子注入或扩散	备注
L. p沟道器件源漏区	BF_2	离子注入	大剂量注入硼，形成p沟道器件的源漏区
M. 硅	Si	离子注入	注入非杂质原子使硅非晶化，减小穿通增强扩散（TED）和沟道效应
N. 多晶硅掺杂	P或B	离子注入或扩散	多晶硅栅电极掺杂减小电阻
O. SiO_2掺杂	P或B	离子注入或扩散	氧化物掺杂获得材料的优点（如更好的流动性和杂质捕获能力）

*引自E.Rimini, *Ion Implantation: Basics to Device Fabrication*,(Boston: Kluwer Academic Publishers,1995)

在一般的工艺流程中，离子注入通常在光刻之后（见图17.2）。也有一些工艺用刻蚀的氧化层作为扩散掺杂或离子注入的掩膜，此时硅片就由刻蚀流到扩散或离子注入。由于能够实现更小的尺寸，离子注入在芯片性能的改进方面起着至关重要的作用。晶体管的性能受掺杂剖面的影响越来越大，离子注入也就成为惟一能够精确控制掺杂的手段。

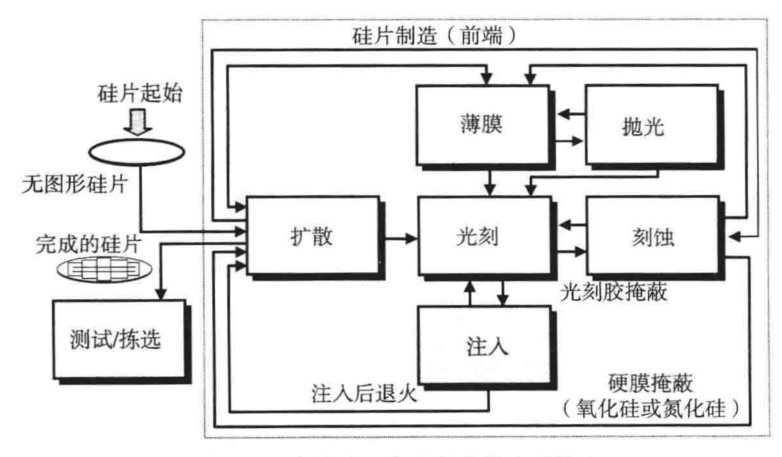


图17.2 在硅片工艺流程中的离子注入

17.1.1 掺杂区

第4章曾指出，硅片在晶体生长过程中被掺入了杂质原子，从而形成了p型和n型硅片，杂质的类型由制造商决定。在硅片制造过程中，有选择地引入杂质能够在硅片上产生器件。这些杂质通过硅片上的掩膜窗口，进入硅的晶体结构中，形成掺杂区（见图17.3）。掺杂区的杂质剖面决定了实际掺杂量与深度的关系，因而可以表示掺杂区的特性。

杂质原子通过氧化物掩膜窗口进入固态硅。离子注入中，这个掩膜通常是光刻胶，但由于它是一个低温工艺，也可以使用其他一些掩膜。扩散掺杂是在高温炉中进行的，所以需要氧化物或氮化物作为掩膜。

掺杂区的类型可以与硅片的类型相反，如p型硅片中可以有n型掺杂区，也可以与硅片的类型相同但杂质浓度不同（如p型硅片中的p^+重掺杂区）。掺杂区的类型由p型转变为n型的区域，或者相反的情况，就是pn结。硅片中p型杂质与n型杂质相遇的深度被称为结深，用x_j表示。深度等于结深的地方，电子与空穴的浓度相等，换句话说，在深度为x_j的地方净掺杂浓度为零。

硅片掺杂最受关注之处在于，整个工艺结束后器件中每一次掺杂的剖面情况。硅片在一套工艺中要经历多次高温过程，如氧化物生长和CVD等，每次高温过程都会造成杂质在硅中的扩散。

杂质扩散会改变原始掺杂区的参数（如结深和浓度）并影响器件性能。因此要使硅片经历的温度最低化。

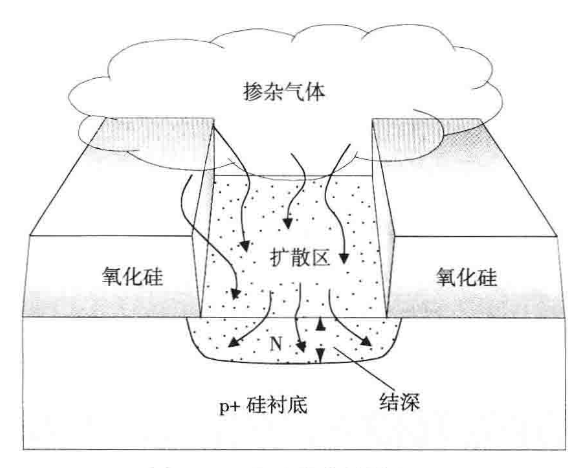


图 17.3 在硅片中的掺杂区

本章的主要目标是利用离子注入掺杂。我们将首先回顾一下扩散，以分析基本概念，解释硅片制造过程中发生的有意和无意的扩散。

17.2 扩散

扩散是物质的一个基本性质，描述了一种物质在另一种物质中运动的情况。原子、分子和离子的运动造成由浓度高的地方向浓度低的地方进行扩散。在半导体制造中，利用高温扩散驱动杂质穿过硅晶格。扩散分为三种，即气态、液态和固态。在一杯水中滴入食物着色剂，就是液态扩散的一个例子。这滴着色剂具有更高的浓度，因此开始迅速向水中扩散，并将一直持续到整杯水的颜色相同为止。把高浓度的杂质物质放入水中，同样会发生固态扩散。杂质物质也能够在硅晶格中扩散，穿过硅晶格。

17.2.1 扩散原理

硅中固态杂质的热扩散需要三个步骤：预淀积、推进和激活。在预淀积过程中，硅片被送入高温扩散炉，杂质原子从源转移到扩散炉内。炉温通常设为800到1100℃，持续10到30分钟。杂质仅进入了硅片中很薄的一层，且其表面浓度是恒定的。在硅表面上应生长一薄层氧化物（称为掩蔽氧化层）以防止杂质原子从硅中扩散出去。淀积的杂质原子总数用Q来表示。注意，对于离子注入来说（本章后面部分将进行讨论），Q指的是剂量和注入的杂质原子数。

预淀积为整个扩散过程建立了浓度梯度。表面的杂质浓度最高，并随着深度的加大而减小，从而形成梯度。这种梯度使杂质剖面得以建立，杂质剖面可以用四点探针进行绘制（参见第7章）。Fick定律用数学的方法描述了扩散过程：穿过一个截面的粒子数与浓度梯度成比例[2]。用Fick定律可以预测与表面的距离为x处的杂质浓度。

热扩散的第二步是推进。这是个高温过程（1000到1250℃），用以使淀积的杂质穿过硅晶体，在硅片中形成期望的结深。这个过程并不向硅片中增加杂质，但是高温环境下形成的氧化物会影响推进过程中杂质的扩散：一些杂质（如硼）趋向于进入生长的氧化物层，而另一些杂质（如磷）会被推离SiO_2。这种由硅表面氧化引起的杂质浓度改变被称为再分布。

热扩散的第三步是激活。这时的温度要稍微升高一点，使杂质原子与晶格中的硅原子键合。这个过程激活了杂质原子，改变了硅的电导率。

■ 杂质移动 每一种杂质在硅中都有一定的扩散率。扩散率表示杂质在硅片中的移动速度，扩散率越高，杂质移动得越快。扩散率随着温度的升高而增大，它们的关系可以用扩散系数D表示。在整个推进阶段的温度范围内，杂质具有不同的扩散系数，反映出它们在硅中扩散的快慢。把扩散系数用于Fick定律，可以预测杂质在硅中的最终浓度。

在硅片中，杂质原子的扩散有两种机制：间隙式和替代式（见图17.4）。具有高扩散率的杂质，如金（Au）、铜（Cu）和镍（Ni），容易利用间隙运动在硅的晶格空隙中移动。移动速度较慢的杂质，如半导体掺杂常用的砷（Ar）和磷（P），通常利用替代运动填充晶格中的空位。

杂质只有在成为硅晶格结构的一部分，即被激活杂质后，才有助于形成半导体硅。一个被激活的杂质可以作为电子的施主或受主，也就是对于硅来说是n型或p型杂质。如果杂质占据间隙位置，它就没有被激活，不会起到杂质的作用。加热能使杂质移动到正常的晶格上，被称为晶体激活。激活发生在高温下，因而是扩散的一部分。对离子注入来说，晶体激活在退火阶段完成。

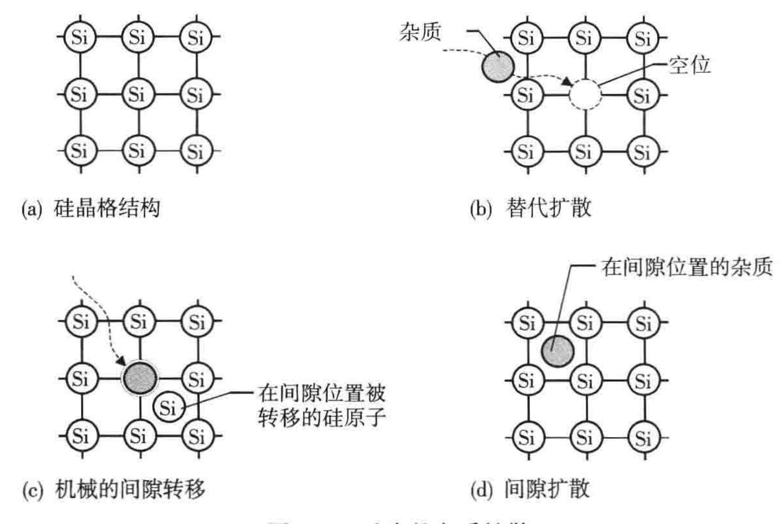


图17.4 硅中的杂质扩散

■ 固溶度 在一定温度下，硅能够吸收的杂质数量是一定的，被称为固溶度极限。这个极限适用于大多数物质，比如把盐倒入一个容器的水中，观察它的溶解。如果持续加盐达到一定量，水中溶解的盐达到极限而不再被溶解。每种确定的杂质都有一个固溶度极限（见表17.3）。应该注意的是，硅中的杂质只有一部分被真正激活，并提供用于导电的电子或空穴（大约3%～5%）[3]。大多数杂质仍然处在间隙位置，没有被电学激活。

表17.3* 1100˚C下硅中的固溶度极限

杂质	固溶度极限（atoms/cm³）
砷（As）	1.7×10^{21}
磷（P）	1.1×10^{21}
硼（B）	2.2×10^{20}
锑（Sb）	5.0×10^{19}
铝（Al）	1.8×10^{19}

*SEMATECH "Diffusion Processes," *Furnace Processes and Related Topics*(Austin, TX: SEMATECH,1994), p.15

■ **横向扩散**　由于光刻胶无法承受高温过程，扩散的掩膜都是二氧化硅(SiO_2)或氮化硅(Si_3N_4)。当原子扩散进入硅片，它们向各个方向运动：向硅的内部、横向和重新离开硅片。如果杂质原子沿硅片表面方向迁移，就发生了横向扩散。热扩散中的横向扩散通常是纵向结深的75%～85%。[4] 先进的MOS电路不希望发生横向扩散，因为它会导致沟道长度的减小，影响器件的集成度和性能。

17.2.2　扩散工艺

扩散工艺的目的是使待扩散的杂质与硅片接触，在一定的温度和时间下保证扩散的发生。在第10章已经讨论过，扩散发生在高温扩散炉中。通常，一个高温炉被用于预淀积、推进和激活等步骤。石英管和扩散炉的其他部分应该与别的高温过程相分离，以防相互污染。

扩散应该在每批硅片之间产生可重复的结果。在硅片制备过程中，完成扩散过程需要有8个步骤：

1. 进行质量测试以保证工具满足生产质量标准。
2. 使用批控制系统，验证硅片特性。
3. 下载包含所需扩散参数的工艺菜单。
4. 开启扩散炉，包括温度分布。
5. 清洗硅片并浸泡氢氟酸，去除自然氧化层。
6. 预淀积：把硅片装入扩散炉，扩散杂质。
7. 推进：升高炉温，推进并激活杂质，然后撤出硅片。
8. 测量、评价、记录结深和电阻。

前六个步骤是为第七步推进过程中的扩散做的准备。质量测试是对扩散炉进行的。这个测试以颗粒和其他特定标准来确定工具的生产效能。一旦工具有足够高的生产效能，就要确定合适的硅片数量，下载适当的工艺菜单到扩散炉。做出温度分布，以证明炉温对于即将进行的工艺是否正确。在生产中，每个炉子进行某一特定的工艺步骤，并保持精确的温度分布。

■ **硅片清洗**　硅片的清洗是非常严格的，因为污染物能够阻碍杂质原子向硅片中扩散。硅片在送入炉子之前应进行清洗，使沾污(如自然氧化物)达到最少。清洗通常包括在酸和氧化剂中浸泡，然后用HF溶液侵蚀去除残留的氧化物，被称为漂洗(参见第6章)。

■ **杂质源**　虽然在早期的半导体业纯杂质元素被用做杂质源，但它们并不适用于亚微米IC制造。例如，硼和磷在室温、低蒸气压下是固态的，很难融化或蒸发。用固态杂质源也很难控制杂质浓度。杂质通常由化合物的气态或液态源提供。一些最常用的杂质在表17.4中列出。

表17.4　扩散常用杂质源

杂质	杂质源	化学名称
砷(As)	AsH_3	砷烷(气体)
磷(P)	PH_3	磷烷(气体)
磷(P)	$POCl_3$	三氯氧磷(液体)
硼(B)	B_2H_6	乙硼烷(气体)
硼(B)	BF_3	三氟化硼(气体)
硼(B)	BBr_3	三溴化硼(液体)
锑(Sb)	SbC_{15}	五氯化锑(固体)

*SEMATECH "Diffusion Processes," *Furnace Processes and Related Topics*(Austin, TX: SEMATECH,1994), p.7

携带气体(如氮气)通过液态源，使其以蒸气的形式传输到炉子中。氧气用于杂质源能够反应形成氧化物。例如，氧化硼与硅发生二次反应，在硅片表面形成富硼二氧化硅层，可以作为预淀积的局域性硼源。下面两个反应式说明了乙硼烷源是如何转化成硼杂质的[5]：

反应1：B_2H_6（气体）+ $3O_2$（气体）→ B_2O_3（固体）+ $3H_2O$（液体）

反应2：$2B_2O_3$（固体）+ 3Si（固体）→ 4B（固体）+ $3SiO_2$（固体）

气态源通过流量计直接从气体钢瓶送入炉子。杂质在气体钢瓶中被惰性气体稀释，有利于防止系统被腐蚀和控制气体流量。可以使用过滤器防止细微颗粒进入炉子。一些扩散源有剧毒，特别是气态源。常用杂质源中毒性最大的是 AsH_3 和 B_2H_6。随时应该保证适当的储藏和应用，特别要防止漏气。

17.3 离子注入

离子注入是一种向硅衬底中引入可控制数量的杂质，以改变其电学性能的方法。它是一个物理过程，即不发生化学反应。离子注入在现代硅片制造过程中有广泛应用（见表17.2），其中最主要的用途是掺杂半导体材料。每一次掺杂对杂质的浓度和深度都有特定的要求。离子注入能够重复控制杂质的浓度和深度，因而在几乎所有应用中都优于扩散。它已经成为满足亚0.25微米特征尺寸和大直径硅片制作要求的标准工艺（见图17.5）。

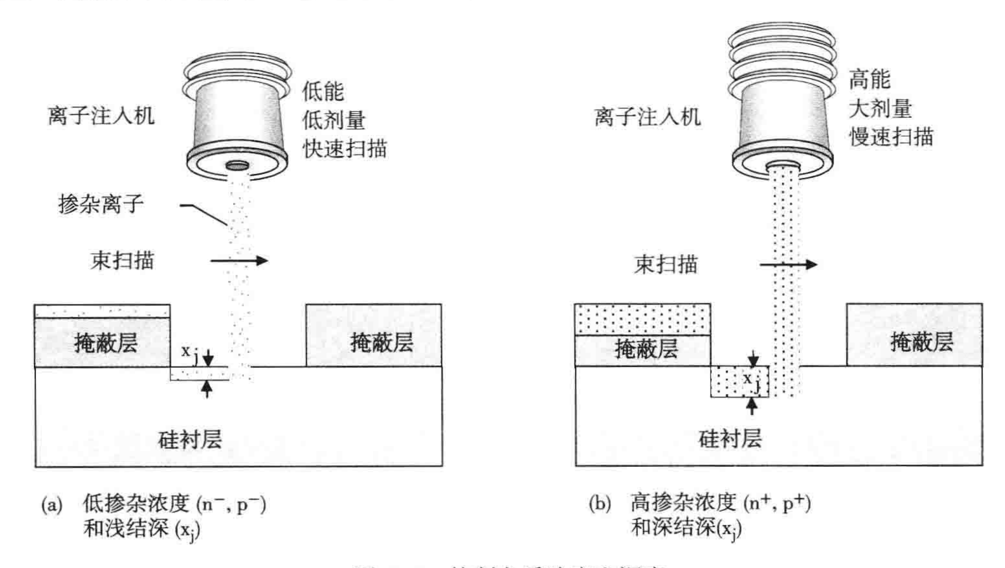


图17.5 控制杂质浓度和深度

17.3.1 概况

离子注入工艺在离子注入机内进行，它是半导体工艺中最复杂的设备之一（见图17.6）。注入机包含离子源部分，它能从源材料中产生带正电荷的杂质离子。离子被吸出，然后用质量分析仪将它们分开以形成需要掺杂离子的束流。束流中离子的数量与希望引入硅片的杂质浓度有关。离子束在电场中加速，获得很高的速度（10^7 cm/s数量级）[6]，使离子有足够的动能注入到硅片的晶格结构中。束流扫描整个硅片，使硅片表面均匀掺杂。注入之后的热退火过程将激活晶格结构中的杂质离子。所有的注入工艺都是在高真空下进行的。

亚0.25 μm工艺的注入过程有两个主要目标：

1. 向硅片中引入均匀、可控制数量的特定杂质。
2. 把杂质放置在希望的深度。

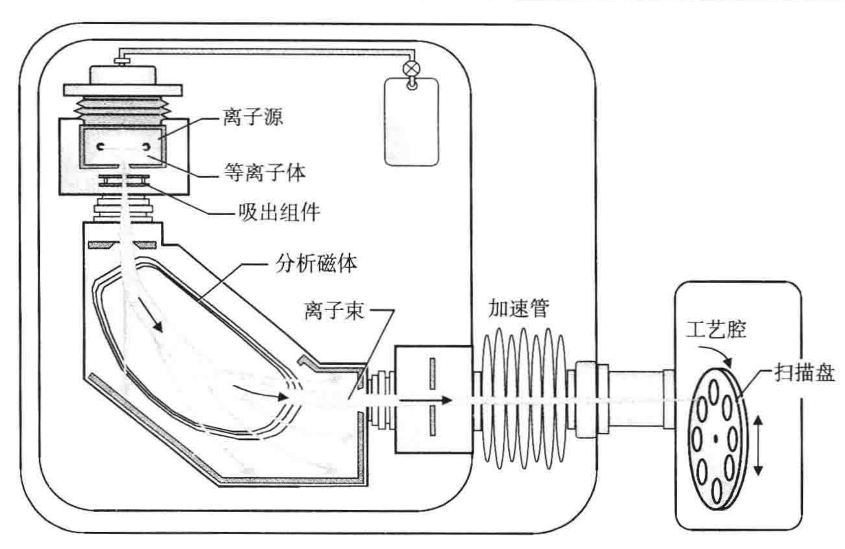
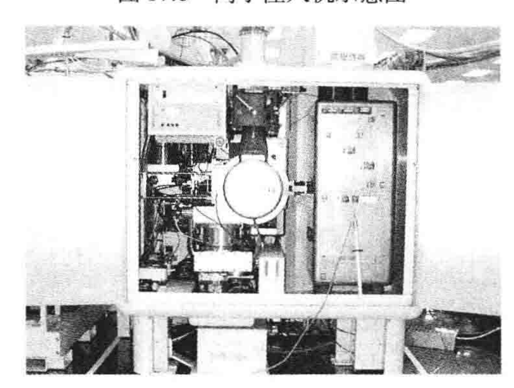


图 17.6　离子注入机示意图



离子注入机

（承蒙Varian Semiconductor Equipment允许使用VIISion 80照片）

■ **离子注入的优点**　离子注入的主要优点在表 17.5 中列出。这些优点增大了 0.25 μm 技术的工艺灵活性。

表 17.5　离子注入的优点

优点	描述
1. 精确控制杂质含量	能在很大范围内精确控制注入杂质浓度，从10^{10}到10^{17}ions/cm^2（离子每平方厘米），误差在 ± 2%之间。扩散在高浓度控制杂质含量误差在5%到10%以内，但浓度越小误差越大
2. 很好的杂质均匀性	用扫描的方法控制杂质的均匀性
3. 对杂质穿透深度有很好的控制	通过控制注入过程中离子能量控制杂质的穿透深度，增大了设计的灵活性，如埋层，最大杂质浓度在埋层里，最小浓度在硅片表面
4. 产生单一离子束	质量分离技术产生没有沾污的纯离子束。不同的杂质能够被选出进行注入。高真空保证最少沾污
5. 低温工艺	注入在中等温度（小于 125°C）下进行，允许使用不同的光刻掩膜，包括光刻胶
6. 注入的离子能穿过薄膜	杂质可以通过薄膜注入，如氧化物或氮化物。这就允许MOS晶体管阈值电压调整在生长栅氧化层之后进行。增大了注入的灵活性
7. 无固溶度极限	注入杂质含量不受硅片固溶度限制

■ 离子注入的缺点 离子注入的主要缺点是，高能杂质离子轰击硅原子将对晶体结构产生损伤。当高能离子进入晶体并与衬底原子碰撞时，能量发生转移，一些晶格上的硅原子被取代。这个反应被称为辐射损伤。大多数甚至所有的晶体损伤都能用高温退火进行修复。

注入的另一个缺点是注入设备的复杂性。然而，这一缺点被注入机对剂量和深度的控制能力及整体工艺的灵活性弥补。

17.3.2 离子注入参数

离子注入是一种灵活的工艺，必须满足严格的芯片设计和生产要求。重要的离子注入参数有：

- 剂量
- 射程

■ 剂量 剂量（Q）是单位面积硅片表面注入的离子数，单位是原子每平方厘米（也可以是离子每平方厘米）。Q 可由下面的公式计算：

$$Q = \frac{It}{enA}$$

其中，Q = 剂量，单位是原子每平方厘米

I = 束流，单位是库仑每秒（安培）

t = 注入时间，单位是秒

e = 电子电荷，等于 1.6×10^{-19} 库仑

n = 离子电荷（比如 B^+ 等于 1）

A = 注入面积，单位是 cm^2

离子注入成为硅片制造的重要技术，其主要原因之一是它能够重复向硅片中注入相同剂量的杂质。注入机是借助离子的正电荷实现此目的的。当正杂质离子形成离子束，它的流量被称为离子束电流，单位是毫安（mA）。中低电流的范围从 0.1 mA 到 10 mA，大电流的范围从 10 mA 到 25 mA。如上面的公式所示，离子束电流的量级是定义剂量的一个关键变量。如果电流增大，单位时间内注入的杂质原子数量也增大。大电流有利于提高硅片产量（单位生产时间注入更多离子），但也会产生均匀性问题。

■ 射程 离子射程指的是离子注入过程中，离子穿入硅片的总距离。认识射程的特性，必须首先理解能量的概念。当离子由于电势差加速时，它们就获得了能量。离子是运动的，所以它们的能量是动能（KE），常用单位是焦耳。然而，离子注入中的能量一般用电子电荷与电势差的乘积，即电子伏特（eV）来表示。描述这种能量的公式为：

$$KE = nV$$

其中，KE = 能量，单位是电子伏特（eV）

n = 离子的电荷状态，（即“+” = 1，“+ +” = 2）

V = 电势差，单位是伏特

例如，如果带一个正电荷的离子在电势差为 100 000 伏特（100 kV）的电场中运动，它的能量就是：

$$\begin{aligned} KE &= nV \\ &= (1)(100\ kV) \\ &= 100\ keV \end{aligned}$$

注入机的能量越高，意味着杂质原子能穿入硅片越深，射程越大。由于控制结深就是控制射程，所以能量是注入机的一个很重要的参数。高能注入机的能量大于200 keV，甚至达到2~3 MeV。高能注入用于倒梯度阱和倒梯度三阱（见表17.6）。倒梯度阱中，较深处的掺杂浓度大于表面的。超低能量注入机的能量目前已经下降到约200 eV，能够掺杂非常浅的源漏区[7]。

表17.6　注入机分类

注入机分类	描述和应用
中低电流	● 高纯离子束，电流大于10 mA ● 束流能量一般小于180 keV ● 多数情况下硅片固定，扫描离子束 ● 穿通注入专用
大电流	● 产生的离子束电流大于10 mA，大剂量注入最大能到25 mA ● 离子束能量通常小于120 keV ● 大多数情况下离子束固定，硅片扫描 ● 超浅源漏区注入的超低能束流（200 eV到4 keV）
高能	● 束流能量超过200 keV，最高达到几个MeV ● 向沟槽或厚氧化层下面注入杂质 ● 能形成倒掺杂阱和埋层
氧注入机	● 大电流系统用于半导体上硅（SOI）的氧注入

投影射程R_p是注入离子在硅片中穿行的距离，决定于离子质量和能量、靶的质量和离子束相对于硅片晶体结构的方向（见图17.7）[8]。但是并非所有的离子都恰好停止在投影射程上，有的穿行距离近些，有的距离远些。离子也会在横向移动。综合所有这些离子运动，就产生了注入硅片的杂质原子穿行的距离分布，即偏差ΔR_p。R_p表示可以形成多深的结，而ΔR_p表示被注入元素在R_p附近的分布。随着杂质原子的注入能量增加，投影射程将增加，但杂质浓度的峰值会因偏差的增加而降低。投影射程图能够预测一定注入能量下的投影射程（见图17.8）。

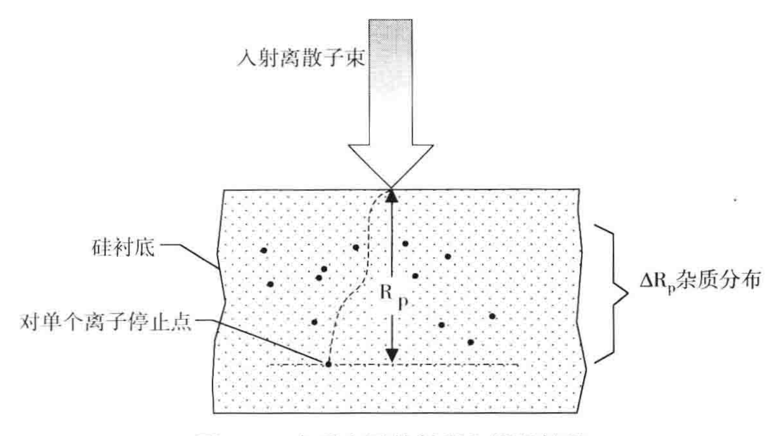


图17.7　杂质离子的射程和投影射程

注入离子在穿行硅片的过程中与硅原子发生碰撞，导致能量损失，并最终停止在某一深度（见图17.9）。两个主要能量损失机制是电子阻碍和核阻碍[9]。电子阻碍是杂质原子与靶材料的电子发生反应造成的，此过程与厚介质阻碍弹射类似，如小孩子在塑料球堆中跳跃。核阻碍是由于杂质原子与硅原子发生碰撞，造成硅原子的移位。这个过程可以形象化为两个硬球之间的碰撞。注入原子在停止之前能够使10^4个硅原子发生移位，这个数目决定于离子的质量和能量[10]。

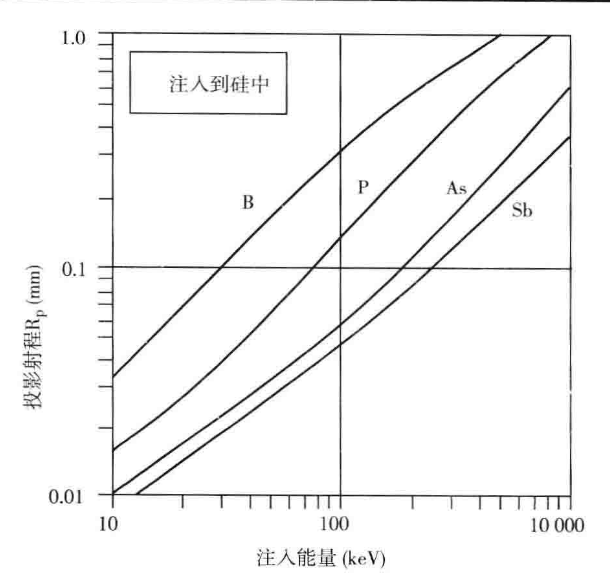


图 17.8 注入能量对应投影射程图

（引自 B.EI-Kareh,*Fundamentals of Semiconductor Processing Technologies*,(Boston: Kluwer,1995), p.388）

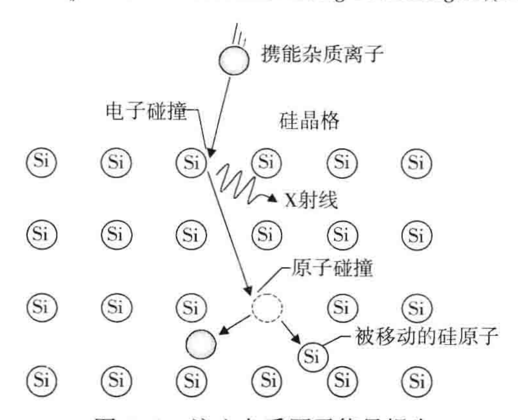


图 17.9 注入杂质原子能量损失

杂质在硅原子间穿过，会在晶格中产生一条受损害的路径，损伤的情况决定于杂质离子的轻重（见图 17.10）。轻杂质原子擦过硅原子，转移的能量很少，沿大散射角方向偏转。重离子每次与硅原子碰撞都会转移许多能量，并沿相对较小的散射角度偏转。每个移位硅原子也会产生大数量的移位。

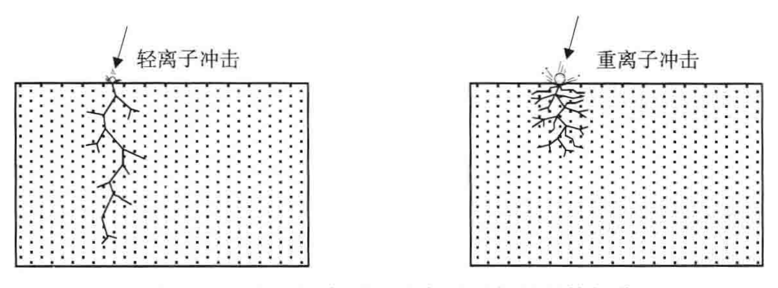


图 17.10 由于轻离子和重离子引起的晶体损伤

17.4　离子注入机

离子注入设备包含以下 5 个部分：

- 离子源
- 引出电极（吸极）和离子分析器
- 加速管
- 扫描系统
- 工艺室

离子源和引出装置通常被放置在同一个真空腔内（见图 17.11）。离子源从气态或固态杂质中产生正离子。引出装置的环形电极利用负高压电场把正离子拖出离子源。引出装置的机电控制部分在离子源的等离子腔体前面。在较老式的离子注入机中，控制能够在操作面板上手工调整。如今，这些控制由工艺菜单进行设置，并由内部计算机软件保存。

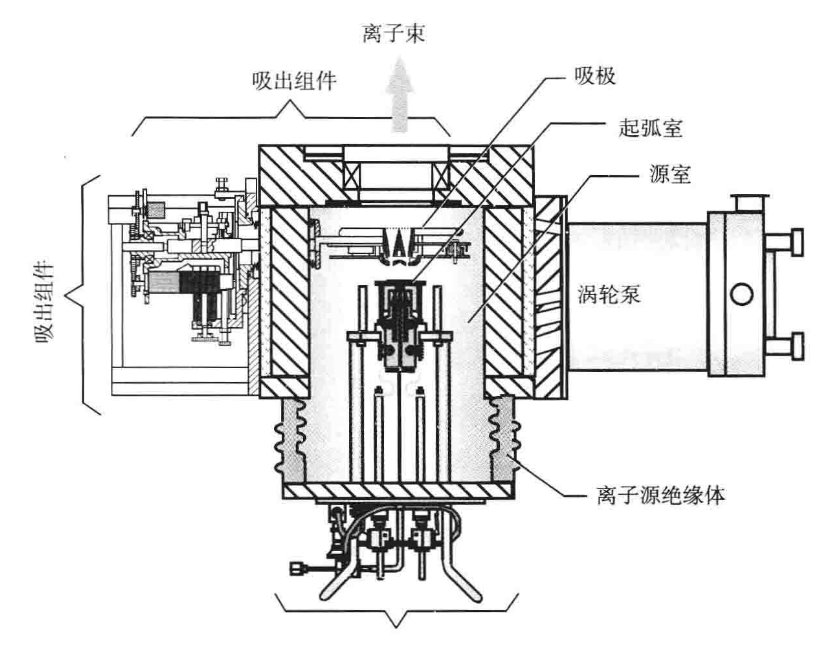


图 17.11　离子源和吸极装配图

（承蒙 Applied Materials,Inc. 允许使用 Precision Implanter 9500）

17.4.1　离子源

待注入物质必须以带电粒子束或离子束的形式存在。离子本身带电，因此能够被电磁场控制和加速。注入离子在离子源中产生，正离子由杂质气态源或固态源的蒸气产生。通常用到的 B^+、P^+、As^+ 和 Sb^+ 都是电离原子或分子得到。最常用的杂质源物质有 B_2H_6、BF_3、PH_3 和 AsH_3 等气体。气体封装在一个相对较小的圆柱体中（0.4 到 2.2 升），用氢气稀释，以减小气体泄漏的危险。

另一种供应杂质材料的方法是加热并气化固态材料，这种方法有时被用于从固态小球中获得砷和磷 [11]。固态材料在 900℃左右气化，挥发的杂质原子被转移到离子源室。不加氢气进行稀释，可以产生更大的离子束电流。固态源的一个缺点是所需时间太长，大约需要 40 到 180 分钟，其中大部分时间用来加热和稳定蒸气。然而，从环境和安全角度出发，许多 IC 制造商更愿意使用固态离子源。

■ **离子产生** 通过电子轰击气体原子，离子源中会产生离子。电子通常由热钨丝源产生。Freeman离子源是一种最常用的电子源[12]：棒状阴极灯丝装在一个有气体入口的电弧释放室内。电弧室的侧壁是阳极，当气体进入时，灯丝通大电流，并在阴极和阳极之间加100伏电压，就会在灯丝周围产生等离子体。高能电子和气体分子发生碰撞，就产生了正离子。外部磁铁施加一个平行于灯丝的磁场，以增加电离并稳定等离子体。操作过程中，为保持等离子体的稳定，阴极和阳极间的电流及气体都要进行调整。Bernas离子源是Freeman离子源的一个变形：利用猪尾形灯丝和带负电的反射板，改进电子的产生和效率（见图17.12）。

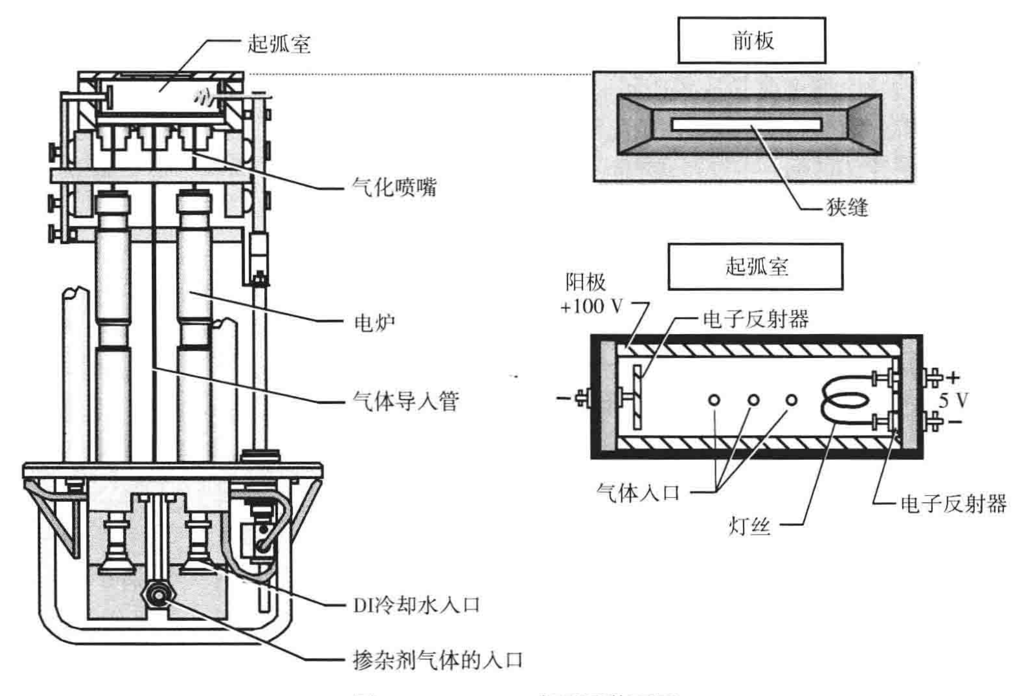


图 17.12 Bernas 离子源装配图
（承蒙 Applied Materials,Inc.允许使用 Precision Implanter 9500）

电子的轰击使气体分子分裂为不同种类的离子。单质形式下硼的蒸气压很低，需要2000°C的高温才能气化，所以三氟化硼（BF_3）是常用气体。BF_3的质量大于硼，扩散率小于硼，非常适合形成p型浅结。当BF_3被用做硼源时，离子源中会产生多种离子，包括B^+、$B_{10}{}^+$、$B_{11}{}^+$、BF^+、$BF_2{}^+$、F^+和$F_2{}^+$。希望注入到硅片的离子是B^+，离子束在通过分析器磁铁时，它能够被分离出来。

还有其他一些离子源的设计，如RF（射频）离子源、冷阴极源和微波离子源。RF源在磁场中激活气体分子，能够在较低的等离子温度下产生更高的离子束电流，同时也能延长离子源的寿命[13]。

17.4.2 吸极和离子分析器

传统注入机吸极系统收集离子源中产生的所有正离子，并使它们形成离子束。离子通过离子源上的一个窄缝得到吸引。它们受到吸引装置的电弧室（阳极）的正压排斥，以及吸引装置负压（阴极）的吸引（见图17.13）。由于正离子每个都带有正电荷就像小磁铁，它们被吸向负电场。电场强度越大，离子运动得越快，它的动能也越大，就能在硅片中穿行更长距离。吸极的负电压偏置还能阻止等离子体中的电子，使正离子形成离子束。负压偏置的抑制电极可以把离子束聚束成一个平行束流，使其通过注入机。这是为硅片提供大离子束电流的一个重要条件。

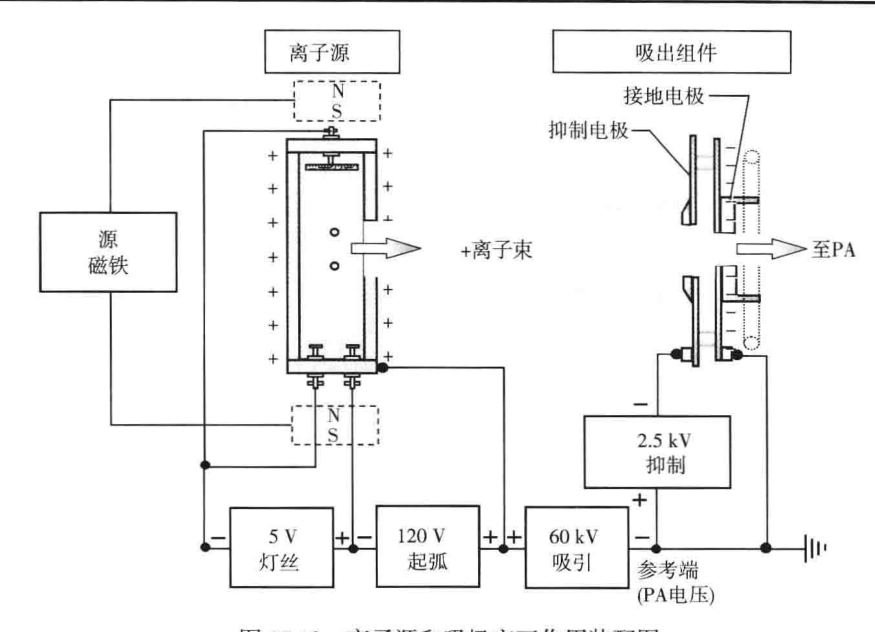


图 17.13 离子源和吸极交互作用装配图
（承蒙 Applied Materials,Inc.允许使用 Precision Implanter 9500）

■ **质量分析器磁铁** 从离子源中引出的离子可能包含许多不同种类的离子。它们在吸极电压的加速下，以很高的速度运动。离子束中的不同离子有着不同的原子质量单位（amu）。注入机中的磁性离子分析器能将需要的杂质离子从混合的离子束中分离出来。如图17.14所示，分析器磁铁形成90°角，其磁场使离子的轨迹偏转成弧形。对于一定的磁场强度，重离子不能偏转到合适的角度，而轻离子的偏转过大。只有一种离子能够发生恰当的偏转，顺利通过分析器磁铁的中心，这就是最终注入到硅片中的杂质。

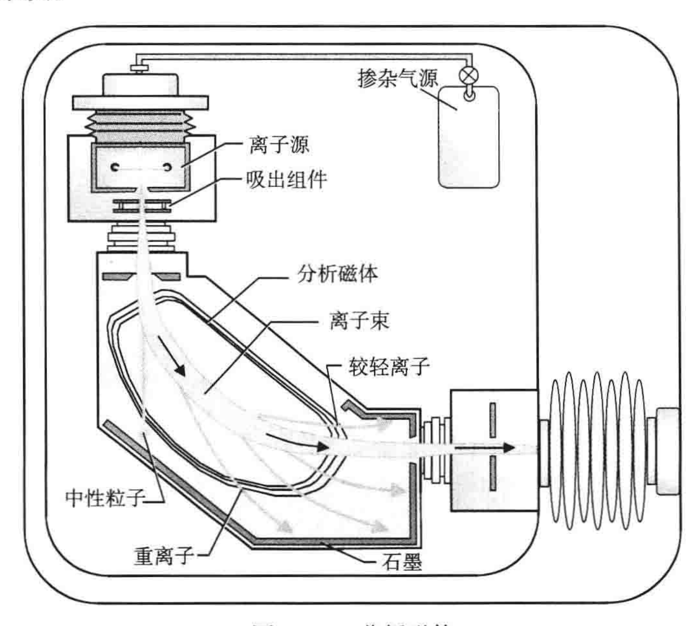
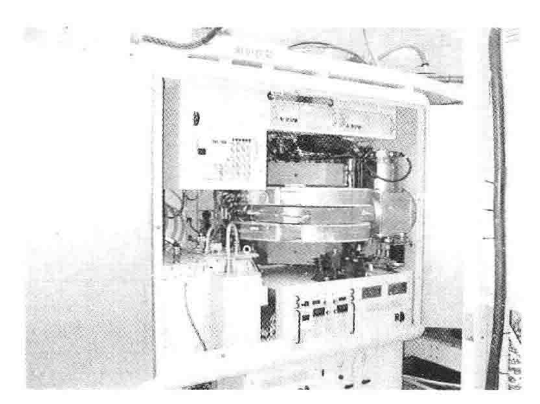


图 17.14 分析磁体

离子弧形轨迹的半径由离子质量、速度、磁场强度和离子所带电荷决定。磁场强度调整到与杂质离子的轨迹匹配，期望得到的杂质离子就能通过分析器末端的窄缝，其他离子则被分析器磁铁的侧壁阻挡。



离子注入机分析磁体

（承蒙 Varian Semiconductor Equipment 允许使用 VIISion 80 照片）

17.4.3 加速管

为了获得更高的速度（也就是能量），除了分析器磁铁，正离子还要在加速管中的电场下进行加速（见图 17.15）。加速管是一种线性设计，由一系列被介质隔离的电极组成，电极上的负电压依次增大。当正离子进入加速管时，它们就开始加速。电极间总的电压差将叠加在一起。总电压越高，离子的速度越大，即能量越大。高能量意味着杂质离子能够被注入到硅片更深处，而低能量可以被用于超浅结注入。图 17.16 表示了离子束能量与剂量的关系。

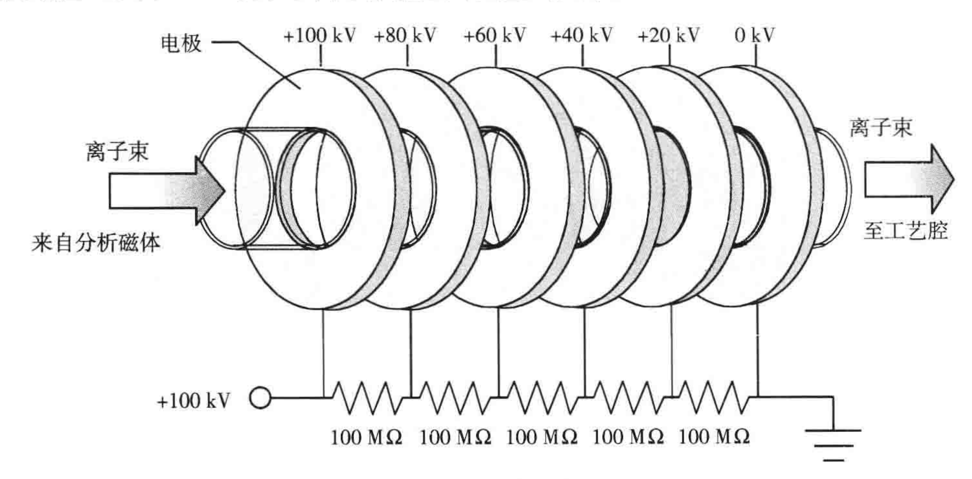


图 17.15 加速管

剂量与能量的关系图强调了能量（射程）和剂量（浓度）在离子注入中的重要性[14]。离子束能量定义了离子被注入到硅片的深度以及高能（200 keV 到几个 MeV）与低能（120 keV 到 200 eV）的差别。剂量直接与硅片中杂质的浓度有关，用离子束电流或束流中的离子数表示，射程从低到高（大于 15 mA）。注入机通常以最大离子束电流和加速电压进行划分。

■ 后加速器 在加速管的后加速器中，束流也会发生聚束。它通常采用二透镜系统中四柱型电极的四极透镜聚束，用静电或磁性排斥聚束离子束。

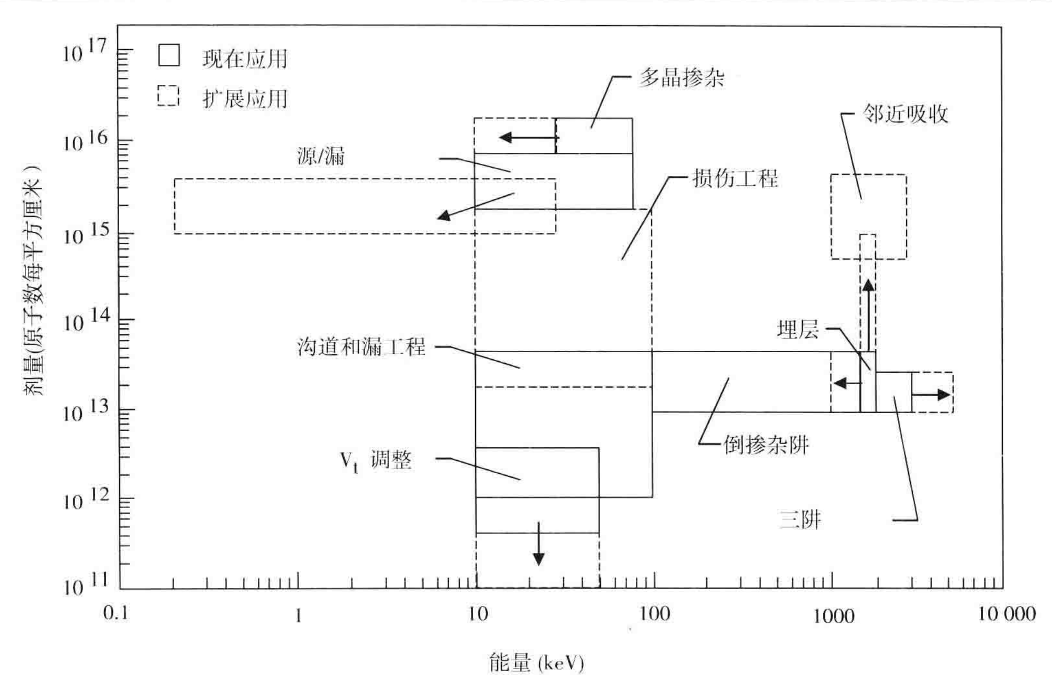


图 17.16　剂量与能量图

（承蒙 Varian Semiconductor Equipment 允许使用）

■ **大电流高能离子束**　高能注入机用于注入掩埋杂质层，如倒掺杂阱和三阱。大多数商用高能离子注入机采用线性加速器技术将离子加速到很高的速度，获得的能量超过200 keV，甚至达到MeV数量级[15]。大束流能够减少注入时间，提高产量。线性加速器由一组交替变换的高压电极（几十kV）和接地的四极聚束透镜组成（见图17.17）。高压电极和接地四极透镜之间的电压持续时间与杂质离子在其间隔内穿行的时间相匹配。离子在穿过这些间隔时得以加速，其最终能量将达到传统加速通道的20倍，避免了使用超高电压。在线性加速器的末端有一个弧形磁铁，能够保证形成单一离子、统一能量的离子束。这个附加的分析磁体通过去除所需核素以外的质量，也有助于消除束流沾污。

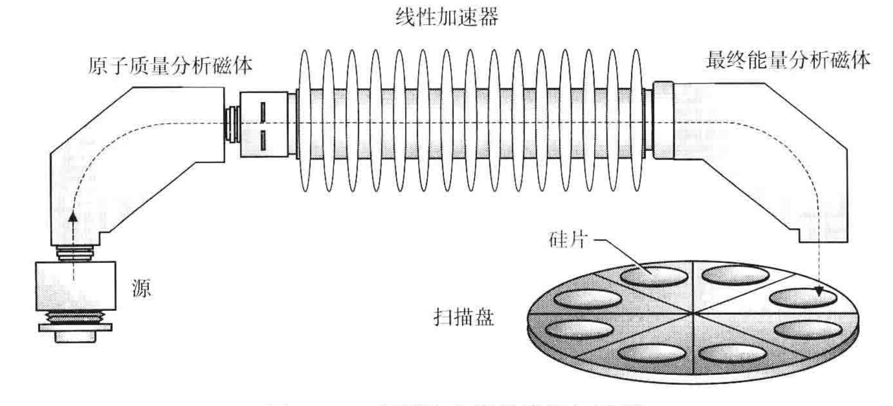


图 17.17　高能注入机的线性加速器

■ **大电流低能离子束**　对超浅结的需求促进了大电流低能离子束的发展。低能离子束中的离子速度很低，所以它们在硅片中的投影射程也非常浅。保证低能离子束具有很好的聚束特性很困难，因为离子束的尺寸很难控制，这种困难会随着电流的增大和能量的降低而更加显著。这就像保龄球

在球道上缓慢滚动一样，比快速滚动的球更容易向一边偏斜而滚出球道。获得大电流低能量离子流的一种方法是束流减速[16]。用这种方法，离子在从离子源中吸引出来的时候具有较高的能量，然后减速到希望的能量，而离子束电流不会损失。位于束线后方较远处的电极用来降低离子的能量。但是，如果高能离子同时穿过注入机，到达硅片，就会造成离子束能量的不统一。对这种方法的一种改进是使用差分透镜，它将较短的离子束路径和优化的光学系统结合起来，使离子束电流的损失最小化。

■ 空间电荷中和 由于电荷之间相互排斥，所以一束仅包括正电荷的离子束本身是不稳定的，容易造成离子束膨胀，即离子束的直径在行进过程中不断增大，最终导致注入不均匀。离子束扩大可以用二次电子中和正离子的方法缓解，被称为空间电荷中和。

当高能杂质离子在行进过程中撞击某些表面（如窄缝所在的面板或离子束监控装置）时，就会产生二次电子。由于在离子束路径上有包括吸极和加速电极在内的负偏压电极的作用，二次电子会融入到离子束中。二次电子在负偏压电极板之间弹来弹去，但不会离开离子束中的特定区域。这些电子能够中和离子束，阻止或减小离子束扩大（见图 17.18）。

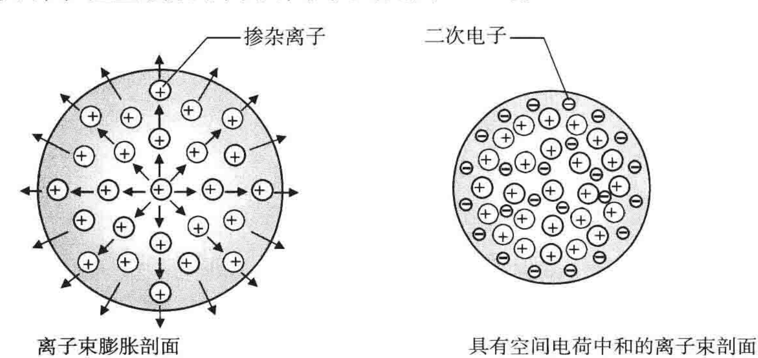


图 17.18 空间电荷中和

■ 中性束流陷阱 正电荷离子束在小于 10^{-6} 托的真空下形成，但仍然有残余的气体分子。当杂质离子与残留气体分子碰撞而获得一个电子时，就形成了中性离子。它们没有电荷，因而不能发生偏转，如果不能去除，将会被同时注入。中性束流陷阱就是利用偏转电极，使离子束在进入靶室前一段距离内发生偏转。由于中性离子不能被电极偏转，它们将继续直行，撞击到接地的收集板上（见图 17.19）。

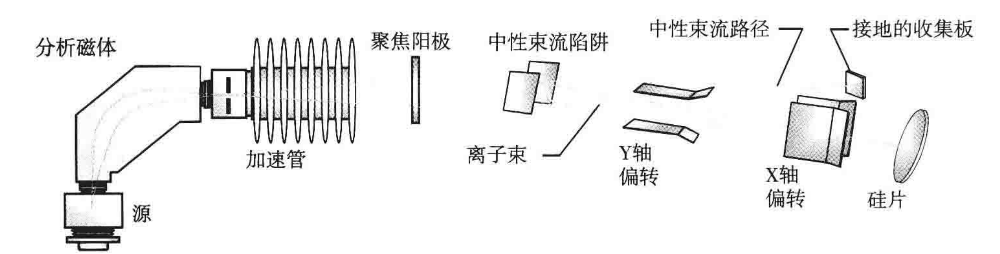


图 17.19 中性束流陷阱

（承蒙 Varian Semiconductor Equipment 允许使用）

17.4.4 扫描系统

注入机的目标是在成分和能量方面形成纯净的离子束。这种纯净的离子束被注入目标硅片。也就是说，离子束仅包含具有预定能级的希望得到的杂质离子。聚束离子束通常很小，中等电流的注

入机束斑约1 cm^2，大电流的约为3 cm^2，必须通过扫描覆盖整个硅片。扫描方式有两种：固定硅片，移动束斑；固定束斑，移动硅片。扫描在剂量的统一性和重复性方面起着关键作用。

一般来说，中低电流注入机使用的是固定硅片的方法，大电流注入机使用的是固定束斑的方法。注入机中的扫描系统有以下几个不同种类：

- 静电扫描
- 机械扫描
- 混合扫描
- 平行扫描

■ **静电扫描**　静电扫描在一套X-Y电极上加特定电压，使离子束发生偏转，注入到固定的硅片上（见图17.20）。当一边电极被设为负压时，正离子束就会向此电极方向偏转。把两组电极放于合适位置，并连续调整电压，偏转的离子束就能扫描整个硅片。这种扫描方式就像在一个表面上喷油漆，需要来回喷几次才能均匀覆盖整个表面。静电扫描使束斑每秒在横向（x轴）移动15 000次，在纵向（y轴）移动1200次。硅片边缘的均匀性必须特别注意，因为在边缘处扫描实际上是停止后折回的。在静电扫描系统中，可以旋转硅片，并使其相对于离子束有一定倾斜，以获得所需的结特性并减小沟道效应。

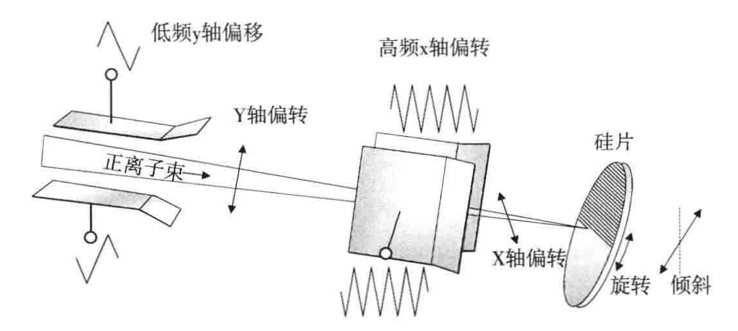


图 17.20　硅片的静电离子束扫描

中低电流的注入设备通常一次注入一个硅片。低电流注入中，为了得到一致的剂量，硅片可能被扫描7到10秒钟。注意，用电磁场能够获得与静电相同的效果。

由于在静电扫描过程中硅片是固定的，颗粒沾污发生的机会大大降低。这种扫描的另一个优点是电子和中性离子不会发生偏转，能够从束流中消除。主要缺点是离子束不能垂直轰击硅片，会导致光刻材料的阴影效应，阻碍离子束的注入（见图17.21）。

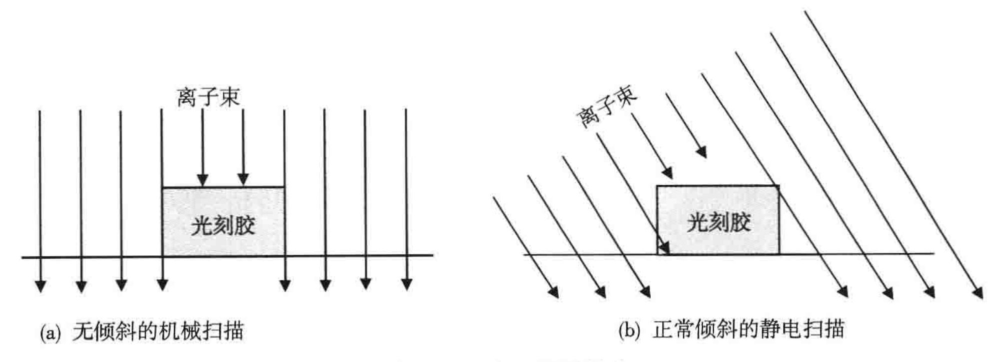


图 17.21　注入阴影效应

■ **机械扫描** 机械扫描中，离子束固定，硅片机械移动。此方法一般用于大电流注入机，因为静电很难使大电流高能离子束偏移。束斑尺寸约为1 cm宽，3 cm高。机械扫描过程中，多个硅片（最多25个200 mm硅片）固定在一个大轮盘的外沿，以1000到1500 rpm的速度旋转，同时上下移动（见图17.22）。轮盘的直径约为5英尺，甚至更大。轮盘在旋转的同时上下移动，使离子束能够扫过硅片的内沿和外沿。轮盘也能相对于离子束方向倾斜一定角度，防止发生穿过硅晶格间隙的沟道效应。机械扫描每次注入一批硅片，在很大面积上有效地平均了离子束能量，减弱了硅片由于吸收离子能量而加热。但是，机械装置可能产生较多的颗粒。

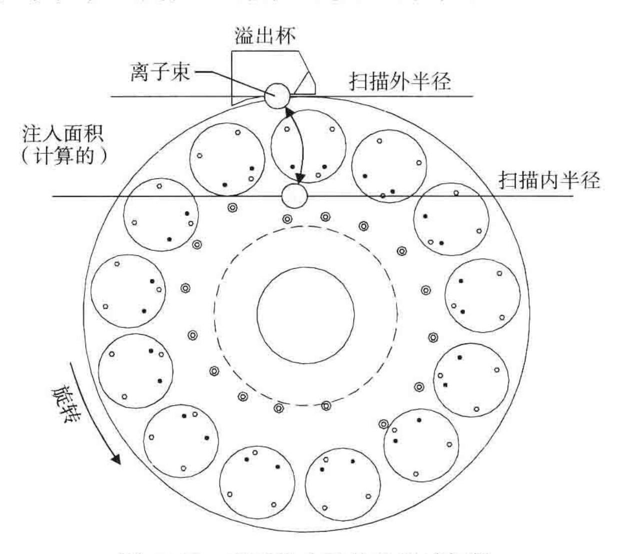


图17.22 离子注入硅片的机械扫描

（承蒙Varian Semiconductor Equipment允许使用VIISion 80离子注入机）

■ **混合扫描** 混合扫描系统中，硅片放置在轮盘上旋转，并沿y轴方向扫描。离子束在静电（或电磁）的作用下沿x轴方向扫描。这种方法通常用于中低电流注入，每次注入一个硅片。

■ **平行扫描** 静电扫描的离子束与硅片表面不垂直，容易导致阴影效应。平行扫描的离子束与硅片表面的角度小于0.5度，因而能够减小阴影效应和沟道效应[17]。平行扫描中，离子束先静电扫描，然后通过一组磁铁，调整它的角度，使其垂直注入硅片表面。

■ **硅片冷却** 离子束轰击硅片的能量转化成热，导致硅片温度升高。硅片冷却系统用来控制温度，防止出现由加热引起的问题。通常硅片的温度控制在50°C以下，如果温度超过100°C，光刻胶就会起泡脱落，在去胶的时候很难清洗干净[18]。这种情况在大剂量注入时尤其典型。如果硅片温度超过300°C，器件的电学特性会受到影响，同时会发生部分退火，改变硅片的方阻。影响注入过程中硅片温度的因素有离子束能量、注入时间、扫描速度和硅片尺寸等。

硅片的冷却广泛应用了两种技术：气冷和橡胶冷却[19]。气冷的硅片被封在压板上（一种冷却板，通常有内部冷却水），气体（如氦气）被送到硅片的后面，成为热传导通道，把热量从硅片传到压板。橡胶冷却的金属压板上覆盖了一薄层橡胶材料，它与硅片的背面接触，最大限度地在硅片和压板之间传热。

■ **硅片充电** 在注入过程中，离子束撞击硅片导致正离子在掩蔽层上的积累，即硅片充电。这种情况下，硅片上能形成大量电荷，特别是大电流注入机更加严重。形成的电荷会改变离子束中的电荷平衡，使束斑扩大，剂量分布不均匀。硅片充电还会损害表面氧化层，如损害栅氧化层导致器件出现可靠性问题。

传统的控制硅片充电方法是二次电子喷淋，即向硅片表面喷发低能电子（见图 17.23）。这种方法中，能量为几百 eV 的一次电子直接打向离子束路径附近的靶上，产生一团低能（小于 20 eV）二次电子[20]。这些二次电子融入离子束，能够中和硅片表面形成的正电荷。值得注意的是，不能有高能一次电子到达硅片表面，否则会损害栅氧化层。

现在通常把硅片和离子束置于一种被称为等离子电子喷淋系统的稳定的高密度等离子环境中，能够控制硅片充电[21]。此方法从位于离子束路径和硅片附近的一个电弧室中的等离子体（通常是 Ar 或 Xe）提取电子（见图 17.24）。等离子体被过滤，只有二次电子能够到达硅片表面，中和形成的正电荷。等离子喷淋比起电子喷淋的优点是等离子体中不产生高能电子，即只利用了低能电子，有效减少了硅片形成的电荷和损害。

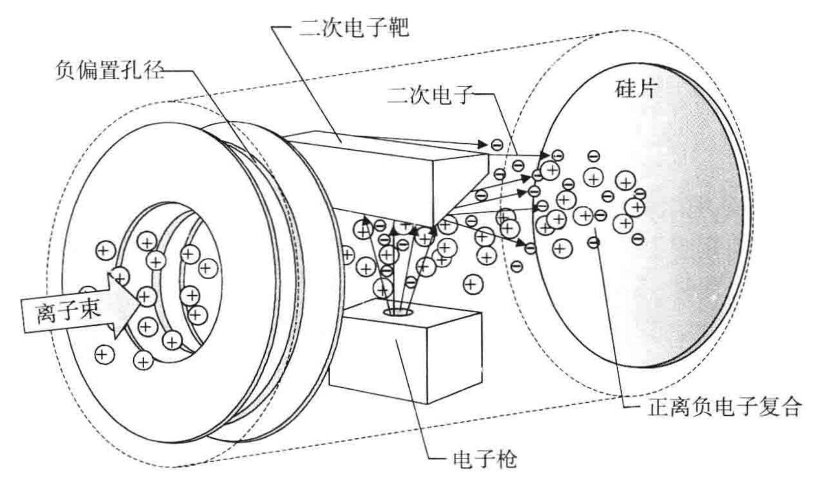


图 17.23　控制硅片充电的电子喷淋
（承蒙 Eaton 允许使用并引自 Eaton NV10 Ion Implanter,circa 1983）

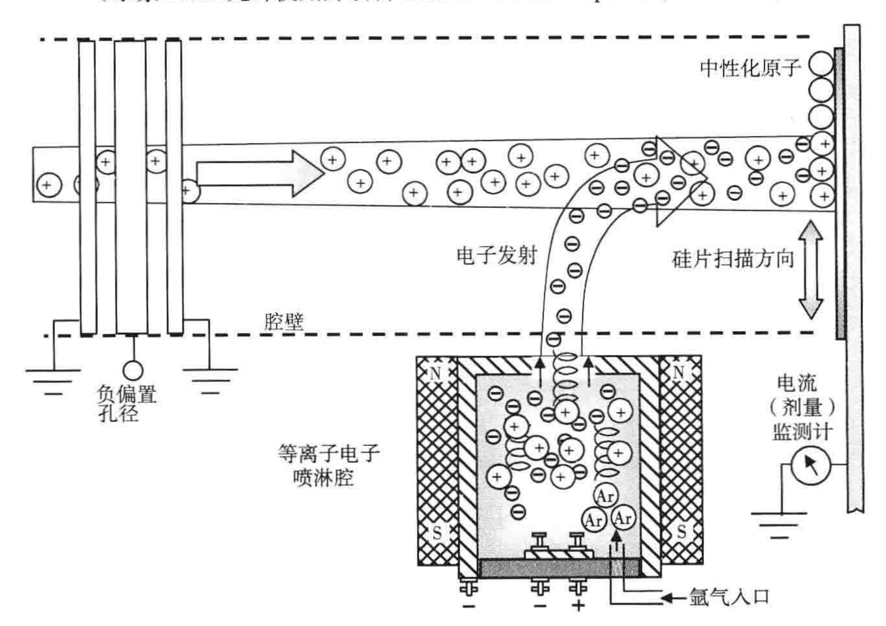
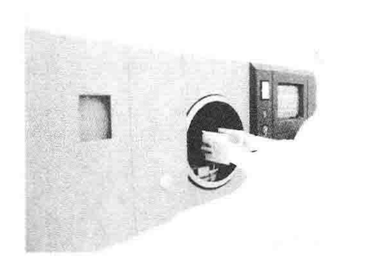


图 17.24　控制硅片充电的等离子喷淋

17.4.5 工艺腔

离子束向硅片的注入发生在工艺腔中。工艺腔是注入机的重要组成部分，包括扫描系统、具有真空锁的装卸硅片的终端台、硅片传输系统和计算机控制系统。另外还有一些监测剂量和控制沟道效应的装置。如果用机械扫描，终端台会比较大。可以用多级机械泵、涡轮泵、冷却泵把真空抽到注入要求的本底气压（通常是 10^{-6} 托）。



离子注入机的终端台

在终端台上装卸系统用机械手在进样室和靶室的扫描盘间传送硅片（见图17.25）。硅片架放在输入架上，然后进样室密封。机械泵工作，降低硅片架附近的气压。当气压足够低的时候，开启涡轮泵，抽气至高真空。此时，隔离阀打开，机械手把硅片架送入主靶室。硅片架进入工艺腔后，机械手把硅片从架子中拿出，并放置在扫描盘上，通常硅片的顺序不变。利用定位边能够确定硅片在扫描盘上有一个合适的方向。

技术人员能够通过中央计算机系统进入所有的子系统，并获得系统的状态和信息。

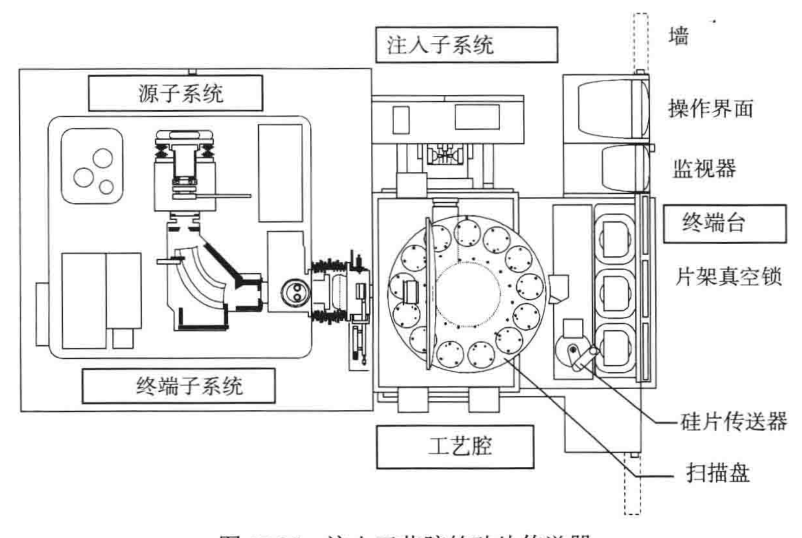


图 17.25 注入工艺腔的硅片传送器

（承蒙Varian Semiconductor Equipment允许使用VIISion 200离子注入机）

■ **剂量控制** 离子注入机中的实时剂量监控通过测量到达硅片的离子束完成。用一种称为法拉第杯的传感器测量离子束电流。简单的法拉第系统中，离子束路径上有一个电流感应器测量电流。但是这就出现一个问题，离子束会与感应器发生反应，产生的二次电子将导致错误的电流读数。法拉第系统可以用电场或磁场抑制二次电子（见图17.26），获得真正的离子束电流读数。法拉第系统测量的电流被输入电子剂量控制器，它的作用相当于电流累加器（能连续累加测量的离子束电流）。剂量控制器把总的电流与相应的注入时间联系起来，计算出一定剂量所需时间。

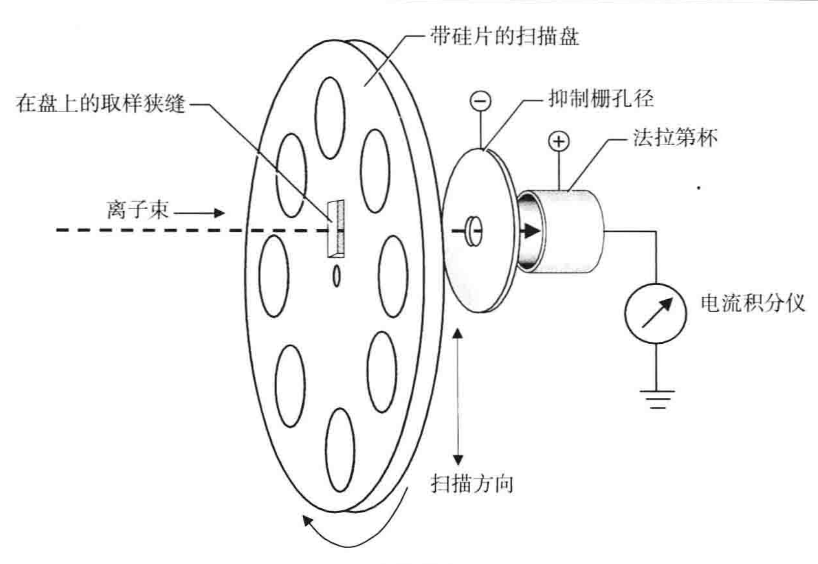


图 17.26 法拉第杯电流测量

（引自 S.Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*,2nd ed.,(New York:Wiley, 1994),p.417）

17.4.6 退火

离子注入会将原子撞击出晶格结构而损伤硅片晶格。如果注入的剂量很大，被注入层将变成非晶。另外，被注入离子基本不占据硅的晶格点，而是停留在晶格间隙位置。这些间隙杂质只有经过高温退火过程才能被激活。退火能够加热被注入硅片，修复晶格缺陷；还能使杂质原子移动到晶格点，将其激活（见图 17.27）。修复晶格缺陷大约需要 500°C，激活杂质原子需要约 950°C。杂质的激活与时间和温度有关：时间越长，温度越高，杂质的激活越充分。硅片的退火有两种基本方法：

- 高温炉退火
- 快速热退火（RTA）

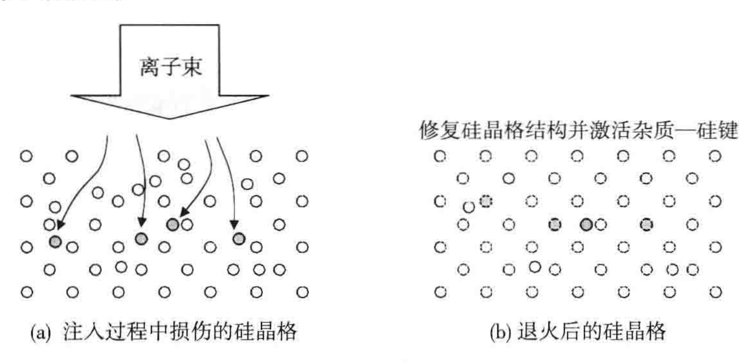


图 17.27 硅单晶的退火

■ 高温炉退火 高温炉退火是一种传统的退火方式，用高温炉把硅片加热至 800 到 1000°C 并保持 30 分钟。在此温度下，硅原子重新移回晶格位置，杂质原子也能替代硅原子位置进入晶格。但是，在这样的温度和时间下进行热处理，会导致杂质的扩散，这是现代 IC 制造不希望看到的。

■ 快速热退火 快速热退火（RTA）用极快的升温和在目标温度（一般是 1000°C）短暂的持续时间对硅片进行处理。注入硅片的退火通常在通入 Ar 或 N_2 的快速热处理机（RTP）中进行。

快速的升温过程和短暂的持续时间能够在晶格缺陷的修复、激活杂质和最小化杂质扩散三者之间取得优化。RTA还能够减小瞬时增强扩散（参见以下章节）。RTA是控制浅结注入中结深的最佳方法。

瞬时增强扩散　最近发现，注入后的退火过程会发生杂质的瞬时增强扩散（TED）。瞬时增强扩散是由注入硅的间隙杂质离子造成的，与硅损伤没有直接联系。当形成超浅结时，由于需要严格控制杂质扩散，这种现象变得尤其重要。

17.4.7　沟道效应

单晶硅原子的排列是长程有序的。当注入离子未与硅原子碰撞减速，而是穿透了晶格间隙时（见图 17.28），就发生了沟道效应。沟道效应的存在使预期的设计范围大大扩展，特别是低能离子的浅注入更加严重。杂质离子通过晶格通道时不与电子和原子核发生碰撞（即能量损失很少），因此比那些发生碰撞的离子穿透得更深。注入过程中有 4 种方法控制沟道效应：（1）倾斜硅片，（2）掩蔽氧化层，（3）硅预非晶化，（4）使用质量较大的原子。

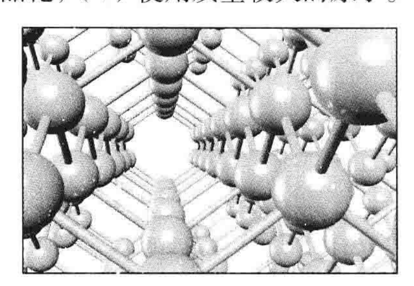


图 17.28　沿<110>轴的硅晶格视图

（承蒙 Edgard Torres Designs 允许使用）

倾斜硅片　倾斜硅片是减小沟道效应最常用的方法，它把硅片相对于离子束运动方向倾斜一个角度。（100）硅片常用角度是偏离垂直方向7°，保证了杂质离子进入硅中很短距离内就会发生碰撞。倾斜角度在扫描工艺中进行设置。这样，离子束经过的是晶格的密集区，能够获得对注入离子投影射程更好的控制（见图 17.29）。值得注意的是，超浅结低能注入（小于 1 keV）的沟道效应有所不同，倾斜硅片几乎不起什么作用[23]。另外，倾斜硅片会增加阴影效应，可能导致器件性能的不对称。注入过程中还必须经常旋转硅片表面，对于<110>晶向，旋转硅片 15° 到 35° 有助于减小沟道效应。

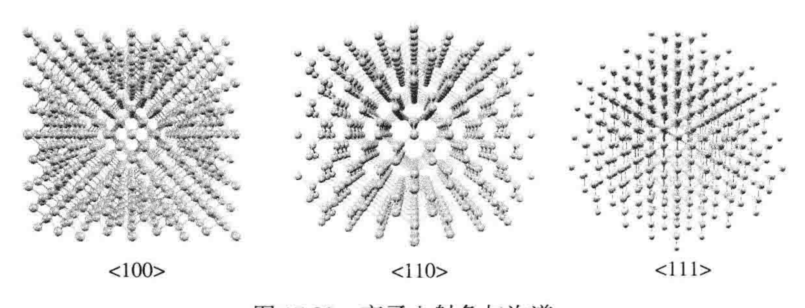


图 17.29　离子入射角与沟道

（承蒙 Edgard Torres Designs 允许使用）

在某些情况下，浅源漏区扩展部分（如轻掺杂漏区）的大电流注入可能需要较大的注入角度使注入深度减小。现代单硅片注入机的设计允许硅片在两个方向上倾斜 ± 60° 甚至更多[24]，使沟槽侧壁的注入成为可能。一些应用，如DRAM电容单元为了在侧壁上形成电容的电极，就需要用到沟槽侧壁注入。

掩蔽氧化层　某些情况下，注入之前在硅片表面生长或淀积一薄层氧化层（10 到 40 nm），被称为掩蔽氧化层，有时也称为牺牲氧化层，因为它是为注入工艺淀积的，并在注入之后需要去除。注入离子通过这样一层非晶氧化层后进入硅片，它们的方向将是随机的，因此可以减小沟道效应。杂质离子与SiO_2原子的撞击导致了方向的随机性。研究表明掩蔽氧化层并非始终能有效减小沟道效应，可能会导致一些剂量均匀性的问题。影响掩蔽氧化层控制沟道效应能力的因素有注入能量、杂质种类、掩蔽氧化层厚度和离子束方向[25]。

预非晶化　减小沟道效应的一种方法是用电不活泼粒子，通常是Si^+，使单晶硅预非晶化。此步骤在注入之前进行，用以损坏硅表面一薄层的单晶结构。随后的离子将注入非晶结构的硅，产生很小的沟道效应。注入之后需要热退火修复晶格损伤。研究表明，预非晶化对于能量低于 1 keV 的浅注入非常重要[26]。预非晶化最大的缺点在于包含了一个额外的注入，延长了生产时间。

17.4.8　颗粒

离子注入对颗粒沾污非常敏感。硅片表面上的一个颗粒能够阻碍离子束，产生不正确的注入（见图 17.30）。大电流注入机由于离子束的侵蚀会产生更多颗粒。注入机供应商设计的工艺腔应降低大电流离子束产生的高温，并使颗粒最少化。颗粒的来源将在本章后面部分介绍。颗粒一般通过对未形成图案的硅片进行监测，计算每道工序中每个硅片上的颗粒数，并在必要的时候采取正确措施（参见第 7 章）。

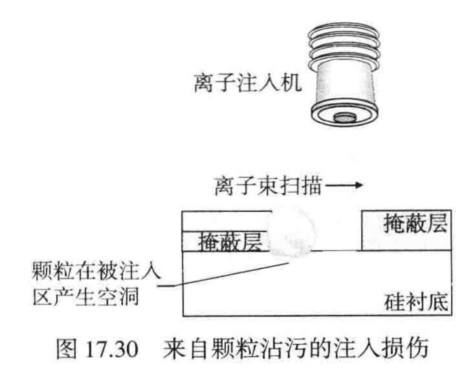


图 17.30　来自颗粒沾污的注入损伤

17.5　离子注入在工艺集成中的发展趋势

由于最先进的工艺对杂质有不同的要求，因此对离子注入的要求也各不相同。例如，先进的 MOS 硅片制造以下各种离子注入：

- 深埋层
- 倒掺杂阱
- 穿通阻挡层
- 阈值电压调整
- 轻掺杂漏区（LDD）
- 源漏注入
- 多晶硅栅
- 沟槽电容器
- 超浅结
- 绝缘体上硅（SOI）

17.5.1 深埋层

深埋层用高能离子注入（大于200 keV）实现，它在CMOS电路中有多种应用目的，如倒掺杂阱（见图17.31）。三阱结构有一个埋层在标准n或p倒掺杂阱下面的注入阱，能够改进器件性能和封装密度。应用埋层的一个重要原因是控制CMOS电路的闩锁效应。第3章曾讨论过，当寄生晶体管导致器件意外开启时，就会发生闩锁效应。它能导致芯片的完全失效。闩锁效应通常是在硅片制造阶段用硅片表面外延的方法进行控制的。低阻外延层有效切断了流向地的电流。外延层还能作为杂质的捕获陷阱。由于外延硅片的成本较高，以大剂量离子注入形成埋层来替代外延层越来越受到关注[27]。

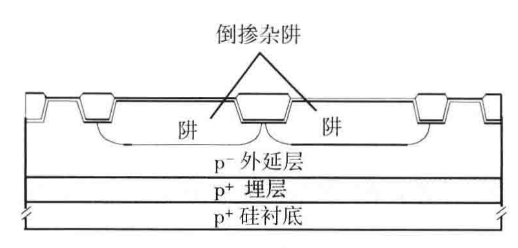


图 17.31 注入埋层

17.5.2 倒掺杂阱

第3章讨论过，阱是用于制造有源器件（如MOSFET）的扩散区。n型和p型MOS晶体管处于相反导电类型的阱中，形成半导体结。本章前面部分讲过，扩散的杂质剖面总是在硅片表面有最大的杂质浓度。MOS器件的一个重要设计选择是倒掺杂阱，它的注入杂质浓度峰值在硅片表面下一定深度处（如几微米）。这种特征在图17.32中表示出来。倒掺杂阱的另一种形式是垂直调节阱。高能离子注入使倒掺杂阱中较深处的杂质浓度较大，改进了晶体管抵抗闩锁效应和穿通的能力[28]。还有一些三阱结构的应用，如在DRAM或EEPROM电路中能够进行器件隔离。

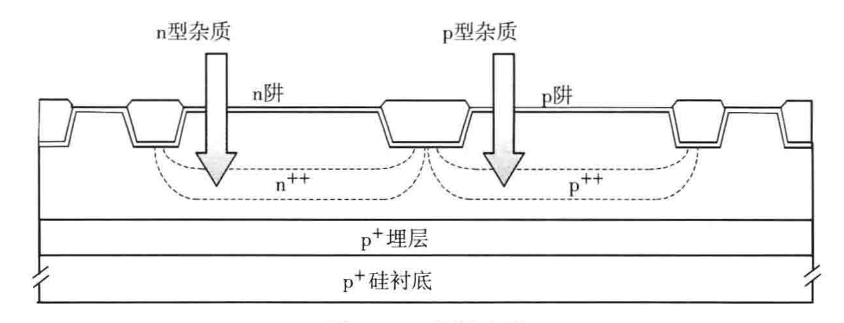


图 17.32 倒掺杂阱

17.5.3 穿通阻挡层

沟道很短的亚微米器件必须有穿通阻挡层。穿通是沟道被短路，会发生不希望的漏电，导致器件失效。当沟道长度减小、漏端电场增大时，就会发生穿通。在n沟道器件中，从源移向漏的电子在高电场下加速，通过碰撞产生自由电子–空穴对。这种现象使漏耗尽区向轻掺杂沟道区严重扩展，最终与源耗尽区连通，就发生了穿通[29]。防穿通注入的杂质位于临近源漏区的有源沟道下，能够改变阱掺杂，防止在偏压下器件的漏耗尽区向沟道扩展（见图17.33）。精确控制防穿通注入的位置和剂量是非常必要的。一般n型沟道器件用硼注入，p型沟道器件用磷注入。

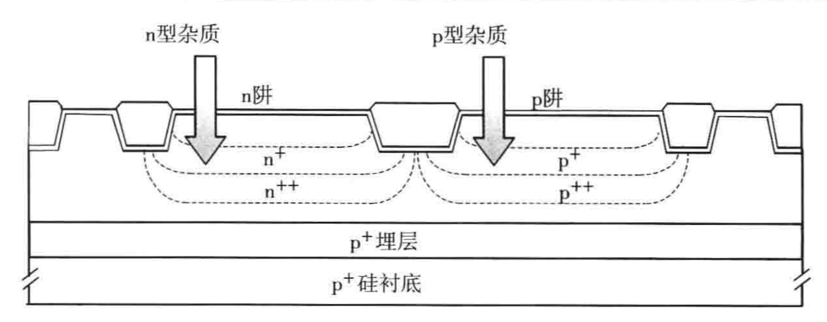


图 17.33 防止穿通

17.5.4 阈值电压调整

MOS器件包含三个部分：源、漏和栅。只有当栅上加有电压，沟道区导通时，源漏之间才有电流流过。阈值电压V_{TH}是能够使源漏间导通的电压。V_{TH}对沟道区的杂质浓度非常敏感。为了得到合适的器件性能，需要向硅层下注入杂质，把沟道区杂质调整到所需浓度。这就是MOS栅阈值电压调整注入，对器件性能非常重要。下面以p型杂质注入n型沟道来说明这种调整（见图17.34）。p型杂质浓度的增加将导致V_{TH}的提高（如V_{TH}从0.9 V增加到1.0 V）。由于注入能形成一致、可重复的杂质浓度，所以离子注入在硅片制造中的第一个广泛应用就是阈值调整。

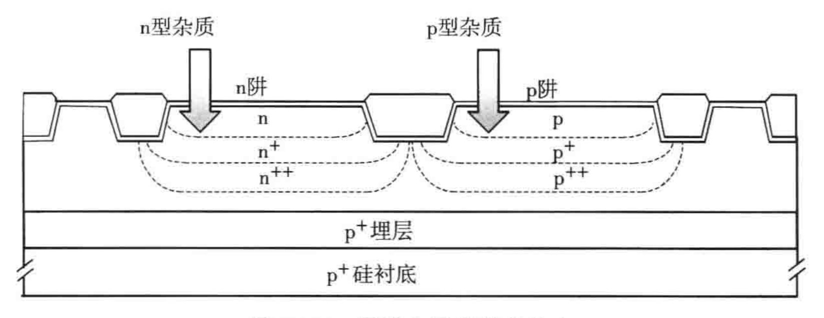


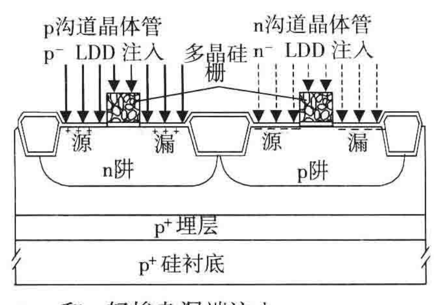
图 17.34 阈值电压调整的注入

17.5.5 轻掺杂漏区

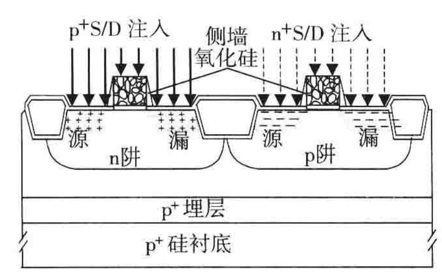
轻掺杂漏区（LDD）注入用于定义MOS晶体管的源漏区（见图17.35）。这种区域通常被称为源漏扩展区。注入使LDD杂质位于栅下紧贴沟道区边缘，为源漏区提供杂质浓度梯度。LDD在沟道边缘的界面区域产生复杂的横向和纵向杂质剖面。nMOS和pMOS的LDD注入需用两次不同的光刻和注入。在源漏区浅结形成的同时MOSFET的栅也被注入。

LDD结构用栅作为掩膜中低剂量注入形成（n^-或p^-注入），随后是大剂量的源漏注入（n^+或p^+注入）。源漏注入用栅氧化物侧墙作为掩膜（见图17.35）。如果没有形成LDD，在正常的晶体管工作时会在结和沟道区之间形成高电场。电子在从源区向漏区移动的过程中（对n沟道器件）将受此高电场加速成为高能电子，它碰撞产生电子–空穴对（称为热载流子或热电子）[30]。热电子从电场获得能量，造成电性能上的问题，如被栅氧化层陷阱捕获，影响器件的阈值电压控制。

LDD在高浓度源漏区（10^{20}到10^{21}个原子每立方厘米）和低浓度沟道区（10^{16}到10^{17}个原子每立方厘米）间形成渐变的横向浓度梯度[31]。LDD降低的杂质浓度减小了结和沟道区间的电场。这项技术把结中的最大电场位置与沟道中的最大电流路径分离，以防止产生热载流子。



a) p⁻和n⁻轻掺杂漏端注入（分两步进行）



b) p⁺和n⁺源/漏注入（分两步进行）

图 17.35　源漏区形成

17.5.6　源漏注入

源漏注入形成的重掺杂区（10^{20}到10^{21}个离子每立方厘米）在MOS晶体管轻掺杂有源沟道区和阱区（10^{16}到10^{17}个离子每立方厘米）之间。源漏区的导电类型与周围的阱相反。As注入通常用来形成nMOS的源漏区，B或BF_2注入用来形成pMOS的源漏区。由于注入对杂质位置能够精确控制，源漏区杂质离子向沟道区的横向扩散可以达到最小。

17.5.7　多晶硅栅

多晶硅栅必须进行注入或扩散掺杂以减小电阻。为了使制造工艺简单，n沟道和p沟道器件的多晶硅薄膜通常在栅光刻之前都进行n^+掺杂。但是这可能会对亚0.25微米器件产生电学性能的影响。目前更广泛应用的方法是p沟道器件用p^+掺杂栅，n沟道器件用n^+掺杂栅，这被称为双多晶硅栅结构[32]。制作这种器件应首先光刻未掺杂的多晶硅栅，然后在分别注入每种器件的源漏区时对多晶硅栅进行掺杂。为使这种设计功能正常，掺杂的多晶硅栅应充分激活，否则在多晶硅/氧化物界面会形成耗尽层，反过来影响器件性能。两种掺杂区间的横向扩散也是双多晶硅栅结构的一个关键问题，必须制定精确的高温计划。

17.5.8　沟槽电容器

沟槽电容器能够减小DRAM存储单元的尺寸，已经取代了平面存储电容器。沟槽电容器是在硅中用干法刻蚀沟槽形成的三维器件。为了获得足够的电容，在电容器侧墙很薄一层中的杂质浓度应达到约10^{19}个原子每立方厘米（见图17.36）[33]。侧墙的掺杂使用具有一定角度的离子注入，这个角度由沟槽的形状决定。还有其他的一些三维结构可能用到注入，如某些沟槽隔离。

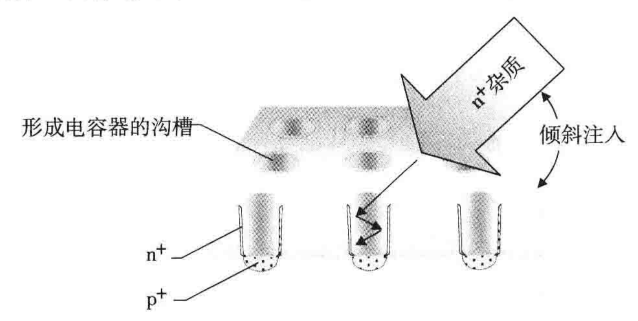


图 17.36　沟槽电容器的垂直侧墙上杂质注入

17.5.9 超浅结

不断提高的速度和封装密度的需要，导致器件在很大程度上要求MOS器件的沟道长度等比例地减小。为保持器件的电学性能，关键的器件要素必须随之缩小。超浅结的形成使源漏区结深与沟道长度相应缩小（见图17.37）。对0.18 μm工艺，超浅结深约为54 ± 18 nm；对0.10 μm工艺为30±10 nm。[34] 同时必须准确控制横向杂质剖面。超浅结用大束流低能注入实现。

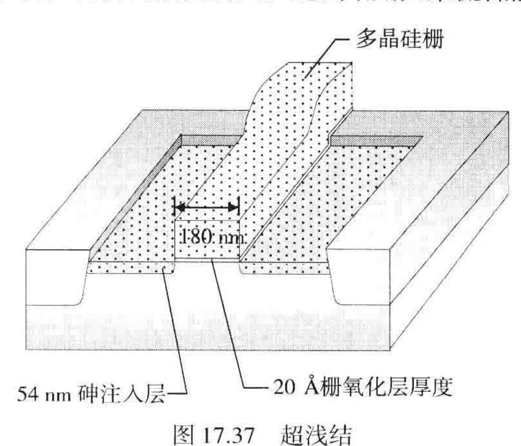


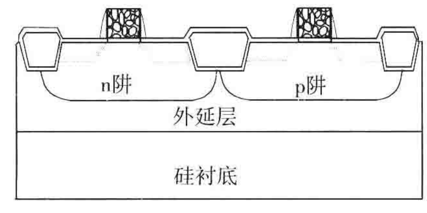
图17.37 超浅结

由于砷离子的质量较大，浅n型源漏结相对容易制造（见表17.1）。大质量离子使表面硅层非晶化，有助于减小沟道效应，控制注入深度。浅p型结比较难制造，因为小质量的硼很难形成非晶层，导致较严重的沟道效应出现和结深控制的困难。解决此问题的方法主要是硅片预非晶化（如注入硅）或用重分子注入，如BF21。[35]

17.5.10 绝缘层上硅

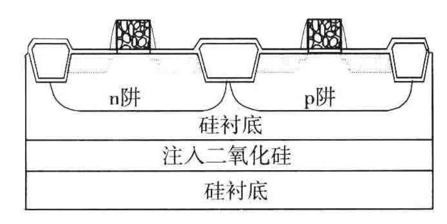
绝缘层上硅（SOI）成为先进硅片制造中一种重要的纵向隔离方式。SOI中绝缘层（氧化物）有效隔离了硅片表面的器件。这项技术在20世纪70年代发展起来，但由于工艺复杂和成本高等问题一直没有得到广泛应用。SOI在深亚微米CMOS应用中具有许多优点，包括完全消除闩锁效应，减弱的电场减少热载流子和减少寄生电容等[36]。在氧化层（或其他绝缘体材料）上形成单晶硅很困难，因为介电材料的晶格性质与纯硅的完全不同。如果控制不当，这种晶格的差异将在硅中产生晶体缺陷，影响器件性能。最广泛应用的SOI技术是SIMOX。

■ **SIMOX** 在本书编写时，SIMOX是领先的商用SOI技术。SIMOX有一层水平的氧化层埋在硅片中。氧化层用高浓度氧原子注入形成，通常使用高能注入机（如200 keV氧注入机）。随后的高温退火（如1300°C）使氧与硅发生反应，在硅表面下形成连续的SiO_2层（见图17.38）。埋氧化层（称为BOX）一般50至500 nm厚，是很好的器件隔离层。退火还能修复氧化物上硅层的晶格质量[37]。目前正在发展使用低能小剂量氧注入机的SIMOX工艺，它能产生介电性能更好的埋层。





(a) 普通的CMOS硅片结构



(b) 具有SIMOX埋氧化层的CMOS硅片

图17.38 有和没有SIMOX埋氧化层的CMOS晶体管

17.6 离子注入质量测量

离子注入所用到的质量测量方法在表 17.7 中列出。

表 17.7 离子注入关键质量测量

质量参数	缺陷类型	备注
1. 硅片表面无法接受的颗粒沾污	A. 测量监测硅片表面的颗粒数（每道工序每片上的颗粒数）	可能的颗粒源： ● 贱电极微放电 ● 移动机械过程中外面包装过多 ● 注入机清洗不适当（如离子源、提取装置和离子束经过的任何部分） ● 温度过高或溅射造成光刻胶的脱落 ● 硅片背面的冷却橡胶 ● 进样室 ● 硅片处理 ● 机器移动：开阀门、装卸分度器等
2. 剂量控制	A. 检测薄膜电阻发现剂量不合适。注入剂量不足的硅片方阻高（多余的杂质增大了电导率），剂量过大的硅片方阻低	不均匀表现为硅片表面不同区域的剂量不同，可能的原因有： ● 错误的工艺流程。检查工艺流程与硅片标签是否一致 ● 离子束电流测量不当。检查法拉第系统的漏电情况并采取适当的操作 ● 电子进入离子束造成剂量过大。电子进入离子束使计数器计算的离子数比实际少，造成剂量过大。检查电子抑制系统 ● 不当退火。RTA 检查：（1）退火过程中的温度和时间是否合适，（2）升温速度是否合适，（3）加热是否均匀，（4）N_2 流速是否正确
3. 使用低能注入的超浅结结深	A. 扩展薄膜电阻的测量发现结剖面不正确	检查以下可能造成结深问题的因素： ● 证明 RTA 升温速度和保持时间正确。过多的高温过程会导致杂质扩散，增加结深 ● 检查是否有离子的沟道效应。硅片的倾斜可能不正确。低能情况下，硅片可能需要注入重离子进行非晶化，然后退火 ● 如果注入的是硼（小质量元素），检查是否在退火过程中发生了 TED。可能需要使用超低能注入

17.7 离子注入检查及故障排除

一般的离子注入可能发生的问题及相应措施在表 17.8 中列出。

表 17.8 一般的离子注入问题

问题	可能的原因	纠正措施
1. 剂量不均匀造成硅片表面不同区域的杂质含量不同（用方阻和热波轮廓图检测）	A. 电荷中和系统	● 硅片充电就会在轮廓图上显示硅片中心部分的电阻高 ● 检查二次电子喷淋或等离子喷淋的操作是否正确
	B. 扫描系统问题（如沟道效应）	● 大电流注入时，检查扫描盘的驱动系统是否有机械问题

（续表）

问题	可能的原因	纠正措施
		● 固定硅片的中低电流注入，检查扫描系统的x和y方向扫描是否正确
	C. 注入机中的泄漏电流	注入系统的离子束电流泄漏会产生很大的剂量和不均匀问题 ● 证明所有的绝缘体清洁，没有堆积溅射材料。溅射材料来源于离子束对材料的撞击 ● 所有电缆的绝缘必须高质量
2.离子束中的沾污，用SIMS检测	A. 离子源沾污	可能造成离子源沾污的因素： ● 离子源是否被沾污 ● 真空系统是否漏气 ● 源材料是否满足纯度要求
	B. 质量分析之前离子束沾污	吸极和质量分析器之间的区域不是沾污的重要来源，但要检查真空是否漏气
	C. 质量分析中造成的沾污	质量分析器的窄缝过宽，不能把其他种类的离子全部排除。例如使用磷化氢作为源进行磷注入可能会造成氢沾污
	D. 质量分离后的离子束沾污	残余气体与离子束反应，造成能量不正确的离子（能量沾污）。正确措施包括： ● 检查真空系统是否漏气 ● 检查能量过滤系统 ● 检查系统成分的金属沾污
	E. 终端台沾污	可能的沾污源有： ● 终端台材料（如离子束撞击电极的溅射金属和掺杂） ● 来自光刻胶的碱性元素沾污 ● 法拉第杯装置的铝 ● 使用相同注入机的其他杂质元素的交互沾污

*F. Stevie et al.,"Using SIMS to Detect Contamination Sources from Ion Implanters." *Solid State Technology*(May 1995): pp. 51-58

17.8　小结

掺杂把杂质引入硅中，改变了它的电学性能，这能够通过离子注入或扩散实现。离子注入有众多优点，已大规模取代了扩散。扩散是由于浓度梯度一种物质在另一种物质中的运动。离子注入是个物理过程，需要使用注入设备。离子注入的两个重要参数是剂量和射程。束流用以确定剂量。射程是杂质穿过硅片的总距离，与能量和杂质离子质量有关。注入离子和硅原子发生碰撞和反应，最终将停留在硅片里。注入设备主要有6个子系统：离子源、吸极、离子分析器、加速管、扫描系统和工艺腔。离子源产生注入的离子。吸极把离子从源中提取出来，分析磁铁把所需离子与其他离子分离开来。加速器将杂质加速，通过扫描系统把它射向硅片。硅片用高温炉或RTP退火，以修复晶格缺陷，激活杂质。沟道效应是指杂质通过晶格的间隙位置，将导致不一致的结深。它可以用倾斜硅片、预非晶化或掩膜氧化层等方法加以控制。注入机对颗粒非常敏感。注入广泛应用于硅片制造，包括MOS栅阈值调整、倒掺杂阱、源漏注入、超浅结、轻掺杂漏区、多晶硅栅、深埋层、穿通阻挡层、沟槽电容器和SIMOX。

关键术语

掺杂
热扩散
离子注入
掺杂区
掺杂剖面
结深 x_j
扩散
预淀积
掩蔽氧化层
Fick 定律
推进
激活
再分布
扩散性
扩散系数 D
间隙运动
替代运动
激活杂质
晶体激活
固容度
横向扩散
漂洗
离子注入机
辐射损伤
剂量 Q
束流
射程
投影射程 R_p
偏差 ΔR_p
电子阻碍
核阻碍
离子源
Freeman 离子源
吸极
抑制电极
离子分析器
加速管
后加速器
线性加速器
束流减速
差分透镜
束膨胀
空间电荷中和
中性束流陷阱
静电扫描
机械扫描
混合扫描
平行扫描
气体冷却
橡胶冷却
硅片充电
二次电子喷淋
等离子电子喷淋
工艺腔
终端
法拉第杯
剂量控制器
高温炉退火
快速热退火（RTA）
快速热处理（RTP）
瞬时增强扩散（TED）
沟道
硅片倾斜
牺牲氧化层
预非晶化
深埋层
三阱
倒掺杂阱或垂直模型阱
穿通
阈值电压注入调整
轻掺杂漏（LDD）
热载流子或热电子
源漏注入
多晶硅栅
双多晶硅栅结构
沟槽电容
超浅结
绝缘体上硅（SOI）
SIMOX

复习题

1. 什么是掺杂？
2. 列举4种常用杂质并说明它们是n型还是p型。
3. 简要描述热扩散。
4. 简要描述离子注入。
5. 列举用于硅片制造的5种常用掺杂。
6. 离子注入通常在什么工艺之后？
7. 描述掺杂区和杂质剖面。
8. 什么是结深？
9. 描述扩散。
10. 列举并解释扩散的三个步骤。
11. 什么是扩散的再分布？
12. 解释扩散率和扩散系数。
13. 解释扩散中的间隙运动和替代运动。
14. 为什么杂质需要激活？
15. 什么是杂质的固溶极限？
16. 解释横向扩散以及不希望有横自扩散的原因。
17. 列举硅片制造中正确扩散的8个步骤。
18. 什么是漂洗？
19. 一般是如何向扩散炉提供杂质源的？
20. 列出乙硼烷转化成硼杂质的两个反应方程式。
21. 给出离子注入机的概况。
22. 说明亚0.25微米工艺中掺杂的两个主要目标。
23. 列举离子注入优于扩散的7点。
24. 离子注入的主要缺点是什么？如何克服？
25. 定义剂量，列出并解释剂量公式。
26. 什么是离子束电流？束电流与剂量之间有什么关系？
27. 什么是射程？解释能量与射程之间的关系。
28. 如果电荷数为1的正离子在电势差200 keV的电场中运动，它的能量是多少？
29. 列举离子注入机的4种类型，并简要描述。
30. 描述投影射程。
31. 定义偏差。
32. 描述注入过程中的两种主要能量损失机制。
33. 描述杂质离子的轻重所造成的硅晶格损伤。
34. 列举离子注入设备的5个主要子系统。
35. 离子源的目的是什么？最常用的离子源材料是什么？
36. 描述Freeman离子源。
37. 讨论吸极的目的和运作。
38. 抑制电极的作用是什么？
39. 质量分析器磁铁的作用是什么？描述质量分析器的功能。

40. 加速管是怎样增加离子束能量的？
41. 利用图 17.16，为大电流注入机和高能注入机设计工艺步骤。
42. 离子束能量是如何定义的？离子注入的剂量与什么有关？
43. 高能注入机的能量有多大？为什么希望得到大离子束电流？
44. 为什么需要大电流低能注入机？低能离子束是如何得到大电流的？
45. 解释离子束扩展和空间电荷中和。
46. 形成中性离子束陷阱的原因是什么？
47. 列举并简要解释 4 种扫描系统。
48. 哪种扫描用于小电流注入？哪种扫描用于大电流注入？
49. 为什么要冷却硅片？
50. 讨论硅片充电、二次电子喷淋和等离子电子喷淋。
51. 描述工艺腔。
52. 剂量的实时监控是如何进行的？
53. 退火的目的是什么？高温炉退火和 RTA 哪一个更优越？
54. 描述瞬时增强扩散（TED）。
55. 描述沟道效应。列举并简要解释控制沟道效应的三种机制。
56. 列举 10 个使用离子注入的掺杂工艺，并简要解释。
57. 双多晶硅栅结构是什么，为什么需要使用它？
58. 为什么SIMOX是一种潜在有利的器件制备技术？什么是SOI？

离子注入设备供应商网站

Advanced Energy Industries	http://www.advanced-energy.com
Applied Materials	http://www.appliedmaterials.com/products/
Axcelis Technologies (formerly Eaton)	http://www.axcelis.com/
Charles Evans and Associates	http://www.cea.com
CVC Technologies	http://www.cvc.com/
Eaton Corporation	http://www.semiconductor.eaton.com/
Epion Corporation	http://www.epion.com/
High Voltage Engineering Europa BV	http://www.highvolteng.com/
Ion Implant Services	http://www.ionimplant.com/
Implant Sciences Corp.	http://www.implantsciences.com/
International SEMATECH	http://www.sematech.org/public/index.htm
SEMI	http://www.semi.org/
Therma-Wave	http://www.thermawave.com/index.htm
Varian Semiconductor	http://www.vsea.com/
Veeco Instruments, Inc.	http://www.veeco.com/

参考文献

1. M. Foad and D. Jennings, “Formation of Ultra-Shallow Junctions by Ion Implantation and RTA,” *Solid State Technology* (December 1998): p. 43.

2. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Volume 1—*Process Technology*, 2nd ed., (Sunset Beach, CA: Lattice, 2000), p. 325.
3. SEMATECH, "Diffusion Processes," *Furnace Processes and Related Topics*, Austin: (SEMATECH, Inc., 1994), p. 15.
4. S. Ghandhi, *VLSI Fabrication Principles, Silicon and Gallium Arsenide*, 2nd ed., (New York: Wiley, 1994), p. 182.
5. SEMATECH, "Diffusion Processes," p. 8.
6. J. Mayer and S. Lau, *Electronic Material Science: For Integrated Circuits in Si and GaAs*, (New York: Macmillan, 1990), p. 222.
7. M. Foad and D. Jennings, "Formation of Ultra-Shallow Junctions by Ion Implantation and RTA," *Solid State Technology* (December 1998): p. 44.
8. E. Rimini, *Ion Implantation: Basics to Device Fabrication*, (Boston: Kluwer, 1995), p. 79.
9. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Volume 1—*Process Technology*, p. 377.
10. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, (Boston: Kluwer, 1995), p. 381.
11. T. Romig, J. McManus, K. Olander and R. Kirk, "Advances in Ion Implanter Productivity and Safety," *Solid State Technology* (December 1996): p. 69.
12. E. Rimini, *Ion Implantation: Basics to Device Fabrication*, p. 36.
13. R. DeJule, "New Designs in High-Current Ion Implanters," *Semiconductor International* (April 1998): p. 61.
14. Ibid., p. 61.
15. D. Duff and L. Rubin, "Ion Implant Equipment Challenges for 0.18 mm and Beyond," *Solid State Technology* (June 1998): p. 90.
16. R. DeJule, "New Designs in High-Current Ion Implanters," p. 61.
17. B. El-Kareh, *Fundamentals of Semiconductor Processing Technologies*, p. 368.
18. E. Rimini, *Ion Implantation: Basics to Device Fabrication*, p. 59.
19. M. Mack, "Wafer Cooling and Wafer Charging in Ion Implantation," *Handbook of Ion Implantation Technology*, (Amsterdam: Elsevier, 1992), p. 613.
20. Y. Erokhin, R. Reece and R. Simonton, "Charge Control for High-Current Ion Implant," *Solid State Technology* (June 1997): p. 104.
21. Ibid.
22. M. Foad and D. Jennings, "Formation of Ultra-Shallow Junctions by Ion Implantation and RTA," p. 51.
23. Ibid., p. 44.
24. R. DeJule, "New Designs in High-Current Ion Implanters," p. 62.
25. R. Simonton and A. Tasch, "Channeling Effects in Ion Implantation," ed. J. Ziegler (Amsterdam: Elsevier, 1992), p. 206.
26. M. Foad and D. Jennings, "Formation of Ultra-Shallow Junctions by Ion Implantation and RTA," p. 44.

27. L. Rubin and W. Morris, "High-Energy Ion Implanters and Applications Take Off," *Semiconductor International* (April 1997): p. 77.
28. L. Rubin and W. Morris, ibid, p. 86.
29. R. Simonton and F. Sinclair, "Ion Implantation Applications," *Handbook of Ion Implantation Technology*, ed. J. Ziegler (Amsterdam: Elsevier, 1992), p. 282.
30. J. Yue, "Reliability," *VLSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 658.
31. R. Simonton and F. Sinclair, "Ion Implantation Applications," p. 282.
32. C. Lu and W. Lee, "Process Integration," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 494.
33. R. Simonton and F. Sinclair, "Ion Implantation Applications," p. 318.
34. M. Foad and D. Jennings, "Formation of Ultra-Shallow Junctions by Ion Implantation and RTA," p. 43.
35. E. Rimini, *Ion Implantation: Basics to Device Fabrication*, p. 274.
36. R. Simonton and F. Sinclair, "Ion Implantation Applications," p. 339.
37. R. Simonton and F. Sinclair, "Applications in CMOS Process Technology," *Handbook of Ion Implantation Technology*, ed. J. Ziegler (Amsterdam: Elsevier, 1992), p. 339.

第18章　化学机械平坦化

采用亚0.25 μm设计规则的ULSI代表芯片集成的先进水平，它在几平方厘米的芯片面积上有数千万个晶体管和大约五千万条互连线[1]。多层金属技术使单个集成电路中上百万晶体管和支持元件的内部互连成为可能。而且，此技术有效利用了芯片的垂直空间，使它能够进一步提高器件的集成密度。

多层金属技术早在20世纪70年代就已经出现，但是随之而来的较大的表面起伏成为亚微米图形制作的不利因素，因为更多层的加入使硅片表面变得不平整。不平整的硅片表面形貌是不理想的，它导致了一些其他的问题，其中最严重的是无法在硅片表面进行图形制作，因为它受到光学光刻中步进透镜焦距深度的限制。已经开发了多种平坦化技术来减小或最小化由工艺所导致的表面起伏问题，但大多数对于克服这种严重的表面起伏情况效果都不佳。

20世纪80年代后期，IBM开发了化学机械平坦化（chemical mechanical planarization，CMP）的全局平坦化方法。它成为20世纪90年代高密度半导体制造中平坦化的标准。没有CMP，进行甚大规模集成电路（ULSI）芯片生产就不可能。对于双层大马士革结构的铜布线，CMP是实现多层集成的关键工艺。

目标

通过本章的学习，你将能够：

1. 描述平坦化的术语。
2. 列举并论述三种传统平坦化工艺。
3. 论述化学机械平坦化，硅片平整性问题，以及CMP的优点。
4. 描述氧化物CMP和金属CMP中用的磨料和抛光垫。
5. 论述CMP设备，包括终点检测和磨头。
6. 解释CMP后清洗过程。
7. 列举并描述7种不同的CMP应用。

18.1　引言

硅片制造涉及薄膜的淀积和生长工艺，以及之后形成器件和内部互连结构所需的多次图形制作。先进的IC需要至少6层或更多的金属布线层，每层之间由层间介质（ILD）隔开。建立器件结构和多层内连线会很自然地在层之间形成台阶。表面起伏（topography）描述了这种生产过程中出现的不平整的硅片表面。层数增加时，硅片的表面起伏将更加显著，而一个可接受的台阶覆盖和间隙填充对于芯片的成品率和长期可靠性是至关重要的。在图18.1中，可以看到一个20世纪70年代的单层金属IC，用以说明硅片的表面起伏。

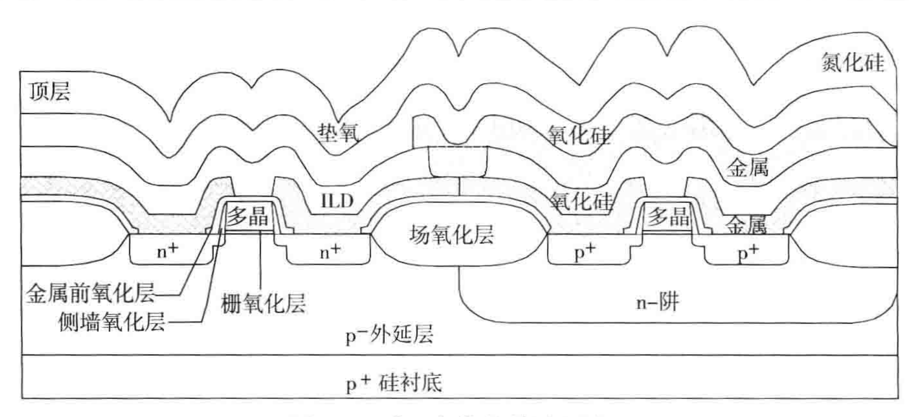


图 18.1 表面起伏的单层金属 IC

更高的芯片封装密度加剧了表面起伏的程度。随着目前IC设计中越来越频繁地使用多层金属技术，并要求更小的器件和内连线尺寸，先进IC的表面出现更高的台阶和深宽比更大的沟槽，使得台阶覆盖和沟槽填充变得更困难。表面起伏的主要负面影响是在光刻时对线宽失去了控制，由它引起的光刻胶厚度不均是限制亚0.25 μm光刻的主要因素。这种不均是因为受到步进光刻机焦深的限制。也难以在刻蚀后台阶上不均匀的光刻胶上制作图形。

被平坦化的硅片拥有平滑的表面，每层的厚度变化最小（意味着表面起伏最小）。填充低的部分，或去掉高的部分是使硅片表面平坦化的两种方法。在硅片表面进行平坦化对于后续工艺步骤（如光刻）是很重要的。在实际的平坦化工艺中，它可以去除硅片表面不希望存留的杂质材料，从而提高器件的成品率。表 18.1 定性列出 了各种平坦化术语[2]。在硅片上，可以进行局部平坦化，它只对一个芯片中近距起伏特点起作用，也可以对包含所有芯片的整个硅片表面进行全局平坦化（见图 18.2）。20 世纪 70 年代和 80 年代，人们开发了很多传统平坦化工艺来平滑台阶拐角和进行局部平坦化（详见本章后面对传统平坦化方法的介绍）。

表 18.1 硅片平坦化术语

平坦化类型	描述
平滑	台阶角度圆滑和侧壁倾斜，但高度没有显著减小
部分平坦化	平滑且台阶高度局部减小
局部平坦化	完全填充较小缝隙（1~10 μm）或一个芯片内的局部区域。硅片上相对于平整区域的总的台阶高度没有显著减小
全局平坦化	局部平坦化并且整个硅片表面总的台阶高度显著减小，又称为均匀性

自 20 世纪 90 年代中期以来，化学机械平坦化成为实现多层金属技术的主要平坦化技术。图 18.3 显示了使用CMP抛光的IC剖面图，可以看到在整个硅片表面获得了全局平坦化。CMP通常也被称为化学机械抛光（chemical mechanical planarization）或抛光，它在光学镜片抛光和硅片生产中的硅片抛光领域应用了很多年。20 世纪 80 年代后期，IBM 发展了 CMP 技术，并将其应用于制造工艺中对半导体硅片的平坦化。它在硅片制造中的第一次应用是对介质材料进行平坦化，继而被用来平坦化金属钨塞。现在，CMP 可以应用于多种薄膜和在同一硅片表面上的多种材料。这种灵活性使其成为芯片制作中的关键部分（见图 18.4）。对于铜的金属化，CMP 更成为硅片制造中实现多金属层和互连线的不可缺少的技术[3]。本章回顾了传统平坦化技术，使读者了解它们的限制，并且深入介绍使用CMP的平坦化。

(a) 未平坦化

(b) 平滑处理

(c) 部分平坦化

(d) 局部平坦化

(e) 全局平坦化

图 18.2　平坦化的定性说明

氧化硅和钨的平坦化层

W

SiO_2

层间介质

亚0.25 μm CMOS 剖面图

图 18.3　用 CMP 进行多层金属布线

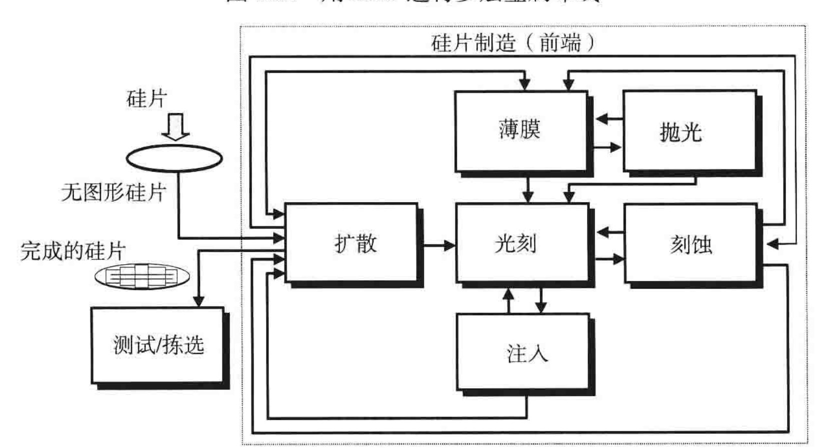
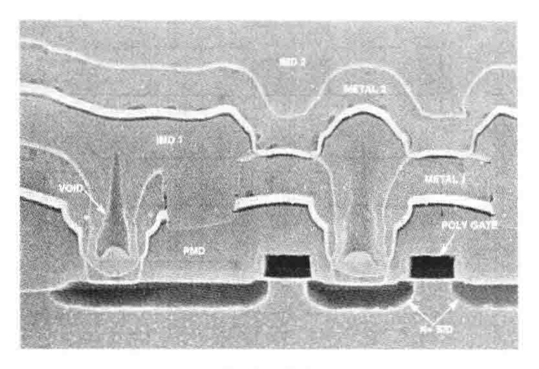
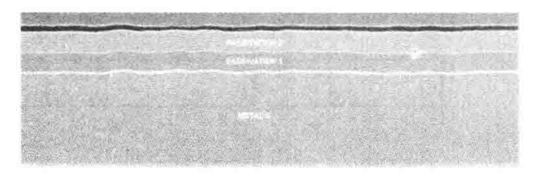
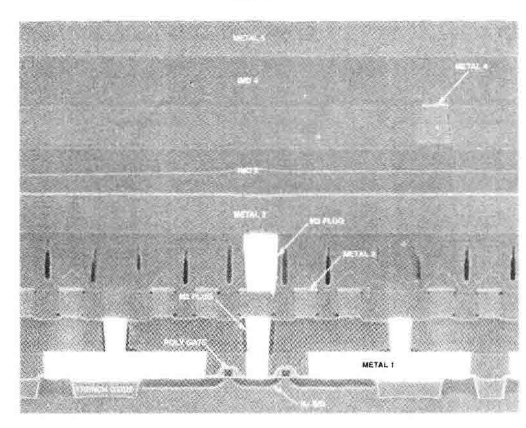


图 18.4　包含 CMP 的硅片制造工艺流程



(a) 非平坦化的 IC





(b) 平坦化的 IC

具有非平坦化和平坦化表面的多层金属化
（承蒙 Integrated Circuit Engineering 允许使用显微照片）

18.2 传统的平坦化技术

下面简单论述一些传统的平坦化方法。这里只是强调它们在硅片平坦化中的作用和缺点，并说明为什么化学机械平坦化技术在先进的 IC 制造中变得如此重要。传统的平坦化方法有：

- 反刻
- 玻璃回流
- 旋涂膜层

18.2.1 反刻

由表面图形形成的表面起伏可以用一层厚的介质或其他材料作为平坦化的牺牲层（如光刻胶或 SOG）来进行平坦化，这一层牺牲材料填充空洞和表面的低处。然后用干法刻蚀技术刻蚀这一层牺

牲层，通过用比低处图形快的刻蚀速率刻蚀掉高处的图形来使表面平坦化。这一工艺称为反刻平坦化（见图 18.5）。刻蚀过程一直进行，直到被刻蚀的介质层达到一个最后的厚度，同时平坦化材料仍然填充着表面的低处。有不同的反刻工艺，这取决于图形、金属层次等。把表面相近的台阶变得平滑是一种局部平坦化。反刻不能实现全局的平坦化。

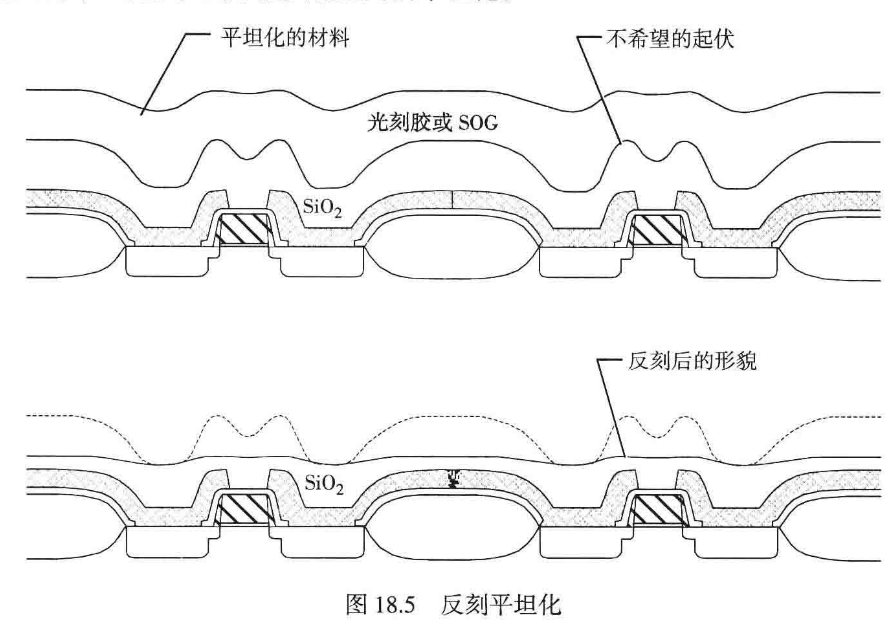


图 18.5　反刻平坦化

18.2.2　玻璃回流

硼磷硅玻璃（BPSG）和其他掺杂氧化硅早已被用做层间介质，是采用常压化学气相淀积法淀积的。玻璃回流是在升高温度的情况下给掺杂氧化硅加热，使它发生流动。例如，BPSG 在 850°C，氮气环境的高温炉中退火 30 分钟发生流动，使BPSG在台阶覆盖处的流动角度大约20度（见图 18.6）[4]。BPSG的这种流动性能用来获得台阶覆盖处的平坦化或用来填充缝隙，如此就可以获得在图形周围进行部分平坦化的方法。BPSG 在图形覆盖处的回流能获得部分平坦化，但不足以满足深亚微米 IC 中的多层金属布线技术的要求。

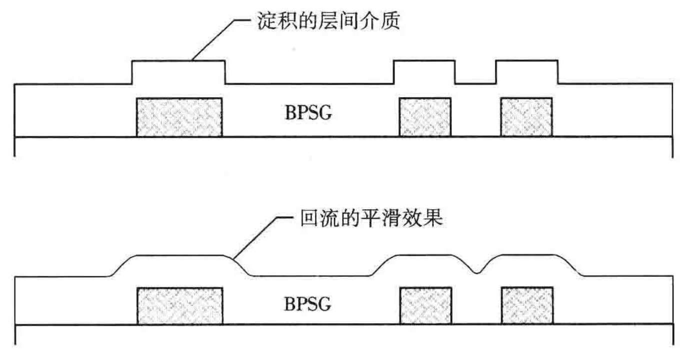


图 18.6　BPSG 回流平坦化

18.2.3　旋涂膜层

旋涂膜层是在硅片表面上旋涂不同液体材料以获得平坦化的一种技术，主要用做层间介质。这项技术在0.35 μm及以上器件的制造中常普遍应用于平坦化和填充缝隙。旋涂利用离心力来填充图

形低处，获得表面形貌的平滑效果。这种旋涂法的平坦化能力与许多因素有关，如溶液的化学组分、分子重量以及粘滞度（流动倾向）。旋涂的膜层材料是有机或无机的材料，包括光刻胶、SOG和多种树脂[5]。SOG有不同的系列，如80%溶剂和20%氧化硅，或有机SOG系列（如多晶硅氧化物）。旋涂后的烘烤蒸发掉溶剂，留下氧化硅填充低处的间隙。为了更进一步填充表面的缝隙，用CVD再淀积一层氧化硅（见图18.7）。

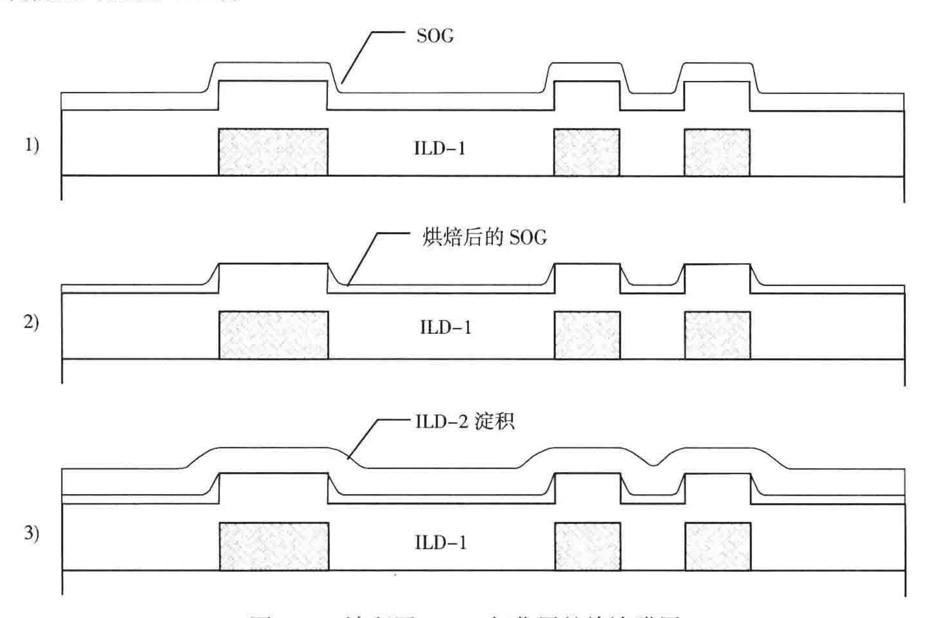


图 18.7 淀积了 ILD-2 氧化层的旋涂膜层

如同其他传统的平坦化技术一样，旋涂技术由于它在先进集成电路多层布线技术中的全局平坦化方面的能力而受到限制。在一个受控的研究中进行了带反刻的旋涂膜层与CMP技术的平坦化能力的比较，在反刻后的最大台阶高度约为7000 Å。而CMP平坦化同样的材料，最大台阶高度可以达到50 Å。[6]表面平坦化上这140倍的改善说明CMP技术在ULSI制造中成为一种处于主导地位的平坦化技术的原因。应当指出的是，应用材料的旋涂技术在未来硅片制造是有潜力的。预测在未来用于ILD的低k介质膜中可能用到旋涂技术。

18.3 化学机械平坦化

化学机械平坦化（CMP）是一种表面全局平坦化技术，它通过硅片和一个抛光头之间的相对运动来平坦化硅片表面，在硅片和抛光头之间有磨料，并同时施加压力（见图18.8）。CMP设备也常称为抛光机。在一台抛光机中，硅片放在一个硅片固定器或载片头上，并面向转盘上的抛光垫。硅片和抛光垫之间的相对运动由设备制造商进行不同的控制。大部分抛光机都采用旋转运动或轨道运动。在一些设备中，转盘由动力推动进行运动；而在其他抛光机中，载片头运动，而转盘只是在载片头的带动下运动。

CMP通过比去除低处图形快的速度去除高处图形来获得均匀的硅片表面。由于它能精确并均匀地把硅片抛光为需要的厚度和平坦度，已经成为一种最广泛采用的技术。CMP的独特方面之一是它能用适当设计的磨料和抛光垫，来抛光多层金属化互连结构中的介质和金属层。

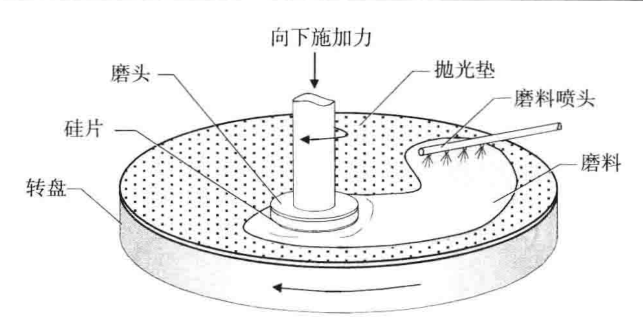


图 18.8　化学机械平坦化的原理图

18.3.1　CMP 的平整度

CMP在制造中用来减小硅片厚度的变化和表面形貌的影响。硅片的平整度和均匀性的概念在描述CMP的作用方面很重要。平整度描述从微米到毫米范围内硅片表面的起伏变化。均匀性是在毫米到厘米尺度下测量的，反映整个硅片上膜层厚度的变化[7]。因此，一个硅片可以是平整的，但不是均匀的，反之亦然。理解这种情况的一种方法是考虑一下已被平坦化的硅片上不同区域的均匀程度，硅片上两个特殊区域能够被抛光得很平整，但硅片上每一个这样的区域被抛光为不同的厚度。硅片表面上每个区域相对于它自己来说都具有很好的平整度，但彼此之间比较时均匀性就很差。

平整度（DP）指的是，相对于CMP之前的某处台阶高度，在做完CMP之后，这个特殊台阶位置处硅片表面的平整程度（见图18.9）[8]。因此，DP与某一特殊图形有关，DP可通过下式来计算：

$$DP(\%)=\left(1-\frac{SH_{post}}{SH_{pre}}\right)\times 100$$

其中，DP = 平整度

SH_{post} = CMP之后在硅片表面的一个特殊位置，最高和最低台阶的高度差（厚度变化）

SH_{pre} = CMP之前在硅片表面的一个特殊位置，最高和最低台阶的高度差

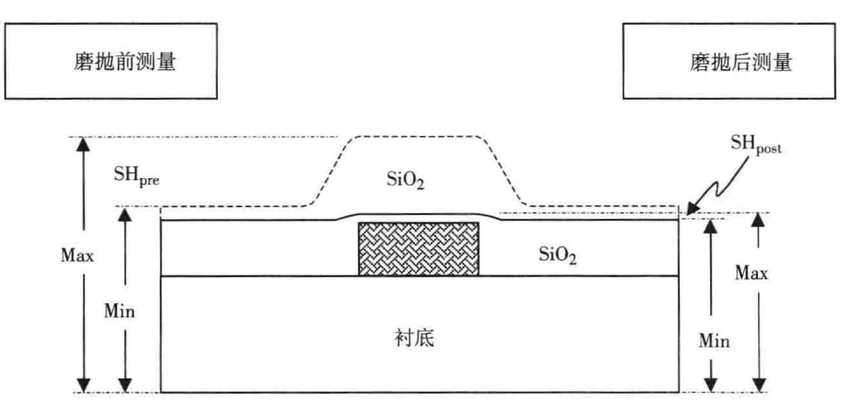


图 18.9　硅片平整度的测量

如果CMP之后测得硅片表面起伏是完全平整的，则 SH_{post} = 0并且DP = 100%。这意味着CMP的平坦化是完美的。另举一个例子，如果一个硅片 SH_{pre} = 20 μm，且 SH_{post} = 1。则DP为：

$$\begin{aligned} DP(\%) &= \left(1-\frac{SH_{post}}{SH_{pre}}\right)\times 100 \\ &= \left(1-\frac{1}{20}\right)\times 100 \\ &= 95\% \end{aligned}$$

有两种表达方法可以描述硅片的非均匀性：片内非均匀性（WIWNU）和片间非均匀性（WTWNU）。WIWNU用来衡量一个单独硅片上膜层厚度的变化量，通过测量硅片上的多个点（如多于9点）而获得。WTWNU描述多个硅片之间的膜层厚度的变化。这两个术语常用来描述全局平整性。

18.3.2 CMP 技术的优点

CMP技术具有许多优点，这使得它成为ULSI时代最广泛使用的平坦化技术。用于硅片制造的CMP的主要优点列于表18.2。[9]

表 18.2 CMP 技术的优点

优点	说明
1. 平坦化	能获得全局平坦化
2. 平坦化不同的材料	各种各样的硅片表面能被平坦化
3. 平坦化多层材料表面	在同一次抛光过程中对平坦化多层材料有用
4. 减小严重的表面起伏	能减小表面起伏使得在制造中采用更严格的设计规则并采用更多的互连层
5. 制作金属图形的另一种方法	提供制作金属图形的一种方法（如大马士革工艺），使得不需要对难以刻蚀的金属和合金等离子体刻蚀
6. 改善金属台阶覆盖	由于减小了表面起伏，从而能改善金属台阶覆盖
7. 增加 IC 可靠性	能提高亚 0.5 μm 器件和电路的可靠性、速度和成品率（降低缺陷密度）
8. 减少缺陷	CMP 是一种减薄表层材料的工艺并能去除表面缺陷
9. 不使用危险气体	不使用在干法刻蚀工艺中常用的危险气体

这些优点使得CMP技术区别于不能进行全局平坦化、而只是平滑局部表面起伏的传统平坦化技术。采用CMP技术也存在着困难。CMP技术对集成金属和介质层，以及双大马士革工艺互连很重要，对CMP工艺的控制是关键的。CMP技术的缺点列于表18.3中[10]。

表 18.3 CMP 技术的缺点

缺点	说明
1. 新技术	CMP技术是一种用于硅片平坦化的新技术，对工艺变量控制相对较差，并且工艺窗口窄
2. 引入新的缺陷	CMP 技术引入的新的缺陷将影响芯片成品率，这些缺陷对亚 0.25 μm 特征图形更关键
3. 必须发展别的配套工艺技术	CMP 技术需要开发额外的技术来进行工艺控制和测量。例如，CMP技术的终点检测难于控制一个想要的厚度
4. 昂贵的设备费用	采用CMP技术是昂贵的，因为设备和消耗品昂贵。用CMP技术来处理材料要求高的维护费用，并需要经常更换化学品和零部件

18.3.3 CMP 的机理

有两种CMP机理可以解释是如何来进行硅片表面平坦化的：（1）表面材料与磨料发生化学反应生成一层相对容易去除的表面层，（2）这一反应生成的硅片表面层通过磨料中研磨剂和研磨压力

与抛光垫的相对运动被机械地磨去[11]。用来平坦化硅片的CMP的微观作用是化学和机械作用的结合。不能使用一个完全的机械过程，如用砂纸来磨一块板子，因为这样一个研磨过程会损伤硅片的表面，带来沟槽和擦伤。

■ 氧化硅抛光　氧化硅抛光是半导体硅片制造中最先和最广泛使用的CMP平坦化工艺。氧化硅抛光是用来全局平坦化金属层之间淀积的ILD介质的。氧化硅抛光速率，或者叫氧化硅去除速度，用Preston方程来表达，Preston方程中有多个参数影响抛光速率，如果加大压力或速度，那抛光速率就会增加。Preston方程如下所示[12]：

$$R = kPv$$

其中，R = 抛光速率（单位时间内磨去的氧化硅厚度）

P = 所加的压力

v = 硅片和抛光垫的相对速度

k = 与设备和工艺有关的常数，包括氧化硅的硬度、抛光液和抛光垫等参数

氧化硅CMP的基本机理是Cook理论，与抛光光学玻璃是同样的机理。在基本磨料中，磨料中的水与氧化硅反应生成氢氧键（Si与氢氧键键合，见图18.10）。这种反应称为表面水合作用，氧化硅的表面水合作用降低了氧化硅的硬度、机械强度和化学耐久性。抛光过程中，在硅片表面会由于摩擦而产生热量，这也降低了氧化硅的硬度。这层含水的软表层氧化硅被磨料中的颗粒机械地去掉[13]。在硅片中较高的区域，局部的压力大于较低的区域。由Preston方程可知，高处的氧化硅的抛光速率较快，从而产生平坦化。

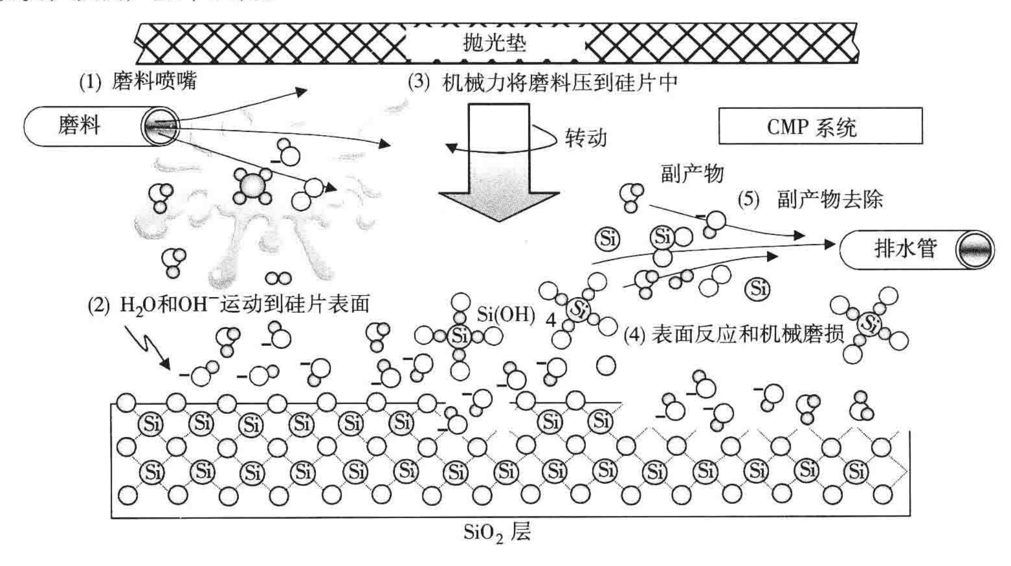


图 18.10　CMP 氧化硅的机理

■ 金属抛光　金属CMP的机理与氧化硅抛光的机理不同。一个最简化的模型是用化学氧化和机械研磨机理来解释金属抛光[14]。磨料与金属表面接触并氧化它；例如，在铜CMP中，铜会氧化生成氧化铜（CuO或Cu_2O）和氢氧化铜（$Cu(OH)_2$）。然后，这层金属氧化物被磨料中的颗粒机械地磨掉。一旦这层氧化物去掉，磨料中的化学成分就氧化新露出的金属表面，然后又被机械地磨掉，这一过程就这样重复进行（见图18.11）。最近对金属CMP机理的研究发现，金属的化学氧化和氧化的金属层的分解比机械研磨更重要。这意味着对金属CMP而言，仔细控制磨料的化学特性是重要的[15]。

大部分的CMP工艺已成为一个两步的抛光过程。第一步抛光是最主要的去除材料的步骤，第二步抛光是一个只用去离子水（或可能是一种独特的磨料）清洗的步骤。采用第二步的主要原因是为了消除硅片表面上的微小擦痕和颗粒，是为进行CMP后清洗工艺做准备。

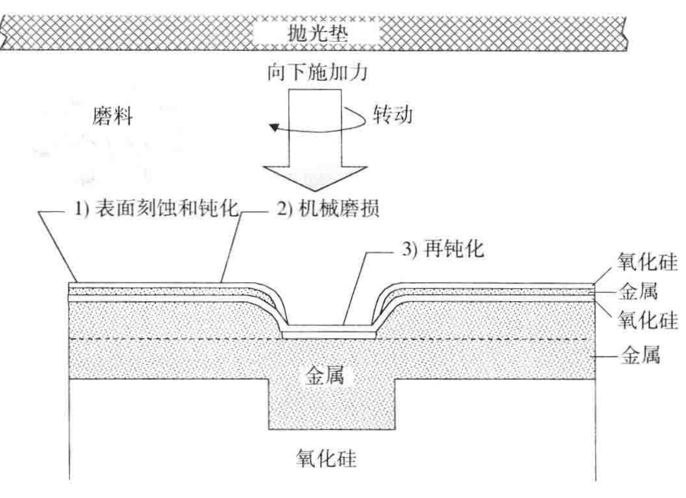


图 18.11　金属 CMP 的机理

图形密度效应　能用CMP技术获得的平整度主要受这种平坦化技术对图形敏感的特性影响[16]。图形间距窄的区域，即高图形密度区域，通常比宽图形间距区域的抛光速度快。小而孤立凸出的图形在平坦化过程中承受较大的压力，抛光速度较快。反过来说，低处图形承受较小的压力，抛光速度较慢。对高性能集成电路来说，抛光速度的变化能显著影响CMP的结果。局部互连和双大马士革金属层要求有图形密度的变化，在一个芯片表面既有很密的金属互连线区域，也有几乎无图形的区域（或没有金属线）。

在一些情况下，当金属线紧密地挤在一起（见图18.12）时，在CMP过程中对金属结构可能产生不必要的侵蚀。[17]侵蚀是指在图形区域氧化物和金属被减薄，它被定义为抛光前后氧化层厚度的差。产生侵蚀的一个原因是当抛光一层覆盖的金属层时，对下面的SiO_2产生轻微的过抛光。在高图形密度区域，对SiO_2的侵蚀要大一些[18]。为了最大限度地减小这种侵蚀，过抛光过程应被缩短（例如，理想地减小表面的起伏）。在另一种方式中，在抛光过程中加入缓冲氧化层的抛光，用来平坦化氧化层的凸出区域。在这步缓冲抛光中，牺牲氧化层被去掉大约300 Å。[19]如果不进行修正，在表面的侵蚀可能变得非常严重，以致引起诸如由于氧化层厚度的变化带来的不完全通孔刻蚀等问题（见图18.13）。

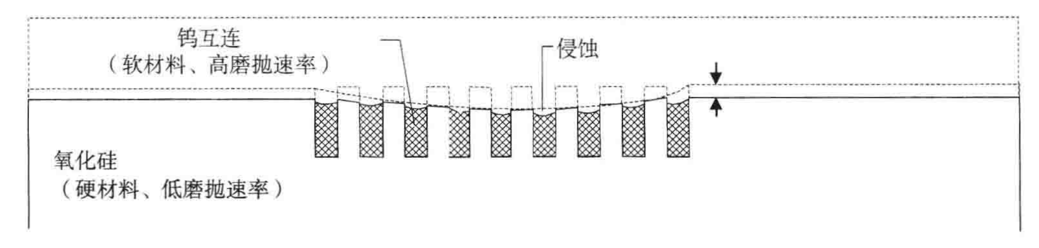


图 18.12　在高线条密度区域的 CMP 侵蚀

另一个不希望的CMP效果是凹陷（dishing），凹陷是指图形中央位置材料厚度的减小（见图18.14）。它被定义为金属线条中心（这是凹陷处的最低点）和SiO_2层最高点的高度差。凹陷的多少与被抛光的

线条宽度有关，线条越宽，凹陷就可能越多。抛光垫的硬度也对凹陷有影响。较软的抛光垫适合于软的金属线条，而施加压力引起凹陷。

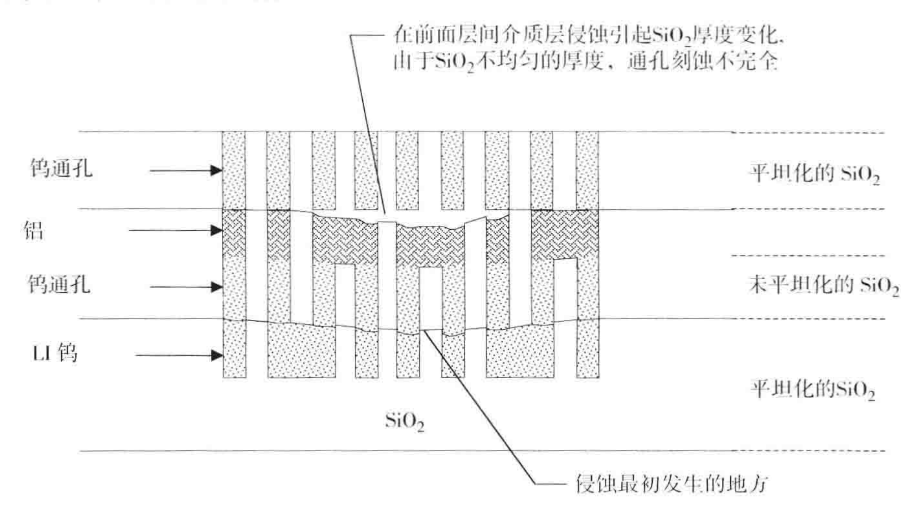


图 18.13　由于侵蚀带来的不完全通孔刻蚀问题

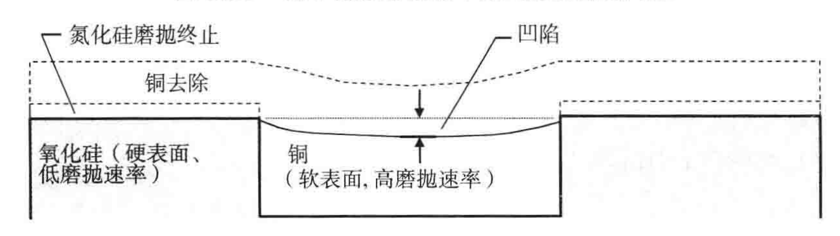


图 18.14　大图形中的 CMP 凹陷现象

18.3.4　CMP 磨料和抛光垫

磨料和抛光垫由于在CMP工艺中不断被使用和更换而被称为消耗品。对CMP而言它们是关键的，必须仔细控制。

■ **磨料**　磨料是精细研磨颗粒和化学品的混合物，在 CMP 中用来磨掉硅片表面的特殊材料。它是CMP 中一种重要的消耗品，因为它包含平坦化所需的化学成分和抛光颗粒。磨料有时通过转盘上的磨料喷嘴喷出。磨料的精确混合和批次之间的一致对获得硅片与硅片、批与批以及天天必需的可重复性是非常关键的。在抛光过程中，磨料均匀地分布在硅片表面也是重要的。磨料的质量是避免在抛光过程中产生表面擦痕的一个因素。

氧化物磨料　用于氧化物介质的一种通用磨料是含超精细硅胶颗粒（均匀悬浮）的碱性氢氧化钾（KOH）溶液，或氢氧化铵（NH_4OH）溶液。KOH类磨料由于它稳定的胶粒悬浮特性，是氧化物 CMP 中用得最广的一种磨料。K^+ 离子是一种可动离子沾污（MIC），但它容易被局域互连氧化层，如硼磷硅玻璃（BPSG）俘获。NH_4OH类磨料没有MIC，但它的胶粒悬浮特性不稳定，并且费用较高[20]。磨料的 pH 值通常在 10~11 附近。如前面所解释的，磨料中含水对表面的水合作用和后面的氧化物平坦化至关重要。

金属钨磨料　钨金属CMP的磨料是以精细氧化铝（Al_2O_3）粉末或硅胶作为研磨颗粒的，硅胶粉末比氧化铝要软，对表面不太可能产生擦伤，因而被更普遍采用。今天使用的磨料的化学成分是过氧化氢（H_2O_2）和硅胶或氧化铝研磨颗粒的混合物。在抛光过程中，H_2O_2分解成H_2O和溶于水的O_2，O_2与钨反应生成氧化钨（WO_3）。氧化钨比钨要软，因而氧化钨被抛光移除了[21]。

金属铜磨料 关于优化金属铜磨料的研究是活跃的，本书编写的时候业界尚无共识。氧化铝粉末磨料有时用于铜CMP。然而，在水溶液中，铜与钨不一样。一个差别就是铜在7~12.5的pH值范围内氧化钨则不能。因此，能很好地抛光钨的磨料对铜不适用[22]。一种制作铜磨料的方法是在磨料中采用NH_4OH，这种磨料氧化表面，特别是在低的图形区域里生成一层自然氧化铜膜。同时，加入一种氧化铝的合成物，快速溶解高处图形上的氧化铜，再用研磨颗粒磨去。这样产生高的抛光速率和良好的表面形貌[23]。

特殊应用磨料 适合特殊硅片表面材料的不同磨料有时在同一台CMP设备上使用。例如，对于铜CMP工艺，有铜层和钽金属或氮化钽阻挡层。如果对这两种材料用同一种磨料，那么对这两种材料的抛光速率应该是一样的（选择比应该最小）。磨料的化学成分不同，对铜和钽的化学反应（或选择比）会产生明显的差别。这种差异导致对阻挡层材料的抛光速率低，引起质量问题。一种解决办法是采用带磨料的系统。第一种磨料抛光铜并在阻挡层处停止抛光，第二种磨料去除阻挡层金属，而对铜的作用最小[24]。这种方法可能对不同的磨料需要不同的抛光垫，并能在多转盘的设备中实现。

正在开发新的磨料，其中所包含的化学成分和研磨颗粒能适合特殊的CMP应用。例如，一种正在研究的磨料是氧化铈磨料，其中的颗粒尺寸是非常均匀的，平均颗粒直径为0.2 μm。还在开发不用磨料的抛光垫，这种抛光垫把研磨颗粒集成在抛光垫上，只用去离子水[25]。

抛光垫 抛光垫粘附在转盘的上表面，它是在CMP中决定抛光速率和平坦化能力的一个重要部件[26]。为了能控制磨料，抛光垫通常用聚亚胺脂做成，因为聚亚胺脂有像海绵一样的机械特性和多孔吸水特性。抛光垫中的小孔能帮助传输磨料和提高抛光均匀性（见图18.15）。在抛光一些硅片之后，抛光垫表面会变得平坦和光滑，达到一种称为光滑表面的状态，这种光滑表面的抛光垫不能保持抛光磨料，因而会显著降低抛光速率。

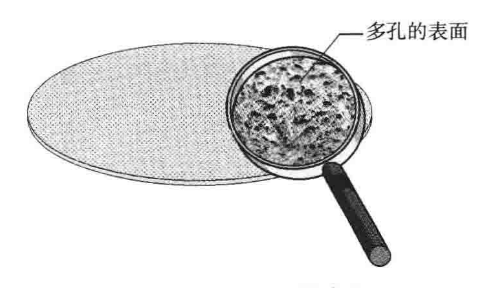
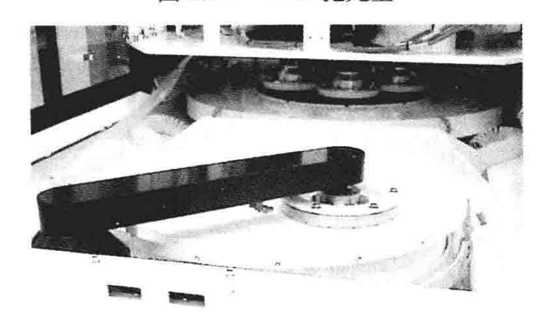


图18.15 CMP抛光垫



CMP抛光垫
（承蒙Speedfam-IPEC允许使用照片）

抛光垫要求进行定期修整来降低光滑表面的影响。修整的目的是要在抛光垫的寿命期间获得一致的抛光性能。抛光垫通过一些技术进行修整，如机械式摩擦或用去离子水喷溅，修整后重新产生粗糙的表面。另一种方法是用钻石轮，转动它并与抛光垫表面接触。修整工艺去除抛光垫表面的材料，因而是一个对抛光垫寿命有重要影响的因素。一些CMP设备有原位（实时）修整，即当在抛光垫的一个地方用修整轮做修整时，在抛光垫的另一个地方进行硅片的抛光。在离位抛光垫修整时，修整不是在抛光过程中进行的，而只在特定数量的硅片被抛光以后进行。

抛光垫在使用中需要进行定期更换。对于旧的CMP设备，抛光垫的寿命是抛光100个硅片，这与应用场合有关。现在，由于抛光垫、磨料和设备的发展，抛光垫的寿命是能抛光800个硅片[27]。通常也有把软硬不同的多个抛光垫叠在转盘上来获得恰当的抛光垫硬度。在氧化物抛光中使用叠层抛光垫的方法是，在转盘上放一个很软的抛光垫而用一个硬的抛光垫与硅片表面接触。

CMP技术中，在抛光垫的寿命期间，控制抛光垫的性质以保证重复的抛光速率是一项最大的挑战。抛光垫运动的类型是影响抛光垫控制的一个因素，抛光垫运动有基于旋转和轨道运动的多种方法。同一厂家制造的做线性运动（抛光垫做与皮带磨砂机类似的运动）的抛光设备有多个不同的机器，线性抛光可以把CMP设备设计得简单一些，但是为了控制抛光的非均匀性，仍有必要使用多层抛光垫和背压。线性抛光也能在低压下产生高的抛光速率[28]。然而，现代基于旋转运动和轨道运动的CMP机器能获得相当的向下压力和抛光速率。

■ 抛光速率和均匀性　抛光速率是在平坦化过程中材料被去除的速度，单位通常是纳米每分钟或微米每分钟。一个硬的抛光垫一般能通过把致密图形处的侵蚀减至最小，均匀地抛光硅片表面来提高硅片的局部平整性。它跨过硅片表面的低处，而把高处的材料磨掉，使得硅片表面在特殊的地方非常平整[29]。然而，硬的抛光垫一般有较大的片内非均匀性（WIWNU）[30]。软的抛光垫能减少表面的擦痕。

较大的压力（向下力）和旋转速度将提高抛光速率，但可能以牺牲均匀性为代价。在采用硬的抛光垫的时候，较大的压力也带来更严重的表面损伤（如擦痕）和沾污[31]。小的压力可能改善平整性，但片与片之间的非均匀性（WTWNU）会增大。在许多情况中，使用硬的抛光垫和小的压力能获得最好的平整性。

在抛光过程中磨料的运动影响抛光速率。在做旋转运动的设备中，磨料主要是通过旋转力沿着抛光垫的表面做运动。硅片的边沿可能比硅片的中间有更多的磨料。这种设备使得硅片边沿的抛光速率比硅片中间要快，称为中央慢设备（见图18.16）。为了解决这一问题，一些设备制造商就在磨头中通入N_2来在硅片背面产生背压。这样通过增加硅片中央的压力就使硅片凸起，有利于减小中间抛光速率的降低。磨头也可能轻微凸起，改善硅片中间的抛光性能[32]。

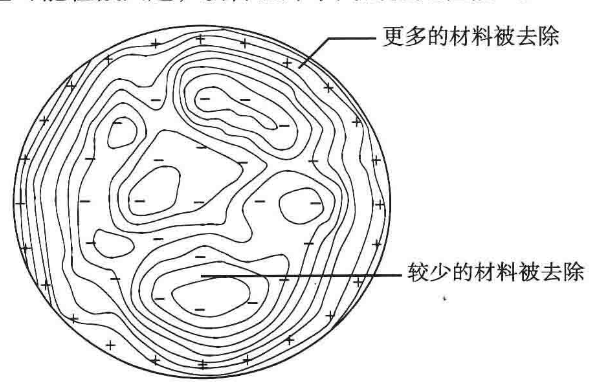


图18.16　CMP中硅片中间变慢的等值线图

选择比　在CMP中不同材料的抛光速率是影响硅片平整性和均匀性的一个重要因素。选择比是两种无图形覆盖材料抛光速率的比值。选择比定义为：

$$选择比 = \frac{材料1的抛光速率}{材料2的抛光速率}$$

如果一种软材料的抛光速率是3000 nm/min，一种硬材料的抛光速率是100 nm/min，那么它们的选择比为30。在多层材料需要同时抛光的场合中，选择比为1可能是理想的。这种情况将会把诸如凹陷和侵蚀等问题减至最小。另一方面，对于金属抛光，为了减少侵蚀，常常需要金属对介质材料高的选择比。如果在金属和层间介质中有阻挡层，可能需要对阻挡层低的选择比，使它能在主CMP步骤中被磨掉，而不需要专门去阻挡层的步骤。

抛光时间和膜层厚度　抛光一层膜所需要的时间直接与要磨掉的材料数量有关。多余材料指的是在抛光之前在硅片表面上淀积的过多的材料。目的是通过把多余材料的厚度减至最小来减少抛光时间（同时也是减少膜层淀积时间）。同时，也必须有足够的膜层厚度来保证平整性。例如，考虑抛光ILD介质的情况。过抛光的膜层厚度必须大于下一层金属图形的台阶高度。这一过抛光量通过考虑电学性能来决定。做到这一点就要求多余材料厚度要等于台阶高度加上一些富裕量。

■ CMP变量　控制CMP工艺是困难的，因为影响平整性和均匀性的许多不同参数之间的相互影响和相互作用。对不同的应用场合，需要对CMP进行优化。这些参数总结在表18.4中[33]。

表18.4　CMP参数

参数	硅片上的平坦化结果
抛光时间	● 磨掉材料的数量 ● 平整性
磨头压力（向下压力）	● 抛光速率 ● 平坦化和非均匀性
转盘速度	● 抛光速率 ● 非均匀性
磨头速度	● 非均匀性
磨料化学成分	● 材料选择比 ● 抛光速率
磨料流速	● 影响抛光垫上的磨料数量和设备的润滑性能
抛光垫修整	● 抛光速率 ● 非均匀性 ● CMP工艺的稳定性
硅片/磨料温度	● 抛光速率
硅片背压	● 中央变慢/非均匀性 ● 碎片

18.3.5　CMP设备

CMP设备是采用把一个抛光垫粘在转盘的表面来进行平坦化的（见图18.17）。在抛光的时候，一个磨头装有一个硅片。大多数的生产性抛光机都有多个转盘和抛光垫，以适应抛光不同材料的需要。多个转盘在多步工艺中用不同的磨料同时工作。如前面所论述的，抛光的最后一步常常是一步磨掉几百埃材料的缓冲抛光。

当今不同的CMP设备作为硅片生产的抛光设备已在半导体工业中使用了几十年。但是，抛光机不必满足IC硅片制造中很多材料的需要。由于金属层材料数目的增加和光刻焦深灵敏度的提高，

CMP 设备的平坦化能力很关键。CMP 设备的重要一点是当磨掉了合适的材料时它的检测能力，也就是终点检测。

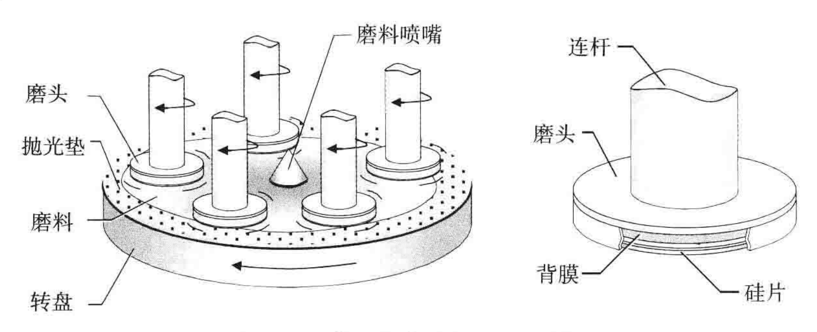
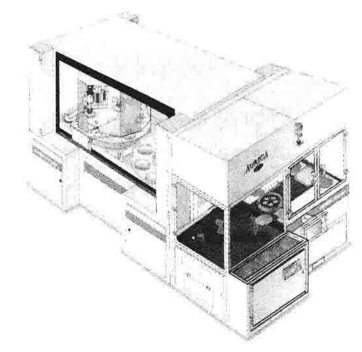


图 18.17　带多个磨头的 CMP 设备



CMP 设备
（承蒙 Speedfam-IPEC 允许使用照片）

终点检测　终点检测是指CMP设备。一种检测到平坦化工艺把材料磨到一个正确厚度的能力，有些 CMP 应用对终点检测来说是简单的，如抛光钨覆盖层时由于高的选择比，抛光会在下面的介质氧化层上停下来。然而，其他的应用带来挑战，如抛光没有抛光阻挡层材料的 ILD 氧化物或抛光大马士革结构中的铜，它要求在一步专门的 CMP 之后留下 1000 Å 的铜。CMP 工艺变量之多也为精确估计抛光时间带来了困难。

20 世纪 90 年代初期使用的第一台 CMP 设备是用样片估计抛光时间来进行终点检测的。这是一个粗糙的技术，并常常需要重新抛光才能达到想要的厚度。所有 CMP 设备中的最新型号有一些原位终点检测装置，允许使用者不必重新抛光就可以停留在保留的厚度下。终点检测传统上限于在整个硅片上取样和取保留膜厚的平均值。近来的设备改进允许检测硅片上一个特定位置的终点。在理想的情况下，原位终点检测能弥补抛光速率的变化并提供对抛光非均匀性的早期检测。这是CMP 设备制造业的一个活跃的研究领域。两种最常用的原位终点检测方法是基于电机电流或光学测量的。

电机电流终点检测　电机电流终点检测技术是检测磨头电机或转盘电机中的电流量，因为要保持合适的抛光速率。磨头是以不变的速度旋转运动的，以补偿电机负载的变化，电机驱动电流也是变化的，因此电机电流对硅片表面上的摩擦或粗糙程度的变化是敏感的。当抛光机磨完一种材料，露出另外一种具有不同抛光和摩擦特性的材料后，摩擦就会发生变化。如从金属钨覆盖层抛光至下面的Ti/TiN阻挡层以至氧化物层的时候，电机驱动电流的变化很容易检测到这些材料中每一种材料的变化（见图 18.18）。

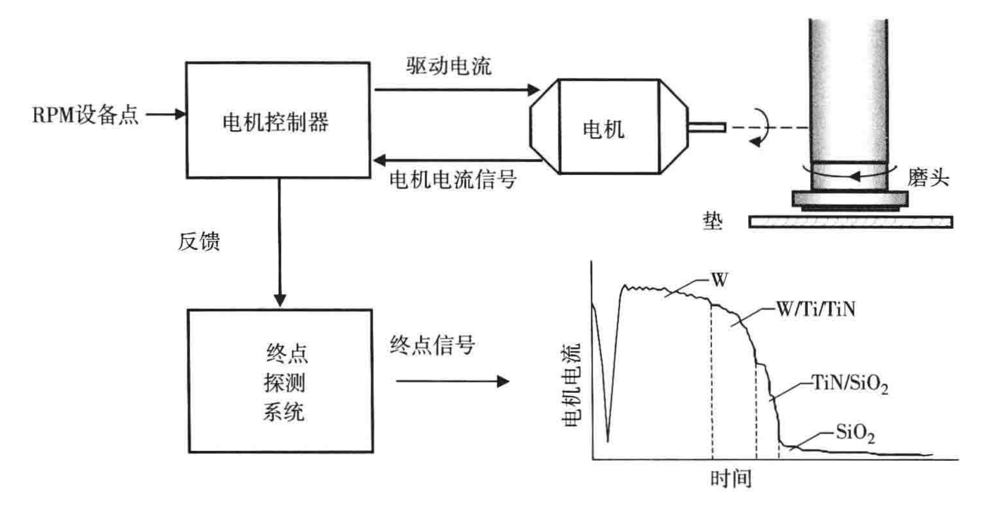


图 18.18 电机电流终点检测

电机电流不适合用做终点检测的一种情况是层间介质（ILD）CMP。目标是要在硅片表面上留下预定的氧化层厚度。正因为如此，就没有能引起表面摩擦和电机电流变化的其他材料层露出来（或阻挡层）。这种情况的终点检测需要别的技术，大部分设备采用光学检测。

光学终点检测　在CMP设备中被广泛采用的方法是光学干涉终点检测。这项技术是基于光的反射系数的。回顾第8章，在反射光谱学中，光从膜层上反射的不同角度与膜层材料和厚度有关。当膜层从一种材料的界面变化到另一种材料的界面处时，光学终点检测测量到从抛光膜层反射过来的紫外光或可见光之间的干涉。通过连续地测量抛光中膜层厚度的变化，这项技术能够测定抛光速率（见图18.19）。信号处理算法用来分析反射光并且减小硅片表面上的图形引起的电噪声。在STI（浅沟槽隔离）中抛光氮化硅上的氧化硅时，典型的终点检测精度是±100 Å 的氮化硅层[34]。

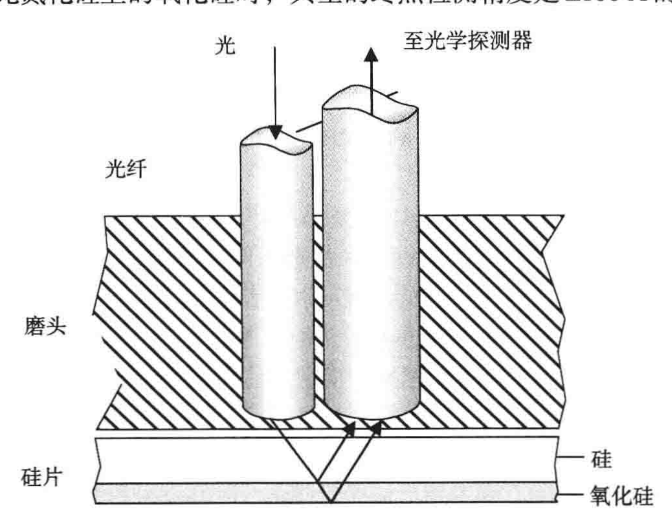


图 18.19 终点检测的光学干涉

（引自 H.Litvak and H.M.Tzeng, "Implementing Real-Time Endpoint Control in CMP," *Semiconductor International* (July 1996): p.262）

■ **磨头**　磨头（也称抛光头）使硅片保持在转盘表面抛光垫的上方。磨头向下的力和相对于转盘的旋转运动能影响均匀性。在传送和抛光过程中，磨头常常用真空来吸住硅片，虽然在抛光过

程中有时真空会关掉或甚至相反地加一个背压。一些磨头在硅片和磨头之间装有多层结构的衬膜，用来适应硅片的背面，补偿硅片背面和颗粒带来的不平整性。衬膜像海绵，有抽真空的小孔。

磨头的设计影响硅片边沿不均匀的数量。硅片边沿很少受控的一段距离被称为边沿废弃量。对于高密度的集成电路，边沿废弃量目前是大约3毫米[35]。这个数字是从几年前的6至7毫米减下来的，在以后还会继续减小。这种不均匀的原因是抛光垫在硅片边沿存在轻微的弯曲。在传统的老式设备中，是不能够给固定硅片的定位环上加压力的（见图 18.20），在更多的新设备中，为了优化硅片边沿的抛光速率，使它与整个硅片的抛光速率一致，在磨头上的定位环上进行单独的压力控制，从而获得较好的均匀性。

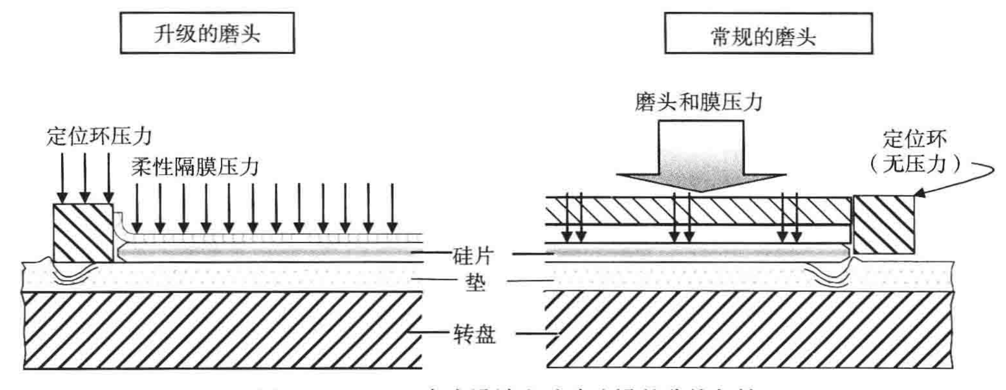


图 18.20　CMP 磨头设计和硅片边沿的非均匀性

一种新的膜头，有时被称为球胆式磨头，是在硅片的背面加上一个恒定的压力。这个压力是通过气压或水压实现的。一个弹性膜或球胆，在抛光过程中均匀地把压力加到硅片上，改善了全局平坦化效果[36]。

18.3.6　CMP 清洗

在硅片制造厂中，前端工序（FEOL）的清洗工艺主要由栅氧化层的性能来推动。传统上，后端工序（BEOL）的清洗是强调与薄膜、接触孔制作以及最近的CMP有关的沾污物的清洗。随着CMP在多种应用中的采用，如层间介质（ILD）、钨塞制作和双大马士革结构制作，后部工序清洗工艺变得更严格。

CMP清洗的重点是去除抛光工艺中带来的所有沾污物。这些沾污物包括磨料颗粒、被抛光材料带来的任何颗粒以及从磨料中带来的化学沾污物。去除从磨料和背抛光材料中引入的微颗粒沾污能产生特殊的清洗效果。颗粒要么由于CMP过程中所加的压力而机械性地嵌入硅片表面，要么由于静电力或原子力（范德瓦斯力）而物理地粘附在被抛光的硅片表面，静电力是表面电荷产生的吸引力或与 Zeta 势有关的排斥力（参见第 6 章）。在酸性的磨料中，如用于抛光金属钨的磨料，氧化铝磨料表面的电荷与硅片表面的电荷是相反的电荷，因此会导致微颗粒沾污[37]。

在 CMP 后清洗工艺使用不同的清洗设备：毛刷洗擦、酸性喷淋清洗、兆声波清洗以及旋转清洗干燥设备。这些清洗设备已在第 6 章论述过。CMP 后清洗步骤主要包括：氧化硅 CMP 后清洗、STI（浅沟槽隔离）CMP 后清洗、多晶硅 CMP 后清洗、钨 CMP 后清洗和铜 CMP 后清洗。

■ CMP 后清洗　自从 20 世纪 90 年代初期 CMP 技术在硅片制造厂中应用以来，CMP 后清洗已取得了进展（见图 18.21）。CMP 后清洗从最初的用去离子水进行兆声波清洗，发展到用双面洗擦毛刷（DSS）和去离子水对硅片进行物理洗擦。毛刷转动并压在硅片表面，机械地去除颗粒。然而，对

于用双面洗擦毛刷和只用去离子水进行清洗而言，毛刷很快就被颗粒沾污了。一个被颗粒沾污的毛刷很容易把颗粒传给别的硅片。为了解决毛刷被沾污的问题，CMP后清洗通常是使用带有稀释的氢氧化铵（NH_4OH）毛刷，这些氢氧化铵会流过毛刷中心，对毛刷进行冲洗（见图18.22）[38]。这些液体向外流过毛刷杆，从而连续不断地带走颗粒。

	具有兆声的湿法清洗机	双面刷洗机DSS+DI水	DSS + NH_4OH	DSS + NH_4OH和HF	DSS +添加的化学物质
氧化硅CMP	√	√	√	√	
钨CMP			√	√	
铜CMP					√

图18.21 CMP后清洗的发展

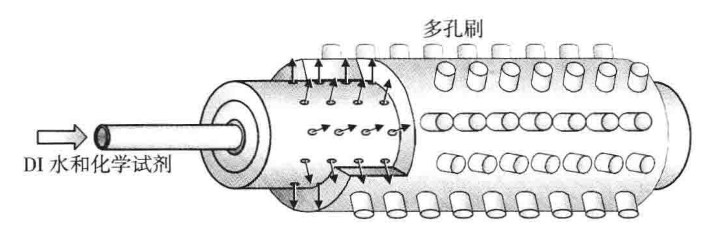


图18.22 CMP后清洗中通过毛刷的化学药品传输

（引自D.Hymes, et al., "Brush Scrubbing Emerges as Future Wafer-Cleaning Technology," *Solid State Technology* (july 1997): p.210）

在一些情况中，在CMP后清洗溶液中加入过氧化氢（H_2O_2）。这种碱性溶液用来控制pH值，从而控制Zeta势，以至于这些颗粒和硅片表面是静电排斥的[39]。对氧化硅CMP和金属钨CMP的清洗，这一步是在pH大于8的碱性溶液中进行的。只有当pH值为8或大于8的时候，磨料颗粒表面电荷符号才与金属钨和氧化硅上的电荷符号相同。这就使得颗粒被硅片表面排斥，在清洗中它们很容易被去掉。

有不同的CMP后清洗工艺。在稀HF酸中的短时间清洗常被用来腐蚀掉几个埃的表面材料，从而去掉金属颗粒沾污物。这一方法对清洗氧化硅表面是最有效的，如果在稀氢氟酸中处理的时间非常短（如15秒），它也用于清洗金属钨表面，研究也证实柠檬酸用于去除SiO_2表面的氧化铝颗粒是有效的[40]。

为了用清洗液来代替洗擦毛刷，在有些场合使用喷酸清洗设备或兆声清洗设备。但是，DSS毛刷对硅片表面的作用比兆声能量要强，从而清洗更有效且处理时间更短。旋转清洗甩干机在湿法清洗后用来冲洗和甩干硅片。

铜CMP后清洗　铜在硅和二氧化硅中扩散很快。为了防止器件电性能的退化，所有的铜都必须从硅片表面去除（前面、背面以及边沿）。NH_4OH清洗液在传统的CMP清洗中能避免对毛刷产生污染，但它对铜的清洗不适用，因为它对铜引起非均匀性的腐蚀，导致表面局部变得粗糙。可以预见，对铜的清洗需要新的清洗化学试剂，这种化学试剂不仅能控制产生排斥颗粒的静电力，同时也能防止铜的腐蚀[41]。这种清洗液应是与铜表面兼容。把残留的铜沾污物从硅片上清除非常关键，特别是在介质区域和高图形密度区域。在编写本书的时候，具有这种化学性质的清洗液正在研究中。

■ **干进/干出**　CMP设备的最新发展趋势是把CMP工艺和清洗工艺集成在一起，通常称为干进/干出工艺。这一方法通过缩短抛光和清洗所需的时间而提高生产率。硅片的平坦化、清洗、

干燥、测量以及装到片架里，这些工作都在单一的设备里完成。然而，对于铜CMP，研究也显示，集成的干进/干出清洗工艺颗粒减少50%。另一个好处是磨料从铜表面被很快地清洗掉，使得铜被腐蚀的可能性很小[42]。

18.3.7 CMP设备制造商

许多厂家提供了商用CMP设备（见表18.5）。在生产上，硅片的产量是很重要的。设备必须考虑到被抛光的不同材料在处理时间上不一致，这种处理时间上的不一致是在CMP设备上采用多转盘和多磨头的原因。产品的效率要求对硅片进行同时处理。具有灵活性的设备硬件和软件能产生这种结果（例如能用不同的工艺程序来处理不同的材料）。

表18.5 商用CMP设备举例

厂家/型号	运动类型	转盘数目/直径（英寸）	磨头数	干进/干出	终点检测
Applied Materials					
Mirra 3400	旋转	3/20"	4	是	是
Ebara	旋转	2/23.6"	1	是	是
EPO-222					
Speedfam–IPEC					
Avanti 472	轨道				
Avanti 672	轨道	2/22.5"	1	是	是
IPEC 676/776	轨道	3或6/32"	3或6	是	是
Auriga-C	旋转	4/16"	4	是	是
Lam					
Teres	线性	2条带子	4	是	是
SpeedFam					
Auriga	轨道	2/32"	5	是	是
Strasbaugh					
Symphony	旋转	3/32"	4	是	是

18.4 CMP应用

CMP技术已成为亚0.25 μm ULSI技术中用于多层金属化的主要平坦化技术。CMP的应用涉及到许多的材料。将对一些主要应用做一个简单的论述，以说明CMP是怎样能够用于全面工艺集成的。要想了解整个工艺流程的特别细节，请参考第9章。对以下的CMP应用做一下论述：

- STI氧化硅抛光
- LI氧化硅抛光
- LI钨抛光
- ILD氧化硅抛光
- 钨塞抛光
- 双大马士革铜抛光

18.4.1 STI氧化硅抛光

浅槽隔离（STI）是一种前端工艺，用来在硅片表面的器件之间形成隔离区。STI已经取代LOCOS（硅的局部氧化）技术，主要是因为STI技术在器件结构中有更高的空间使用率。参考第11章中描述的STI工艺流程。

STI中的填充氧化层是用CMP技术磨去比氮化硅层高的所有氧化硅（否则STI抛光后进行的工艺就不能用热磷酸剥离掉氮化硅），从而实现平坦化，CMP过程如图18.23所示。氮化硅的作用是在

CMP中作为一个抛光阻挡层，通过终点检测在从氧化硅过渡到氮化硅的时候停止抛光过程。氮化硅的厚度也决定了允许的CMP过抛光量，使抛光过程不至于把器件的有源区曝露并带来损伤。

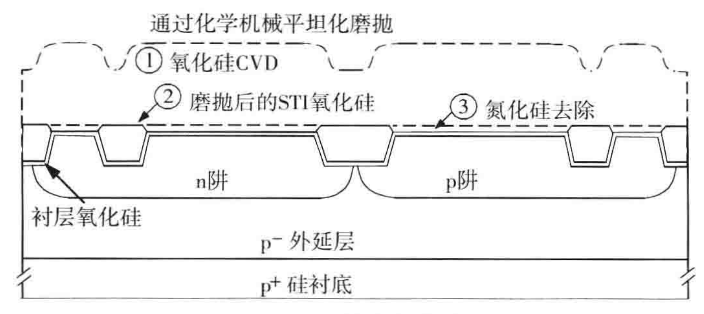


图 18.23 STI 填充氧化硅 CMP

STI抛光的一个困难是避免沟槽中的氧化硅减薄太多，或产生凹陷。这种情况是由于抛光垫太柔软使得在压力的作用下，在宽的沟槽区域产生缺陷。当氮化硅掩膜层在CMP过程中露出来的时候，抛光垫向沟槽弯区并形成凹面，这就产生了凹陷。凹陷量受一些因素的影响，如抛光垫的硬度、沟槽的宽度以及过抛光时间。

18.4.2 LI 氧化硅抛光

进行LI氧化硅抛光，然后用于制作局部互连线图形（见图18.24）。局部互连（LI）为实际器件提供穿过ILD-1层的金属连线。LI金属一般是钨，用来连接晶体管和衬底层上的各个端点。淀积一层掺杂氧化硅，如磷硅玻璃（PSG），用做LI氧化硅。ILD-1氧化硅把实际器件与LI金属在电学上隔离开来，并自然地把器件和可动离子沾污等污染源隔离开来。

LI氧化层包括一层薄氮化硅或氮氧化硅，这一薄层氮化硅用做器件保护和LI阻挡层，上面是一层用等离子体增强TEOS或高密度等离子体CVD（HDPCVD）淀积的厚掺杂氧化硅层。在亚0.25 μm器件制作中，掺磷并在600~650°C进行回流的HDPCVD氧化硅是最常用的，基于热预算的原因，它代替了需要高温（850°C）回流的BPSG。[43] 在淀积以后，LI氧化硅层有多余的厚度并有与表面图形一致的表面形貌。LI氧化硅层需要用CMP进行平坦化，使最终厚度达到800 Å（见图18.24）。

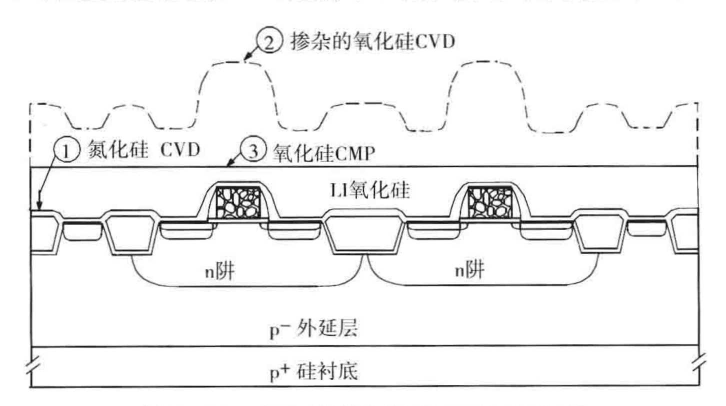


图 18.24 CMP 平坦化前后的 LI 氧化硅层

18.4.3 LI 钨抛光

局部互连是通过在ILD-1中制作通孔和源漏接触孔的连线图形而成的。淀积在通孔中的金属钨形成钨塞，淀积在沟槽中的金属钨形成局部互连线。在淀积钨之前，先淀积一层薄的Ti/TiN复合膜，

Ti改善金属钨与SiO_2的粘附，TiN作为金属钨的扩散阻挡层并有助于改善源漏接触电阻。然后淀积的金属钨覆盖整个硅片表面，对通孔和沟槽进行填充。在LI中，宁愿选择钨而不用铝，是因为钨具有无空洞的优异的间隙填充特性。可以预见，即使对于铜金属互连，钨仍然会被用做LI金属。CMP是用来抛光金属钨的，同时用氧化硅做抛光停止层。钨有好的抛光特性。用一步缓冲抛光去除金属钨CMP中带来的残留物并为清洗做好准备。

LI层的钨金属化有最高的钨图形密度，而凹陷和侵蚀是LI钨金属CMP中的突出问题。在工艺中，过抛光必须控制到最小。

18.4.4　ILD 氧化硅抛光

淀积在金属层之间的层间介质（ILD）用来对金属导体进行电绝缘。它通常是高密度等离子体CVD淀积后，紧接着进行PECVD淀积。这是因为HDPCVD氧化层具有优良的细缝隙填充特性，而PECVD可以提高产量和降低成本。氧化层用CMP抛光至特定的厚度，这一抛光过程是完全盲目的，因为没有抛光停止层。ILD氧化层抛光需要有效的终点检测（见图18.25），这与用ILD氧化层作为有效停止层的钨CMP不同。

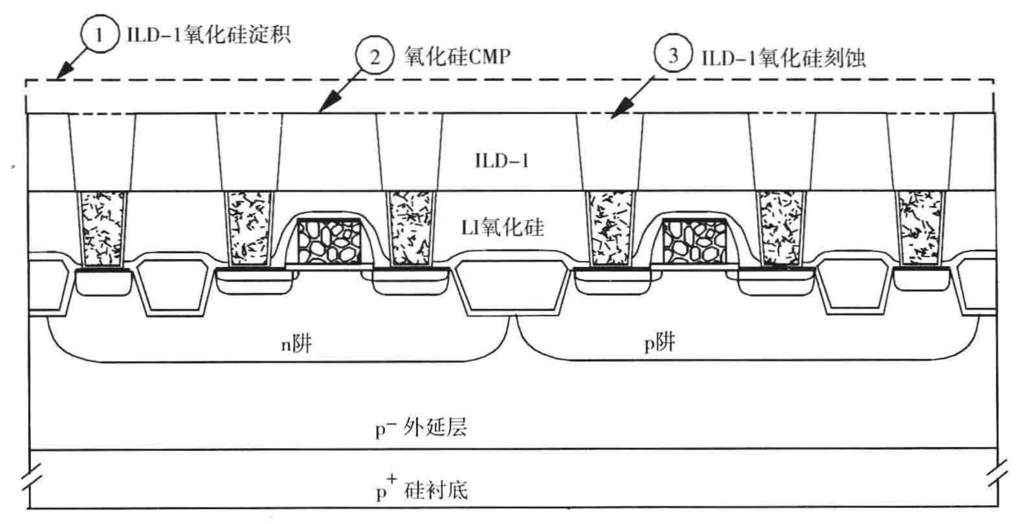


图 18.25　ILD 氧化层抛光

18.4.5　钨塞抛光

光刻在ILD氧化层上制出图形，通过刻蚀制出通孔。为了粘附好，先淀积一层薄的Ti，然后淀积一层TiN阻挡层，再淀积钨覆盖所有的通孔和ILD氧化层表面。接着用CMP把钨抛光至ILD氧化层表面，很方便地利用了氧化硅作为停止层。这一步制作了金属钨塞，使相邻的金属层实现了电连接（如金属1和金属2）。

18.4.6　双大马士革铜抛光

CMP用来抛光通孔和双大马士革结构中用的细铜线（见图18.26）。首先用光刻技术在ILD中制作出通孔和沟槽图形并进行干法刻蚀，再淀积一层金属阻挡层（75 Å），紧接着淀积一层薄的铜籽层（约500 Å），然后用电化学淀积（ECD）工艺把铜淀积到高深宽比的图形中。这些铜用CMP来平坦化，同时用介质做停止层。

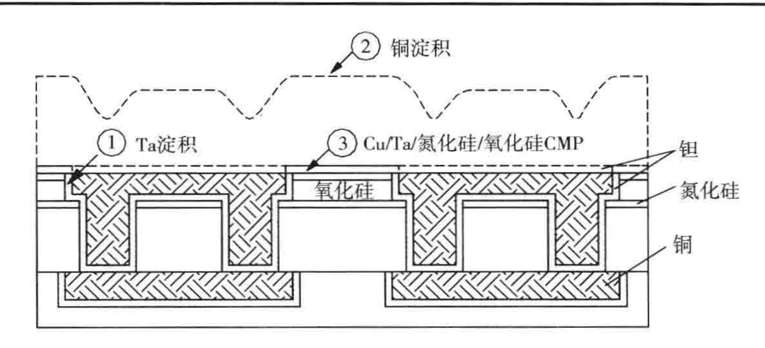


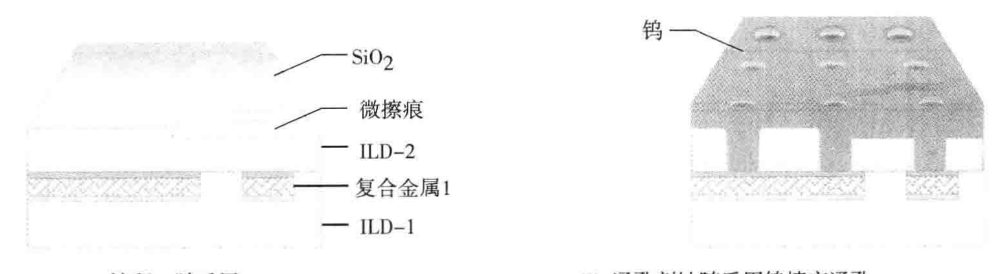
图18.26　CMP用于双大马士革铜布线

依据大马士革方法，CMP平坦化双大马士革结构中的铜时可能会有困难，因为它也磨去了阻挡层。这种抛磨在介质/阻挡层/Cu界面是否需要，应该在CMP工艺中仔细选择。一种理想的情况是对Ta和Cu材料有几乎为1的选择比。编写本书的时候铜CMP似乎将要采用两步工艺。一种磨料去掉所有或几乎全部的Cu，另一种磨料用相同的抛光速率（选择比接近1）磨掉Ta和剩余的铜。

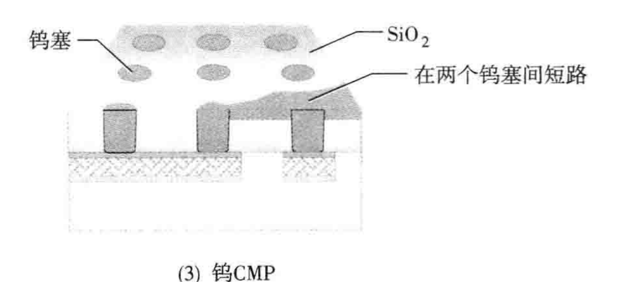
Cu和Ta的选择比也影响到所能获得的平坦化质量的高低。较快的抛光速率能引起严重的铜凹陷和介质表面侵蚀。最易凹陷的区域是在上面非关键金属层中的总线和压点。双大马士革结构中沟槽深度目前大约是5000 Å 并必须有不到20% 的变化，这意味着在CMP中允许有不到1000 Å 的表面凹陷和侵蚀[44]。由于凹陷和侵蚀带来的不均匀的表面能传递给下面的层，从而更难以获得好的平坦化结果。这种情况会由于下层表面起伏引起差的平坦化而带来残留物，进而导致电学短路[45]。

18.5　CMP 质量测量

CMP带来的一个显著的质量问题是表面微擦痕。小而难以发现的微擦痕导致淀积的金属中存在隐藏区，可能引起同一层金属之间的短路（见图18.27）。主要是磨料中不受欢迎的颗粒沾污引起微擦痕。表18.6中列出了CMP质量测量的主要方法。



(1) SiO_2 淀积，随后用CMP　　(2) 通孔刻蚀随后用钨填充通孔



(3) 钨CMP

图18.27　CMP中的微擦痕

表 18.6　CMP 关键质量测量

质量参数	缺陷类型	备注
1. 硅片表面上的擦痕或沟	A. 金属内短路（金属层与金属层之间）	微擦痕非常难以用观察的方法检测到。产生的可能原因有： ● 磨料中颗粒尺寸分布控制不好 ● 储存时间太长或使用不当导致磨料颗粒沉积而生成较大的颗粒 ● 磨料中的微粒污染 ● 工艺未优化或没有进行减少微擦痕的二次缓冲抛光
2. 凹陷	A. 高抛光速率材料处下陷	● 凹陷通常发生在高抛光速率材料处(如STI氧化物）低抛光速率材料周围（如用做抛光停止层的氮化硅） ● 更多的凹陷发生在高抛光速率材料的较大表面区域 ● 增加抛光垫的硬度可减少凹陷(抛光垫向凹处弯曲较小） ● 作为一种临时办法，一些设计者用假图形支撑抛光垫来防止更大图形处产生凹陷（如压点）。这种方法只有在表面积允许的情况下使用 ● 对铜来说，硬的抛光垫和高度采用化学抛光的磨料（只用于高处）应该把凹陷减到最小 **
3. 侵蚀	A. 低抛光速率处下陷或抛去太多	● 低抛光速率材料的侵蚀（如氮化硅） ● 当金属图形密度增加（线条间距小）时最为明显，如钨互连中采用氮化硅阻挡层 ● 可导致通孔不能被完全刻通，从而不能与底层金属接触 ● 研究可调的抛光垫来进行局部压缩和最合适的磨料运动方式
4. 残留物	A. 沿图形边沿的细长条状残留物	CMP是一种相对干净的工艺(与RIE反刻工艺相比）。合适的 CMP 工艺应该减少沿图形边缘的细长线条。细长线条能引起短路或降低芯片的可靠性。引起细长线条的可能原因有： ● 不同的材料都有可能产生细长线条，如钨或多晶硅细长线条 ● 通过优化抛光垫、磨料的化学成分等来获得更加均匀的抛光，从而使产生的细长线条最少

*J.Damiano 等，"Characterization of the Oxide CMP Process for Shallow Trench Isolation Based Advanced BiCMOS Technologies." *Proceedings* 98-7(Pennington,NJ:The Electrochemical Society,1998),P.53

**J.Steigerwald, S.Murarka, and R.Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*. (New York: John Wiley and Sons. 1997),P.266

18.6　CMP 检查及故障排除

在 CMP 中常见的问题及解决办法列于表 18.7。

表 18.7　CMP 中的常见问题解决办法

问题	可能的原因	纠正措施
1. 磨料中颗粒太大	A. 磨料在传送设备内壁变干并掉入磨料混合物中 B. 在引入的磨料中研磨颗粒结块 C. 磨料供给设备没有充分搅拌磨料	● 采用磨料在使用点（POU）过滤的方法 ● 最优化磨料制造和传输 ● 用表面活性剂和稳定装置提高磨料的稳定性

（续表）

问题	可能的原因	纠正措施
2. 硅片表面的非均匀性抛光	A. 中间快（中间抛光比硅片上其他地方要快） B. 中间慢（中间抛光比硅片上其他地方要慢）	● 转盘上的抛光垫不平将导致中间快、中间慢或一些边缘问题。检查是否有过度的磨损 ● 磨头的压力（向下的压力）设置得不正确 ● 检查抛光垫修整臂是否调节到恰当位置，是否破旧（没有平滑面出现） ● 磨料流量不够或粘滞度不正确（流动的能力） ● 磨头上的垫膜破损，硅片不能保持成一个平面 ● 转盘转速设置得不对 ● 硅片的背压设置得不合适
3. CMP 铜后清洁硅片时的颗粒	A. 在硅片上发现过多的颗粒（对于 0.18 μm 的关键尺寸，要求大于 0.08 μm 的缺陷每个硅片上要小于 20 个 * B. 在深图形中残留磨料结垢，如光刻对准标记和压点区 C. 残留的铜从介质区域或有图形硅片上的线条间移动	对 CMP 要主要关注的是硅片在清洗后表面的颗粒级数。可能的纠正措施是： ● 检查是否做了有图形硅片上残留铜的清洗。对于高图形密度来说这是很难的 ● 检查双面洗擦毛刷是否污染 ● 确认是否用了最合适的清洗化学药品，特别是对清洗铜残留物而言 ● 确保从硅片表面上不同材料的曝露到毛刷和清洗化学试剂没有产生化学药品的交叉污染
4. 抛光垫变得平滑（导致抛光速率降低）	A. 修整臂调节得不合适 B. 抛光垫太旧	为了获得一致的抛光性能，抛光垫的磨合和修整是必要的。对于表面光滑的抛光垫，可能要做： ● 确认是否进行了合适的抛光垫磨合（如在做产品硅片时，先做样片） ● 调解修整向下的压力或改变修整表面 ● 更换抛光垫

*R.DeJule, "CMP Challenges Below a Quarter Micron", *Semiconductor International* (November 1997):p.58

18.7 小结

表面形貌描述制作不同图形时产生的硅片表面的不平整性。一个被平坦化的硅片在局部和全局都有平坦的表面。三种传统的平坦化方法是反刻、玻璃回流和旋涂膜层，这些方法不能满足先进集成电路的全局平坦化的需要。化学机械抛光（CMP）能获得金属和介质层的局部和全局平坦化。CMP有许多优点适合于ULSI，主要是达到全局平坦化的能力。抛光氧化层和金属层是不同的CMP机理。氧化硅CMP机理基于表面的水合作用，这种水合作用能降低氧化硅的表面硬度，从而能被机械地磨掉。金属层是被磨料氧化，从而使它能用抛光的方法去掉表面层。CMP对图形密度是敏感的，在某些图形中产生侵蚀和凹陷两种缺陷。磨料包括研磨颗粒和化学成分，它们磨去硅片表面不想要的材料。不同的磨料有不同的化学特性，这取决于要磨掉的材料。抛光垫粘附在转盘上面并且是影响平坦化的一个重要因素。在使用以后，抛光垫变得表面平滑，需要机械修整。CMP的参数（如抛光垫的硬度和向下的压力）影响抛光速率和均匀性。大部分的CMP设备都有多个转盘以适合不同工艺的需要。终点检测是用来监测什么时候抛光到了需要的厚度。电机电流和光发射谱是两种最主要的终点检测方法。磨头被优化设计成在整个硅片表面加上均匀的压力。CMP清洗能够彻底地清洗掉颗粒，主要是用双面擦洗毛刷清洗，并用氢氧化铵来防止毛刷沾污。最新的CMP设备集成了抛光和清洗，使硅片能够干进/干出。在多层金属化技术中有许多要用到CMP的场合。

关键术语

表面形貌 / 起伏
平坦化的硅片
局部平坦化
全局平坦化
化学机械平坦化（CMP）
反刻平坦化
玻璃回流
旋涂膜层
抛光机
平整性
均匀性
平整度（DP）
片内非均匀性（WIWNU）
片间非均匀性（WTWNU）
平坦化距离
氧化物抛光
Preston 方程
Cook 理论
金属 CMP
图形敏感度
侵蚀
凹陷
消耗品
磨料
抛光垫
光滑表面
修整
抛光速率
中间变慢
选择比
多余物
终点检测
电机电流终点检测
光干涉终点检测
磨头或抛光头
垫膜
边沿废弃区
气胆式磨头
污染的毛刷
干进 / 干出

复习题

1. 描述表面形貌，较高的芯片封装密度会引起表面形貌的何种变化？
2. 描述被平坦化的硅片。
3. 列举并论述硅片平坦化中用到的 4 个术语。
4. 从 20 世纪 90 年代中期以来，最主要的平坦化工艺是什么？
5. 列举和论述三种传统的平坦化方法。
6. 描述化学机械平坦化，CMP 是怎样实现平坦化的？
7. CMP 设备的另一个名称是什么？
8. CMP 的独特方面是什么？
9. 解释平整性与均匀性之间的差别，什么样的硅片是平整但不均匀的？
10. 什么是平坦度？如果 $SH_{pre}=10\ \mu m$，$SH_{post}=1\ \mu m$，那么 DP 是多少？
11. 解释 WIWNU 和 WTWNU 之间的差别。
12. 列举并解释 CMP 的 9 个优点。
13. 列举并解释 CMP 的 4 个缺点。
14. 叙述用于解释 CMP 平坦化表面方式的两种机理。
15. 氧化硅抛光是用来做什么的？叙述并解释 Preston 方程。
16. 描述称为 Cook 理论的氧化物抛光机理。
17. 解释金属抛光的机理。

18. 什么是图形敏感度？它是如何影响CMP的？
19. 论述侵蚀和凹陷以及它们是怎样影响硅片平坦化质量的？
20. 定义磨料。为什么磨料对CMP很重要？
21. 论述用来抛光氧化硅、钨和铜的磨料的特性。
22. 描述抛光垫。
23. 解释表面平滑。修整的目的是什么？
24. 定义抛光速率。
25. 抛光垫是如何影响均匀性的？
26. 解释选择比。叙述选择比的公式，对于要同时进行抛光的不同材料，需要什么样的选择比？
27. 什么是多余材料？多余材料与抛光时间有怎样的关系？
28. 对下列每一种参数，描述在硅片表面会产生怎样的结果：抛光时间、磨头压力、转盘速度、磨头速度、磨料化学成分、磨料流速、抛光垫修整、硅片/磨料温度和硅片背压。
29. CMP中为什么需要终点检测？
30. 举一个应用终点检测的简单的CMP例子，并举一个难的例子。
31. 列举并描述在CMP中用的两种终点检测类型。
32. 描述磨头，以及它是如何影响硅片均匀性的？
33. 磨头上的垫膜是什么？
34. 描述边沿废弃区以及它是怎样影响硅片非均匀性的？
35. 解释气胆式磨头。
36. CMP清洗的重点是什么？
37. 为什么在CMP清洗中要用毛刷？什么是污染的毛刷以及为什么这是CMP清洗应该关注的？
38. 论述铜CMP后清洗。
39. 解释用于CMP的干进/干出清洗概念。
40. 列举并简单描述硅片制造中用到CMP的6个例子。

CMP 设备供应商网站

Applied Materials	http://www.appliedmaterials.com/products/
Arch Chemicals (aka Olin)	http://www.olinmicro.com/default.asp
BOC Edwards	http://www.boc.com/edwards/
Dainippon Screen Mfg. Co.	http://www.screen.co.jp/eed/index_E.html
Dow Corning	http://www.dowcorning.com/
DuPont	http://www.dupont.com/semiconductor/
Ebara Technologies Inc.	http://www.ebaratech.com/
EKC Technology Inc.	http://www.ekctech.com/
FSI International	http://www.fsi-intl.com/
International SEMATECH	http://www.sematech.org/public/index.htm
Intersurface Dynamics Inc.	http://www.isurface.com/
KLA-Tencor	http://www.kla-tencor.com/product/photo_frame.html
Lam Research Corp.	http://www.lamrc.com/
Millipore Corporation	http://www.millipore.com/

Nova Measuring Instruments Ltd.	http://www.nova.co.il/
Peter Wolters CMP Systems	http://www.peter-wolters.com/
Polypros Inc.	http://www.polypros.com/
Prodeo Technologies	http://www.prodeotech.com/
Rippey Corporation	http://www.rippey.com/
SEMI	http://www.semi.org/
Semitool	http://www.semiatool.com/
Sitek Inc. (see Prodeo Technologies)	http://www.sitekgroup.com/
Speedfam-IPEC	http://www.sfamipec.com
Steag Electronic Systems	http://www.steag.com/
Strasbaugh	http://www.strasbaugh.com/
TBW Industries Inc.	http://www.tbw-inc.com/
Verteq	http://www.verteq.com/

参考文献

1. R. DeJule, "CMP Challenges below a Quarter Micron," *Semiconductor International* (November 1997): p. 55.
2. R. Liu, "Metallization," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 425.
3. D. Pramanik, M. Weling, and X.-W Lin, *CMP Applications for Sub-0.25* μm *Process Technologies*, Proceedings Vol. 98-7, (Pennington, NY: The Electrochemical Society, 1998): p. 1.
4. W. Schäffer and H. Fry, "BPSG Improves CMP Performance for Deep Submicron ICs," *Semiconductor International* (July 1996): p. 205.
5. G. Schwartz and K. Srikrishnan, "Chip Integration," *Handbook of Semiconductor Interconnection Technology*, ed. G. Schwartz, K. Srikrishnan, and A. Bross, (New York: Marcel Dekker, 1998), p. 368.
6. S. Chooi et al., *A Comparison of Spin-On Materials in IMD Planarization*, Proceedings Vol. 2875 (Bellingham, WA: 1996), p. 276.
7. R. DeJule, "Advances in CMP," *Semiconductor International*, SPIE (November 1996): p. 88.
8. M. Pecht, R. Radojcic, and G. Rao, *Guidebook for Managing Silicon Chip Reliability*, (Boca Raton: CRC Press, 1999), p. 82.
9. Adapted from J. Steigerwald, S. Murarka, and R. Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*, (New York: Wiley, 1997), p. 4.
10. Adapted from J. Steigerwald, S. Murarka, and R. Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*, p. 32.
11. G. Schwartz and K. Srikrishnan, "Chip Integration," p. 428.
12. M. Tomozawa, "Oxide CMP Mechanisms," *Solid State Technology* (July 1997): p. 169.
13. M. Tomozawa, "Oxide CMP Mechanisms," p. 172.
14. R. Liu, "Metallization," p. 439.
15. T. Bibby and K. Holland, "Equipment," *Chemical Mechanical Polishing in Silicon Processing*, ed. S. Li and R. Miller (San Diego: Academic Press, 2000), p. 8.

16. G. Schwartz and K. Srikrishnan, "Chip Integration," p. 434.
17. M. Rutten et al., "Pattern Density Effects in Tungsten CMP," *Semiconductor International* (September 1995): p. 123.
18. J. Steigerwald, S. Murarka, and R. Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*, p. 255.
19. K. Wijekoon et al., "Tungsten CMP Process Developed," *Solid State Technology* (April 1998): p. 56.
20. S. Li, B. Tredinnick and M. Hoffman, "Consumables I: Slurry," *Chemical Mechanical Polishing in Silicon Processing*, ed. S. Li and R. Miller (San Diego: Academic Press, 2000), p. 148.
21. Ibid., p. 149.
22. C. Sainio and D. Duquette, *Electrochemical Interactions During the Chemical-Mechanical Planarization of Copper in Ammonia-Based Slurries*, Proceedings Vol. 96-22 (Pennington, NJ: The Electrochemical Society, 1997): p. 110.
23. C. Sainio and D. Duquette, *Electrochemical Characterization of Copper in Ammonia-Containing Slurries for Chemical Mechanical Planarization of Interconnects*, Proceedings Vol. 98-7 (Pennington, NJ: The Electrochemical Society, 1998): p. 127.
24. A. Braun, "Slurries and Pads Face 2001 Challenges," *Semiconductor International* (November 1998): p. 72.
25. Ibid., p. 73.
26. J. Steigerwald, S. Murarka, and R. Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*, p. 66.
27. A. Brain, "Slurries and Pads Face 2001 Challenges," p. 68.
28. R. DeJule, "Advances in CMP," p. 90.
29. M. Leach, "Local Planarization Process Developed for Higher Yields, *Semiconductor International* (October 1996): p. 137.
30. R. DeJule, "Advances in CMP," p. 56.
31. J. de Larios, "Post-CMP Cleaning for Oxide and Tungsten Applications," *Semiconductor International* (May 1996): p. 122.
32. T. Bibby and K. Holland, "Equipment," p. 20.
33. Adapted from J. Steigerwald, S. Murarka, and R. Gutmann, *Chemical Mechanical Planarization of Microelectronic Materials*, p. 40–46.
34. R. DeJule, "Advances in CMP," p. 92.
35. T. Marbeiter, T. Cleary and K. Sutter, "An Update: Transition to 300 CMP," *Semiconductor International* (November 1998): p. 78.
36. T. Bibby and K. Holland, "Equipment," p. 22.
37. L. Zhang et al., *Inhibition of Alumina Particle Deposition Onto SiO_2 Surfaces During Tungsten CMP Through the Use of Citric Acid*, Proceedings Vol. 98-7 (Pennington, NJ: The Electrochemical Society, 1998): p. 161.
38. L. Peters, "Clean Processing," *Semiconductor International* (March 1998): p. 52.

39. B. Fraser et al., *Evaluation of Non-Contact Post-CMP Cleaning Process Utilizing Split-Lot Polishing and Cleaning Comparisons*, Proceedings Vol. 97-35 (Pennington, NJ: The Electrochemical Society, 1998): p. 634.
40. L. Zhang et al., *Inhibition of Alumina Particle Deposition Onto SiO_2 Surfaces During Tungsten CMP Through the Use of Citric Acid*, p. 161.
41. C. Hymes et al., "The Challenges of the Copper CMP Clean," *Semiconductor International* (June 1998): p. 118.
42. R. DeJule, "CMP Grows in Sophistication," *Semiconductor International* (November 1998): p. 62.
43. L. Peters, "Is the 0.18 μm Node Just a Roadside Attraction?" *Semiconductor International* (January 1999): p. 52.
44. S. Selinidis et al., *Development of a Copper CMP Process for Multilevel, Dual Inlaid Metallization in Semiconductor Devices*, Proceedings Vol. 98-7 (Pennington, NJ: The Electrochemical Society, 1998): p. 9.
45. S. Selinidis et al., *Development of a Copper CMP Process for Multilevel, Dual Inlaid Metallization in Semiconductor Devices*, Proceedings, Vol. 98-7, p. 11.

第19章 硅片测试

ULSI时代芯片制作的复杂程度一直在不断提高。通过等比例缩小来提高微芯片性能的做法使得集成电路的特征尺寸进入了0.15 μm以下深亚微米技术节点。为了减少致命缺陷的数目，芯片生长过程中的污染被控制到了分子级。硅片直径的增加允许在硅片上制作更多的芯片，同时需要新的制造设备和传送方式。

然而，微芯片需要的不仅仅是制作。它们首先要求设计，选择合适的生产材料，建立实验性硬件并测试验证其性能是否符合规格要求。当这些都成功完成以后，芯片才能投入生产。一旦设计、材料和制作在生产过程中集合在一起，就需要芯片测试来保证功能。制作高集成度微芯片的技术在通过电学测试检验芯片是否符合客户要求后达到了极点。

电学测试必须迅速、准确地完成。硅片测试中的高废品率会削弱芯片制作者在短周期内占领市场的能力。如果测试程序不完善，质量测试时废品率低，就会有更多的产品在客户使用过程中失效，导致客户另选购其他芯片。为了避免这种情形，在硅片制造过程中，用正确的测试程序来确保集成电路的功能和可靠性是必需的。

目标

通过本章的学习，你将能够：

1. 讨论IC制造的电学测试。
2. 解释在线参数测试的目的，并描述如何操作。
3. 描述在线参数测试使用的设备。
4. 说明硅片拣选测试的目的，并解释如何操作。
5. 列出并讨论不同种类的硅片拣选测试。
6. 讨论与硅片拣选测试关联的测试结果。
7. 说明并解释影响硅片拣选测试成品率的几个因素。
8. 描述三种硅片成品率模型并讨论成品率管理。

19.1 引言

硅片测试是为了检验规格的一致性而在硅片级集成电路上进行的电学参数测量。硅片测试的目的是检验可接受的电学性能。测试过程中使用的电学规格随测试目的而有所不同。如果发现缺陷，产品小组将用测试数据来确保有缺陷的芯片不会被送到客户手里，并纠正制作过程中的问题。

从自身角度看，测试不会增加芯片价值。如果硅片制造的所有步骤都做得100%正确，并且芯片上使用的所有材料都是理想的，那就没有必要在硅片生产过程中进行硅片测试（假设所有集成电路原型都是成熟的，经过测试的，并完全转变为产品），每个芯片都正好符合规格。由于日益复杂的IC电路、材料和工艺的迅速引入，这种情况在今天先进的硅片制造中几乎是不可能出现的。

在不断变化的产品环境中，测试对于检验芯片的功能性来说是一项非常重要的工作。基本的一点是，硅片测试必须能够分辨一个好的芯片和一个有缺陷的芯片。带有合格芯片的硅片继续下面的

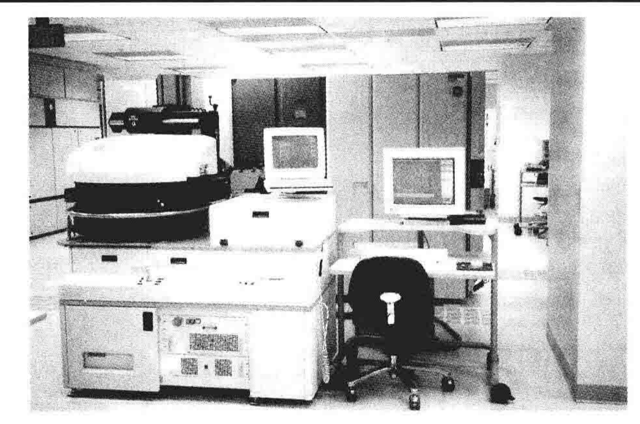
工艺，有过多坏芯片的硅片保存用于修正。不正确的测试数据将给客户，并最终给芯片制造者带来严重的后果。

19.1.1 集成电路电学测试

电学测试在芯片工艺的不同阶段进行。这些测试在早期设计阶段开始，在硅片制造的重要步骤继续，以最后封装的IC产品测试结束（有关装配和封装的描述参见第20章）。表19.1给出了主要芯片测试的概要，包括硅片级和已封装的IC电路。

表19.1 IC产品的不同电学测试（从设计阶段到封装的IC）

测试	IC生产阶段	硅片/芯片级	测试描述
1. IC设计验证	生产前	硅片级	描述、调试和检验新的芯片设计，保证符合规格要求
2. 在线参数测试	硅片制造过程中	硅片级	为了监控工艺，在制作过程的早期（前端）进行的产品工艺检验测试
3. 硅片拣选测试（探针）	硅片制造后	硅片级	产品功能测试，验证每个芯片是否符合产品规格
4. 可靠性	封装的IC	封装的芯片级	集成电路加电并在高温下测试，以发现早期失效（有时候，也在在线参数测试中进行硅片级的可靠性测试）
5. 终测	封装的IC	封装的芯片级	使用产品规格进行的产品功能测试



自动电学测试仪

（承蒙 Advanced Micro Devices 允许使用照片）

由于本书的主题是硅片制造，我们将学习在线参数测试和硅片拣选测试（表19.1所列的第二和第三种测试），这就是硅片制造过程中的硅片级电学测试。硅片拣选测试是检验每个芯片性能是否完好的主要硅片级测试，它在硅片制造完成后进行（见图19.1）。表19.1所列的其他测试就不做详细讨论了，提到它们主要是为了说明从早期开发到最后封装微芯片的整个IC生产过程中测试所包含的范围。

测试缺陷数据被应用于成品率管理中以减少硅片缺陷。电学测试数据根据每个硅片上失效的芯片数目把硅片分为通过和失效两类。通过/失效的数据被用来计算表示硅片上合格芯片所占百分比的成品率。产品小组通过分析硅片测试的数据来确定问题的来源，并实施修正措施，从而达到减少缺陷的目的（有关减少缺陷的解释见本章后面内容）。

半导体制造商的成败依赖于硅片的成品率。据估计，成品率每降低一个百分点，制造商将损失1 000 000到8 000 000美元[1]。由于新产品推广的市场窗口很小，加上市场份额的激烈竞争，低产出

的硅片意味着芯片制造商可能没能力生产足够的芯片供应市场——使他们的产品在其他高成品率、芯片供应充足的竞争者面前不堪一击。由此，拥有能反映IC产品性能（相对于产品规范）的良好的测试数据十分重要。

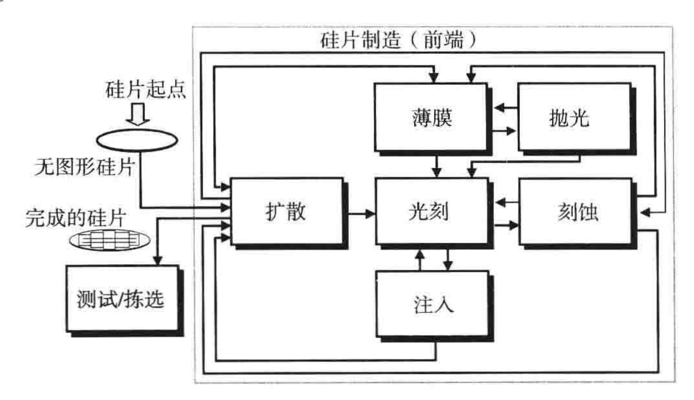


图 19.1 包括测试的硅片制造工艺流程（承蒙 Advanced Micro Devices 公司允许使用）

19.2 硅片测试

在硅片制造过程中有两种类型的电学测试。称它们为硅片测试因为它们是在硅片（而不是封装的芯片）上进行的。它们是：

- 在线参数测试
- 硅片拣选测试

这两种电学测试的条件不同，在硅片制造的不同阶段进行（见图 19.2）。在线参数测试在完成第一层金属刻蚀（前端工艺的结束）后马上进行，以获得工艺和器件特性的早期信息。硅片拣选测试是IC制造中的一个重要测试阶段，它在硅片制造完成后进行，以确定硅片上的哪些芯片符合产品规格可以送到装配和封装部门。

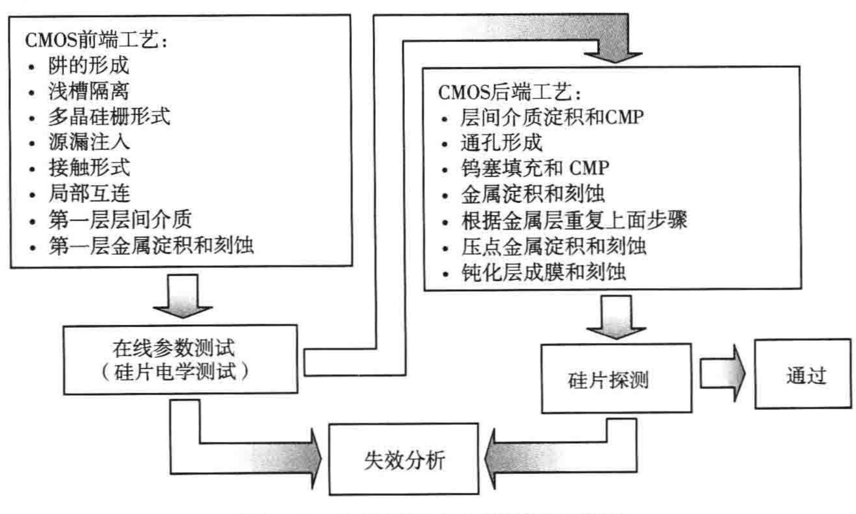


图 19.2 硅片制造中电学测试的位置

19.2.1　在线参数测试

在线参数测试（也称硅片电学测试，wafer electrical test，WET）是对硅片上的测试图形结构进行的电学测试。因为它是把直流电压加在器件的物理结构上进行测试，有时候也被看成是一种直流测试。在线参数测试在完成前端工艺（例如，扩散、光刻、注入）后进行得越早越好。典型的测试是在第一层金属被淀积并刻蚀后进行，这就允许接触式探针和特殊测试结构的压点进行电学接触。

在线参数测试的原因有：

1. 鉴别工艺问题：硅片制造过程中工艺问题的早期鉴定（而不是等到已经完成了硅片制造才发现有问题进行测试）。
2. 通过/失效标准：依据通过/失效标准决定硅片是否继续后面的制造程序。
3. 数据收集：为了改进工艺，收集硅片数据以评估工艺倾向（如沟道长度的变化）。
4. 特殊测试：在需要的时候评估特殊性能参数（如特殊的客户需求）。
5. 硅片级可靠性：需要确定可靠性与工艺条件的联系时，进行随机的硅片级可靠性测试。

在线参数测试在制造过程中进行得越早越好。硅片上的器件没有电源供应和信号电压，而是用一些特殊的参数测试结构替代进行电流、电压和电容的测试，以确定工艺能力。测试之所以重要是因为这是硅片第一次经过一套完整的测试来检验制造过程是否完全正确。通过/失效数据在工艺条件和器件特性之间建立了更为紧密的联系。

随着集成电路复杂程度的提高，工艺过程中的早期测试越来越重要。如果硅片制造的工艺条件不合适，参数测试将不能通过测试的电学限制。缺陷小组也会对问题产生惊觉并马上采取修正措施。测试数据提供实时信息来监控并优化前端半导体工艺[2]。

■ 硅片测试结构　参数测试并不是在单独的硅片器件上，而是在安放在硅片特殊位置的特殊测试结构（也称工艺监控，process control monitors，PCM）中进行的。使用测试结构是因为测试会对实际的产品芯片造成破坏。对早期的设计验证而言，由于需要很多结构和测试数据，测试结构可以是在整个特殊芯片上的测试样本。对产品硅片来说，面积是额外的费用；因此测试结构通常放在独立芯片之间的划片区（也称划片道监控，scribe line monitors，SLM）（见图19.3）。SLM容身其中的划片道宽度一般有100到150微米，因此SLM是有尺寸限制的。



图19.3　划片道监控测试结构

PCM测试结构被用于测试的参数范围很大。各种测量的标准测试结构在业界正逐渐成为一种趋势，这主要是因为结构设计的复杂性和新产品有限的开发时间[3]。表19.2给出了一些典型测试结构的实例[4]。

表 19.2 测试结构实例

测试结构	故障测量
分立晶体管	漏电流、击穿电压、阈值电压和有效沟道长度
各种线宽	关键尺寸
框套框	关键尺寸和套刻对准
氧化台阶上的蜿蜒结构	连续性和桥接能力
电阻率结构	薄膜厚度
电容阵列结构	绝缘材料和氧化层完整性
接触孔或通孔链	接触电阻和连线

图19.4所示为一个用方块电阻方法评估第一层金属薄膜厚度的典型PCM结构。在线参数测试测量该结构的连续电阻。接触问题，如不合适的绝缘薄膜厚度，都会导致该测试结构在电学上不能通过参数测试。由于测试结构和硅片是在相同的工艺条件下同时制作的，它能突出反映硅片管芯上实际存在的接触问题。这对于产品小组的缺陷控制是很有价值的。

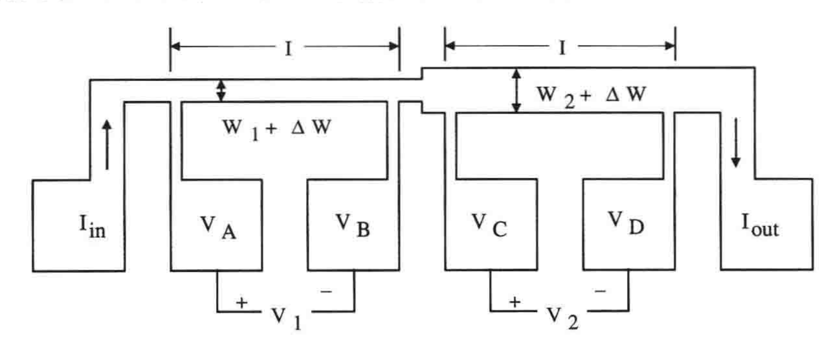


图 19.4 第一层金属接触测试结构
（引自*Microelectronics Manufacturing Diagnostics Handbook*, ed.A.Lanzberg(new York:Van Nostrand Reinhold, 1993)）

参数测试的类型 在在线参数测试中，一旦测量测试结构，马上会记录结果数据并与预测的电学结果比较。表19.3描述了一些测试以及指导测试的典型测量值。

表 19.3* 在线参数测试实例组合

测试参数	描述	程序中的典型测试#值	典型测量值
Opens/Shorts	检查信号通路完整性的开路/短路测试。开路/短路测试是能迅速筛选不合格硅片的快速测试方法，所以通常首先进行	2	Go/No-go
Gshorts	栅结构短路测试	1	Go/No-go
Gateleak	测量栅氧化层泄漏电流。漏电流是由沿与电流方向相反的方向运动的少数载流子形成的反向电流。小器件尺寸使漏电流至关重要	1	1 pA
BVox	栅氧化层击穿电压。这是一种检查栅氧化层质量和强度的快速方法	2	10 V
Idsat	从漏到源的饱和电流（忽略沟道电阻）。栅、漏和衬底电压都是已知的。这是最大栅电压下的漏电流测量	16	20 mA
Vt	测量晶体管刚开始从漏到源产生电流时的栅临界电压	22	0.2~1 V
Vtsat	使漏电流达到饱和需要的栅临界电压	16	0.4~1 V

（续表）

测试参数	描述	程序中的典型测试 # 值	典型测量值
Idoff	截止状态下的源漏泄漏电流。栅电压不足以形成导电沟道	20	5~100 pA
Rds	规定漏电流（Id）和漏电压（Vds）下的 Vds/Ids 值	20	25~1000 Ω
Peakisub	最大衬底电流	6	5 μA
BVdss	源漏击穿电压（穿通电压），用栅接地到源测量最短沟道晶体管。测量值必须大于器件具有功能的最小工作电压	10	10 V
Pfieldvt	以场氧为绝缘介质的 pMOSFET 阈值电压	2	12 V
Nfieldvt	以场氧为绝缘介质的nMOSFET阈值电压	2	12 V
Res2t	用两端线路确定电阻	21	2~1 k Ω
Isolation	测试绝缘结构的漏电流特性	11	100 nA
Diode fvmi	通过加电压测试电流得到的二极管特性	2	10 nA
Diodebv	二极管击穿电压	2	3~10 V
Res4t	用四探针线路确定电阻值	11	2~1 k Ω

* 改编自 W.Merkel “Parametric Testing to Improve Semiconductor Yield”, *Semiconductor Online*, http://www.semiconductoronline.com/,(1998 年 3 月 12 日), 第 1 页

■ 解释参数数据　在线参数测试得到的不合格数据通过不同参数（如表 19.3 所列参数）之间的关系进行分析。工程师建立这些参数与最终产品特性之间的关系（指相互关系），对参数的不合格进行故障检查和修正。缺陷控制小组用不合格硅片上的测试数据来评估制造工艺的状况。

要理解数据如何解释运作，看一个例子会非常有帮助。比如在线参数测试可能出现了一个问题，很大的阈值电压（V_{TH}）变化却只引起很小的漏电流（I_d）变化[5]。这样阈值电压不能通过参数测试，因为受 V_{TH} 影响的 I_d 没有达到预想的电流值。按照预想，如果 V_{TH} 变化，I_d 应该按比例变化（见图 19.5）。基于这种类型的不合格，最大的嫌疑就是沟道注入或者沟道长度。如果沟道注入是问题的根源，就必须对离子注入工艺进行调查。如果问题出在沟道长度上，则主要问题应该是光刻。也可能有人会考虑其他问题，如漏区的轻掺杂注入或者栅氧化层厚度。

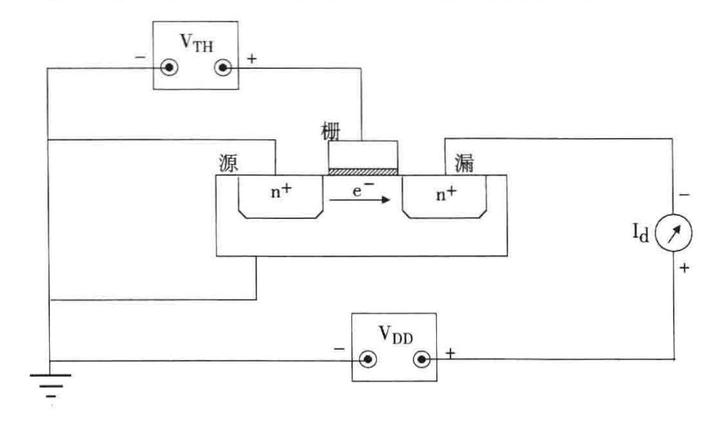


图 19.5　阈值电压和驱动电流

在线参数测试通常是在对一个样本进行测试的基础上从统计上评估性能。正常制作过程中，通常是在每个硅片的 3 到 5 个位置测量 100 至 200 个参数[6]。如果不合格比例过高，就需要增加大量测试硅片以检验缺陷。另外，技术员通过一系列检查确保检测器工作正常。有时会使用一个样片来检查参数测试设备的结构并确保没有设备问题导致测试结果不合格。如果样片未通过测试，或者复测时不能通过测试，测试工程师就需要注意了。

在线参数测试是对潜在问题的早期预告。参数测试就硅片如何处理和工艺流程中问题出在哪里提供了许多信息。最终目标是改善制作工艺的成品率。

数据倾向　参数测试的一个重要方面是观察数据倾向。不可接受的数据倾向有：

1. 一个硅片上相同芯片的位置持续不合格。
2. 同一参数在不同硅片上总是不合格。
3. 不同硅片之间测试数据的差别过大（例如，大于10%）。
4. 同一参数成批不合格，暗示有很严重的工艺问题。

重复的芯片位置、参数不合格或者变化过大必须被测定。同一参数成批不合格暗示有严重的工艺问题，需要马上采取补救措施。产品小组的内部交流对解释数据倾向非常重要。

■ **硅片级可靠性**　硅片级可靠性（Wafer level reliability，WLR）是一种用测试结构评估硅片上器件可靠性的特殊的参数测试形式[7]。发展于20世纪80年代的WLR当时并不为所有半导体制造商所使用，可以预知器件在客户使用中能维持多长时间。统计取样技术用于为材料和测试结构的设计建立预期的特性。如果WLR测试输出结果有所不同，那就可能是材料或其微结构有变化。

WLR不是通过/失效测试，它利用诸如电压、电流、温度、时间等变量强调测试结构，使其在测试过程中产生一些脆弱区域。通过监控工艺变化并预测对器件特性的影响，WLR也能用于证明新工艺。不同WLR测试的实例有：

1. 为了电迁移失效，对金属线施加高电流密度。
2. 评估氧化层能容忍多少电荷以及被破坏前能工作多长时间。
3. 确定氧化层要限制多少电荷。
4. 估计新的湿法清洗工艺对氧化层生长的影响。

IC可靠性　IC可靠性是指器件在其预期寿命内，在其使用环境中正常工作的概率。换句话说就是集成电路能正常使用多长时间。尽管集成电路的总体可靠性非常高，但它们也不是100%保险。可靠性测试有助于确保交给客户的芯片能在客户指定的工作环境下无故障工作。传统上，可靠性测试是通过对封装的芯片进行老化测试完成的。老化测试在很苛刻的环境中（如把温度提高到85°C，提高偏置电压）给芯片加电并测试，使不耐用的器件失效，从而避免它们被交给客户[8]。这种测试能够产生更可靠的集成电路，但往往需要长时间的测试，十几甚至数百小时，这是一种费钱耗时的工作。

■ **在线参数测试设备**　在线参数测试设备是为连接硅片上的测试结构而设计的一套自动化测试仪器，它具有执行电学测试需要的复杂软硬件设施。如图19.6所示，主要的测试子系统如下：

- 探针卡接口
- 硅片定位
- 测试仪器
- 作为网络主机或客户机的计算机

探针卡接口　探针卡是自动测试仪与待测器件（device under test，DUT）之间的接口。典型的探针卡是一个带有很多细针的印刷电路板，这些细针和待测器件进行物理和电学接触。探针通常由钨制成，在电学测试中，它们传递进出硅片测试结构压焊点的电流。每个探针都是为特殊测试结构的压焊点而定制的，这意味着每个硅片产品通常都需要一个特殊的探针卡。一个探针卡上可能有数百个探针，它们必须排列正确并保持在同一个平面内。单个探针卡是很昂贵的，价格从几百到上万美元不等。

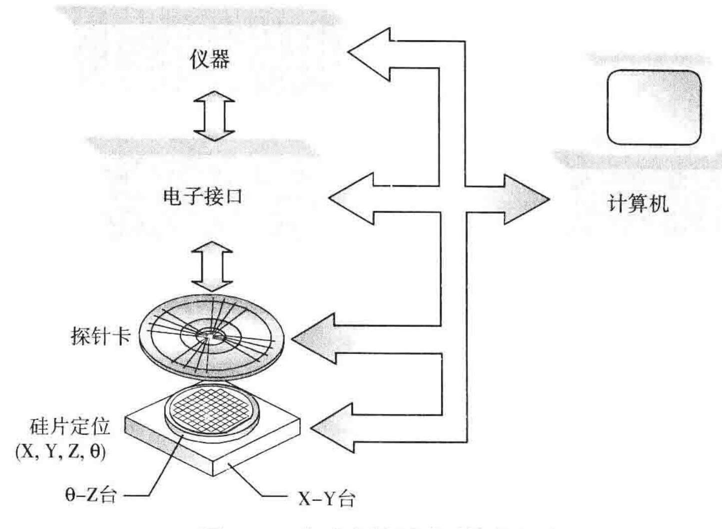
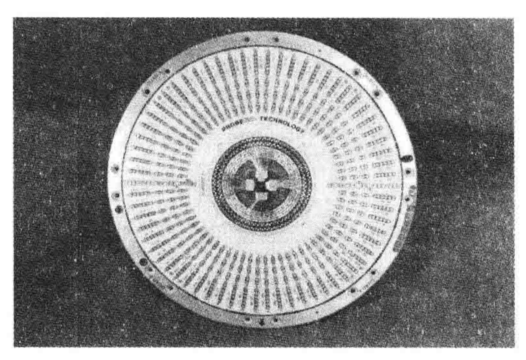


图 19.6　自动参数测试系统的组成

高级探针卡一般具有多位探查能力，以增加硅片测试的吞吐量。多位探查用单个测试仪和探针卡同时测试两个或多个测试结构。由于在越来越小的空间里集中了越来越多的电路和探针，多位探针卡产生的电学信号可能会更差（如信噪比降低，泄漏电流增加）。高性能的集成电路很难用多位探查法测试。



自动测试仪的探针卡
（承蒙Probe Technology准许使用照片）

硅片定位　为测试硅片，首先要确定与探针卡接口上的探针接触的硅片的探针仪位置。最初，硅片被机械手从盒子里取出并放在一个真空托盘上。马达通过一个光学校准系统在X、Y、Z和θ方向移动硅片。X-Y运动确定探针卡在测试结构上的位置。一旦探针卡在X-Y方向对准，就要调节旋转的θ角使所有探针尖端处于压焊点的中心（见图 19.7）。每个压焊点和探针的对准都是必需的。

Z方向的位置非常重要，并且要对平坦程度做正规的系统检查，以保证所有元件在一个平面内。探针台Z方向垂直定位硅片，使硅片和探针接触。如果Z方向硅片定位太高，过分的抵触可能会损坏硅片和探针。如果Z方向定位高度太低，则会接触不充分或完全不接触。必须有微量的抵触（指过操作）使探针刺穿（或擦划）要探查的铝压焊点表面（见图 19.8）[9]。典型的探针过操作有 50 至 100 μm（2至4密耳）。压焊点上的探针痕迹暗示探针仪在各个轴上都正好对准且电学接触良好。探针仪设置是否正确与探针痕迹之间有着清晰的关系（见图 19.9）。

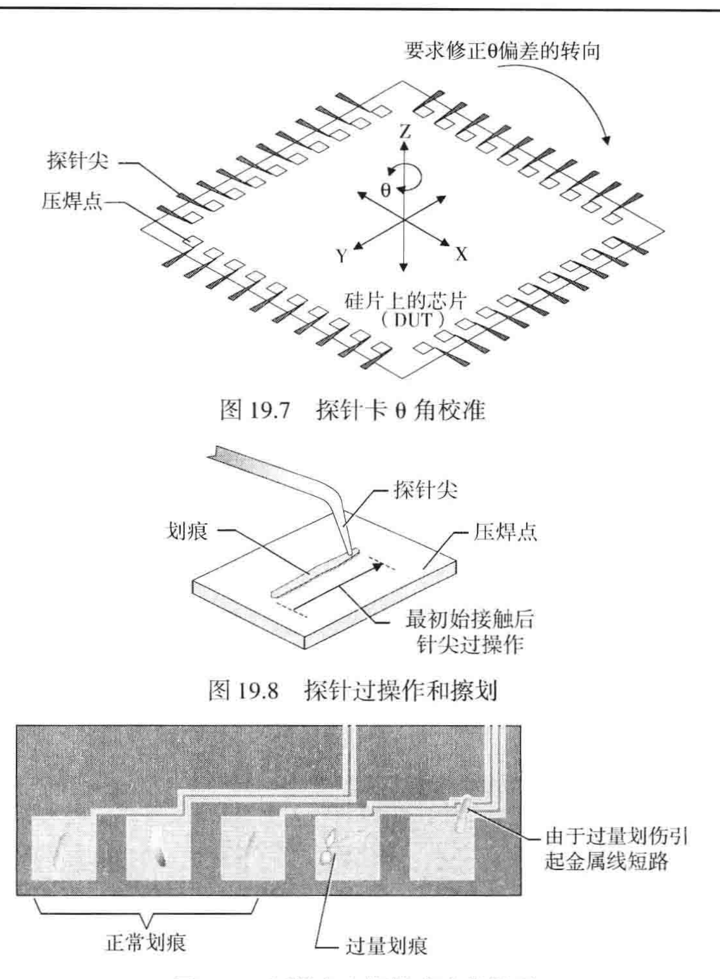


图 19.7 探针卡 θ 角校准

图 19.8 探针过操作和擦划

图 19.9 压焊点上探针痕迹的类型

测试仪器　高级集成电路需要能够在测试结构上快速、准确、重复地测量亚微安级（sub-picoamp）电流和微法级电容的自动测试设备（automated test equipment，ATE）。ATE控制测试过程。参数测试仪包含ATE测试仪，它作为电压或电流源并能对输出的电压和电流进行测量（见图19.10），有时被称做源－测量单元（source-measure unit，SMU）。[10] SMU通过固体开关阵列和探针卡上的探针连接，固体开关阵列最近已经取代簧片继电器以改善信号控制。加载测量单元（force measurement unit，FMU）通过在电路上加载特定电压并测量电流值来测量电阻。也有能够测量电容（capacitor measurement unit，CMU）和微安量级小电流（picoammeter unit，PAU）的测试仪。从这些测试单元测得的模拟信号被转换成数字信号并送到主计算机。

作为网络主机或客户机的计算机　指导测试系统操作的计算机包括测试软件算法、自动测试设备（仪器）、用于硅片定位的探查控制软件、测试数据的保存和控制、系统校准和故障诊断。主计算机连接到不同的测试子系统。为了方便数据传送和控制，现代测试系统大多连接到便于与计算机系统相连的网络上。

测试算法是工程师编写的，能控制测试仪进行测量的计算机程序。程序为特定的测试结构而写，并指导测试仪硬件进行测量测试。软件保存测试数据，并为每个不合格硅片分配独特的不合格种类，称为分类（bin）。计算机一般用定制的探查器软件控制硅片定位。为了产品部署和进行数据分析以确定问题的根源，软件也必须能够获取和保存测试数据。

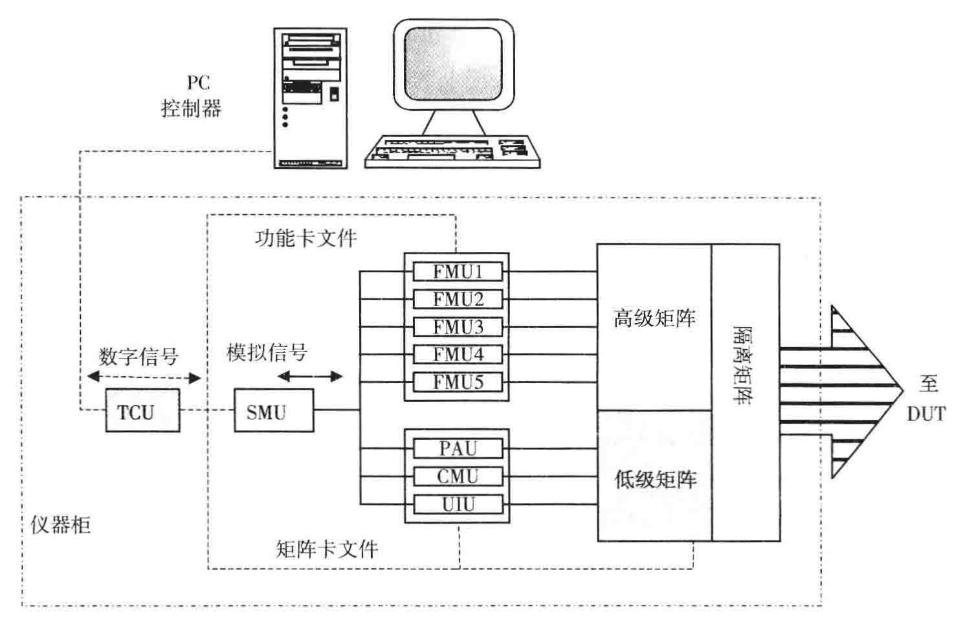


图19.10 测试仪仪器单元方块图（承蒙Keithley Instruments允许使用）

为了补偿测试仪中各部分的变化，测试仪校准是非常必要的[11]。校准可以保证测试数据的完整性，使好的硅片继续后面的工艺而有缺陷的硅片不会被接受。多数测试软件有使用内部修正方式快速完成校准步骤的自校准程序。主要的校准在直流方面以及送到DUT的不同信号的时间调整。手工校准需要技术员每隔一段较短的时间间隔进行一次（如每月一次）。失效诊断程序用来分析不合格的原因，并分配表明测试结果的分类号。

■ **在线参数测试的挑战** 由于大硅片上有更多有代表性的测试位置，硅片越大测试的数目越多。因为在线参数测试是在硅片制造过程中进行的，测试速度对获得足够的硅片产量非常重要。在线参数测试的一个挑战是测试仪器和DUT之间的物理距离。长电缆和连接器增加了测试噪音，也具有更高的寄生电容。这些都降低了测量的灵敏度和准确性[12]。

19.2.2 硅片拣选测试

在硅片制造的最后，所有硅片上的芯片100%要经过硅片拣选（wafer sort）测试，也称电学拣选（electrical sort）测试、硅片探针（wafer probe）测试或者探测（probe）。硅片拣选测试的目的是检验硅片上哪些器件工作正常。这是硅片IC制造中的一个重要阶段。硅片上每个芯片都要全部按照DC和AC的产品功能规格进行测试。硅片拣选测试的目标是：

1. **芯片功能：**检验所有芯片功能的操作，确保只有好的芯片被送到装配和封装的下一个IC生产阶段。
2. **芯片分类：**根据工作速度特性（通过在几个电压值和不同时间条件下测试得到）对好的芯片进行分类。
3. **生产成品率响应：**提供重要的生产成品率信息，以评估和改善整体制造工艺的能力。
4. **测试覆盖率：**用最小的成本得到较高的内部器件测试覆盖率。

硅片拣选测试是一种功能测试，它通过确保器件能在IC数据手册规定的限制条件下完成所有特定任务来检验器件。例如，考察一台新的个人计算机，要保证其第一次安装时各种软件程序和硬件器件都能工作。理想情况下，功能测试能包括制造过程中出现的所有问题。

硅片拣选测试对硅片制造的贡献很大。我们已经知道制造工艺是如何不断进行工艺改进以维持摩尔定律的。从这方面来看，硅片制造工艺永远不可能完全处于控制之下。硅片拣选测试提供了一种可以确保工艺和设计的改变不会对客户芯片性能产生负面影响的度量方法。

■ 执行硅片拣选测试 除了硅片上每个芯片都要测试之外，硅片拣选测试的程序与在线参数测试基本相似。有些时候会使用相同的自动测试设备（ATE）。然而，由于包括最后钝化层在内的硅片制造已经完成，硅片拣选测试通常在生产车间附近净化间等级更宽松的实验室进行。另一方面，为了尽量降低污染，在线参数测试经常在制造车间的工作室进行。

硅片拣选测试的硅片自动传送系统与在线参数测试类似。为了检验测试仪设置，需要使用样片。样片是能确保测试系统正常工作的已知合格硅片。硅片先被从盒里转移到探针台，然后被放在可以进行Z定位（垂直移动）的真空托盘上。探针对准在软件控制下自动完成。机械探针接触压焊点以建立电学连接。探针台和ATE连接，根据测试算法进行AC功能测试。测试的种类、数目以及顺序都是由计算机里的测试程序定义的。

测试一旦完成，不合格芯片会在计算机数据库中被标出，这样它们就会在封装之前被放弃。标出不合格芯片的通常方法是墨水标记，在每个不合格的芯片上用墨水打点。墨水很脏，可能对芯片造成污染。正在获得广泛认可的一种方法是电子硅片图，建立一张芯片位置和测试结果的计算机图形以区分合格和失效的芯片（见图19.11）。芯片封装时把电子芯片图下载到设备数据库里，并在硅片被切成单个芯片后剔除所有失效的芯片。

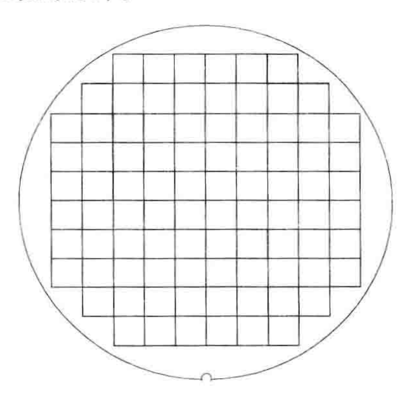


图 19.11 被剔除芯片的硅片图

分类代码号 在硅片拣选测试对测试结果归类后，芯片经常被分配一个分类代码号（见图19.12）。分类代码号概括了测试结果并把相似的硅片聚集在一起。通过测试的硅片被分配一个分类代码号，同时带有不合格芯片的硅片按照芯片失效的类型（如输出漏电流、开路、短路等）也有一个分类代码号。总结分类代码号可以得到硅片探查结果，如多少芯片通过特定测试、多少芯片不合格。经常为单个硅片做分类图以提供一张能突出硅片上每个芯片分类代码号的视觉图（见图19.13）。专门的软件分析，也称立体图像分析（spatial signature analysis，SSA），可以辨认硅片表面的独特分类图的失效分布并找出硅片缺陷的根源[13]。失效模式的自动识别可以帮助产品小组迅速确定问题的根源。

■ 硅片拣选测试 由于使用系统时钟和高频输入信号检验芯片性能，硅片拣选测试有时也称为交流（AC）测试。硅片拣选测试中也有直流（DC）测试，如连接性检查、开路/短路、漏电流和I_{DD}等测试。在功能测试中，DC测试通常首先进行，以决定芯片是否继续后面的AC测试。硅片拣选测试中有三种典型测试[14]：

- DC测试（连续性、开路/短路和漏电流测试）

- 输出检查
- 功能测试

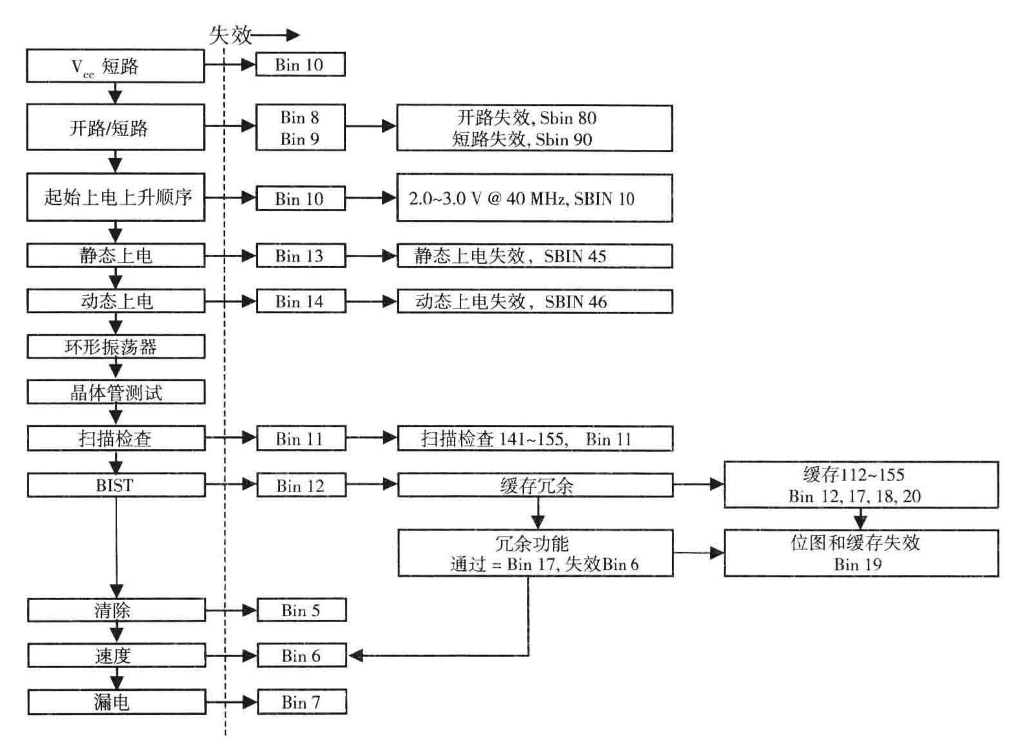


图 19.12　在硅片拣选时的分类代码号

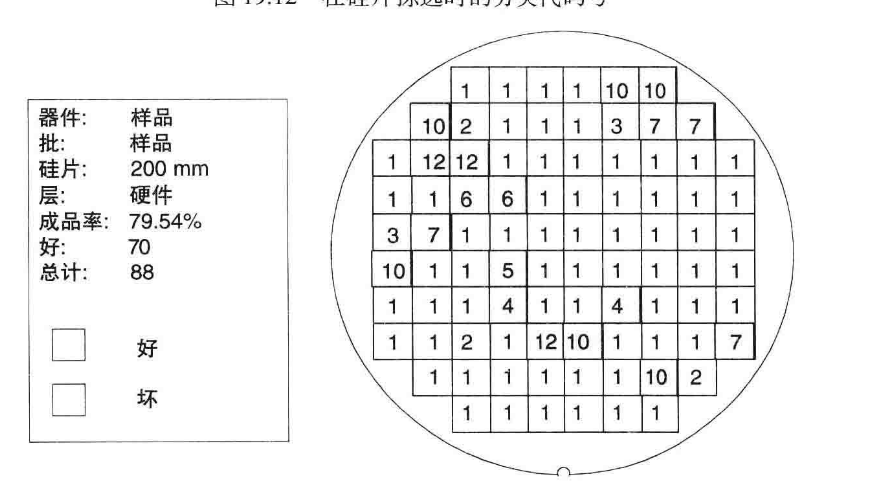


图 19.13　具有失效的硅片分类图

DC 测试　第一个电学测试是确保探针和压焊点之间良好电学接触的连接性检查。这项检查保证了技术员的测试仪安装正常。正如前面在线参数测试中提到的，探针划痕能目检机械接触的可靠性，以达到良好的电学接触。开路和短路测试是通过加一正向偏置电压并测量低输入电阻（短路）或高输入电阻（开路）上的电压降完成的。由于器件几何尺寸的不断减小，漏电流测试已成为一项重要的DC测试。当器件截止时，我们希望没有电流流过。然而，可能存在寄生依赖于器件性能的

反向漏电流，它会降低晶体管的开关时间并破坏逻辑状态。芯片设计中即采取了很多降低漏电流的措施。

输出检查　硅片拣选测试用来测试输出信号以检验芯片性能。主要验证输出显示的位电平（逻辑“1”或高电平，逻辑“0”或低电平），是否和预期的一致。验证了逻辑“1”高电平输出和逻辑“0”低电平输出的电平值是否合适。同时对诸如信号同步性和逻辑状态稳定性等问题进行检验。

功能测试　功能测试检验芯片是否按照产品数据规范的要求工作。功能测试软件程序测试芯片的所有方面，它将二进制测试图形（由0和1组成的串，也称测试向量）加入被测器件并验证其输出的正确性。测试向量加在电路的结点（器件电路的结）上。如果测试中得不到预期的输出，则存在故障。如图19.14所示是一个集成电路的一个很小部分功能测试的例子。这个特殊的例子有两步，首先在结点9（node 9）加逻辑“1”然后变为逻辑“0”。每种情况下，结点11都有一个预期的输出。如果得到正确的输出，那么控制结点9的器件是合格的；否则结点9的输入存在功能问题。

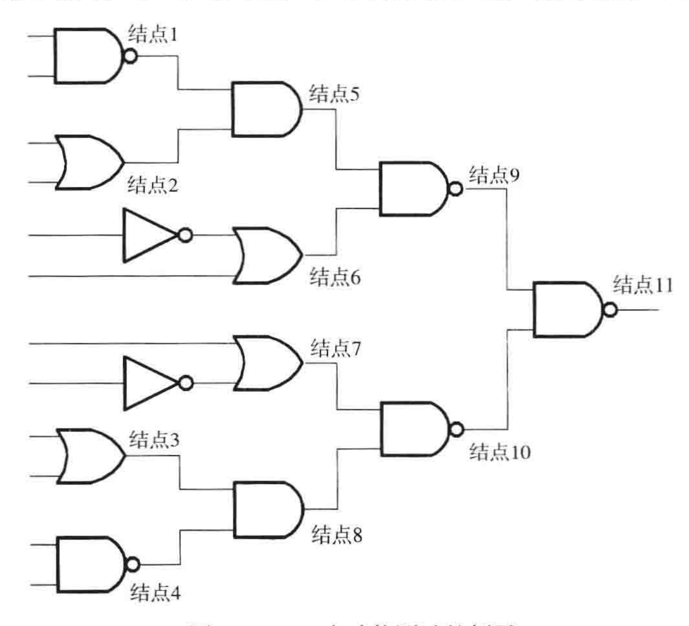


图19.14　一个功能测试的例子

功能测试的目的是测试芯片上所有器件的操作。外加电压可以多样化以增加某些部分通过功能测试的难度。对微处理器而言，需要检查时钟速度以确保芯片能在一个特定速度（如800 MHz、1.13 GHz）下工作。然而，在ULSI时代，由于测试算法不能模拟客户使用芯片的所有可能方式，测试芯片上所有可能存在的随机缺陷在物理上是不可能实现的。测试全部可能的失效方式也会花费很长时间。

硅片拣选测试使用测试覆盖率的概念。测试覆盖率指的是硅片拣选测试中实际测试的结点数所占百分比，如99%测试覆盖率。大多数制造商的目标是至少95%的测试覆盖率，也就是说另外5%的结点没有经过测试，可能存在问题从而导致现场失效。

不同类型集成电路的功能测试各不相同。要从功能上测试一个存储器芯片，可以把一个数字量写入特定的存储器单元从而保存在RAM中，然后读出检验是否为同一个量。如果某一个存储器单元（芯片里存储一个二进制位的地址位置）有缺点，输出数字量就不会与输入数字量完全一致。一种典型的存储器测试是0-1算法测试，它先检验所有存储单元的逻辑“0”，然后把所有存储单元改成逻辑“1”，并确保这是可以接受的（见图19.15）[15]。存储器器件还要测试其他参数，

如单元输出的取数时间，以纳秒为单位测量。存储器也可能进行热烘（如250°C烘24小时）以检验其数据保存能力。

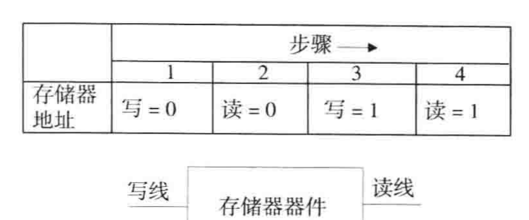


图19.15　存储器测试的0-1算法

■ **硅片拣选测试要点**　硅片拣选测试是一项既必须缩短测试时间又不能漏掉不合格产品的复杂任务。硅片直径的增加和芯片功能的日趋复杂需要更长的测试时间、更大功率的电力供应、更复杂的测试算法、更先进的硅片传送系统和更大的计算机系统来进行测试并跟踪结果。为了克服这些挑战，测试工程师和设计工程师一起工作。在产品开发前期将测试特性插入到芯片中，开发内建自测（built-in-self-tests，BIST）和并行测试的概念。硅片拣选测试中影响测试的几个相关方面是：

- 总测试时间
- 失效模式
- 漏电流（I_{DDQ}）测试
- 工作保证特性范围（Guardbanding）

总测试时间　ULSI技术把多种不同功能集成到一个芯片上。这对提高芯片性能很有好处，但需要更多宝贵的时间来完成测试。为了提高测试的质量和吞吐量，在芯片设计早期就考虑芯片的易测性并使用可测性设计（design for test，DFT）策略。DFT的一个例子是扫描测试，在集成电路里设计特殊电路，可以绕过正常数据通道直接加上特定测试图形，以缩短测试时间。在产品测试中，有时候使用器件的并行测试，如并行测试一个芯片上混和信号的数字部分和模拟部分[16]。并行测试可以缩短总测试时间。

失效模式　测试软件算法中使用失效模型可以发现多种不同类型的集成电路故障。广泛应用的模型的一个例子是单故障停止（single stuck-at-fault，SSAF）模型[17]。这个模型通过状态的永久保持，或者说停在逻辑“1”或“0”上来发现问题。要测试SSAF时，如果线路停在逻辑“1”上，则加逻辑“0”到线路上。如果逻辑电平没有变化，则一定存在引起SSAF失效的故障。另一个体现普通IC失效模型是桥接失效，两个非连接线路之间的失效。延迟故障是另一种失效模型。在这种情况下，当不断增加的传输延迟导致电路中的门不能满足它们的数据规格时，失效就产生了。失效模型的局限性是不能发现多种类型的物理缺陷，例如短路改变了电路功能但仍然能通过单纯失效模型测试（见图19.16）。

静态漏电流测试　随着IC应用越来越广泛，客户对高可靠性的需求不断增长。失效模型的简单使它在发现故障的能力方面受到很大限制。在20世纪90年代广泛使用静态漏电流测试（I_{DDQ}测试）增加对CMOS IC测试的缺陷覆盖率[18]。静态漏电流是晶体管截止时从源到漏的静止电流，或者叫静态电流。原理是，在无故障情况下，晶体管截止时的稳态电流是可以忽略的。可能存在结漏电流，但是在纳安量级可以忽略。然而，如果存在各种物理缺陷，CMOS电路中的静态电流将不再可以忽略。由于缺陷的存在，漏电流的大小能提高几个数量级，测试中的电流增加可以被发现并警告缺陷的存在。通过漏电流发现的最普通的缺陷是物理短路（桥接）、电源和地短路、栅氧化层短

路和穿通。漏电流测试的缺点是很难确定缺陷的根源。不过，漏电流测试明显减少了CMOS IC的缺陷遗漏，提高了IC可靠性（降低了客户早期失效率），并降低了对老化测试的需求[19]。需要指出的是，在深亚微米CMOS IC中，由于不断增加的MOS晶体管亚阈值电流使得发现缺陷更加困难，I_{DDQ}测试的好处正在被削弱[20]。

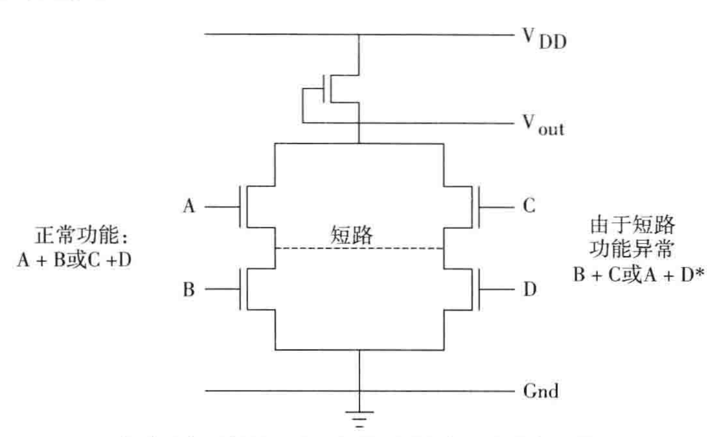


图 19.16　故障停止模型的局限性

工作保证特性范围　芯片制造商数据手册中，发布给客户的数据表说明所有芯片都合乎规格。工作保证特性范围是在比产品数据手册中的要求更苛刻的的条件下测试器件的操作。[21] 工作保证特性范围提高测试仪器的测试极限以确保通过功能测试的芯片符合产品规格和客户要求。提高测试极限可以是降低电学条件的方式；例如，客户要求8 pA漏电流，在最后测试（IC封装后）中用7 pA标准，在硅片拣选测试中用6 pA标准（见图19.17）。工作保证特性范围也可能包括在比客户使用温度更高的严格温度条件（如75°C）下的测试。工作保证特性范围的好处是测试极限的设置考虑了设备和工艺的变化，包括仪器错误、测量错误和产品的变化性。其目的是确保产品数据手册的规格得到满足，客户得到性能良好的集成电路产品。

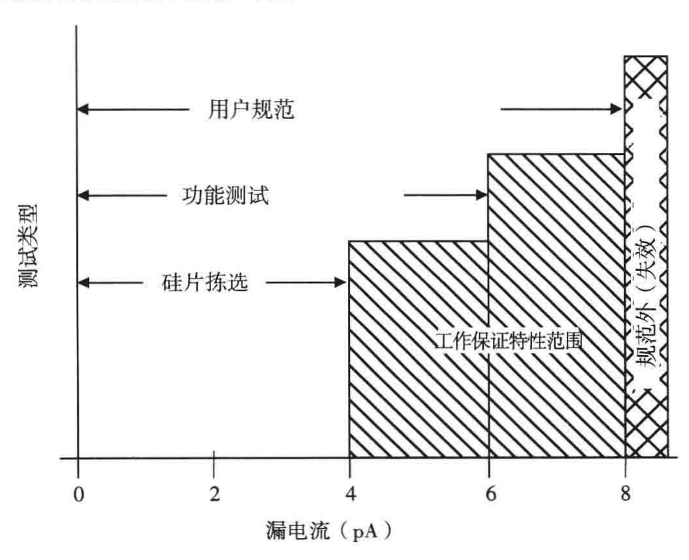


图 19.17　功能测试中检验客户规格的工作保证特性范围

19.2.3 成品率

硅片拣选测试成品率（wafer sort yield）是通过硅片拣选测试的合格芯片所占的百分比。硅片制造的一个重要目标是维持硅片拣选测试的高成品率。低成品率意味着大量芯片在装配和封装的时候会被废弃。这个结果的代价是昂贵的，并且减小了工厂的产量。低成品率使芯片制造商难以按时向市场提供高质量芯片。第一年生产的典型硅片拣选测试成品率约有60%，以后几年为80%~90%，这和产品类型有很大关系。对DRAM而言，生产一到两年后，98%的成品率是很正常的[22]。

由于已经完成了全部制造工艺，硅片拣选测试可以间接测量制造工艺的整体稳定性和清洁度。硅片拣选测试在一项测试中包含了所有工艺变化。硅片拣选测试成品率定义为：

$$\text{硅片拣选测试成品率} = \frac{\text{好的芯片数}}{\text{总芯片数}}$$

例如：有25个硅片，每个硅片上有50个芯片。在总共1250个芯片中，有1140个通过了硅片拣选测试，则硅片拣选测试成品率为：

$$\text{硅片拣选测试成品率} = \frac{1140}{1250} \times 100\% = 0.912 \times 100\% = 91.2\%$$

在这批硅片中，有91.2%的芯片合格，可以装配并进入IC封装阶段。剩余8.8%的芯片报废（被扔掉）。影响硅片拣选测试成品率的制作和设计因素有：

- 硅片直径的增大
- 芯片尺寸的增加
- 工艺步数的增加
- 特征尺寸的减小
- 工艺成熟性
- 晶体缺陷

■ **硅片直径的增大**　自从半导体制造业开始以来，为了提高生产效率，硅片直径稳步增加。因为硅片越大，上面的芯片越多，对芯片成本的影响就越小。尽管更换制作设备使之能容纳更大的硅片直径需要一大笔改造费用，但是如果工厂要生产更多的芯片，这些费用是值得的。从本质上说，改造费用被分摊到了大量的芯片上。大直径硅片的一个好处是，硅片上不完整芯片的比例更小（见图19.18）。不完整芯片是没有功能的；因此，减少不完整管芯可以有效提高硅片拣选测试成品率。

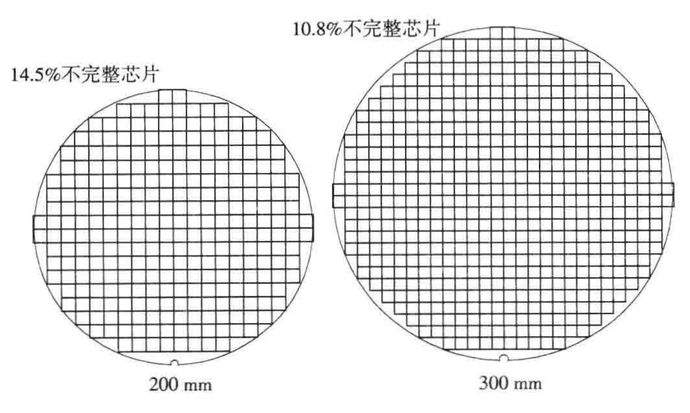


图 19.18　大硅片上不完整芯片的减少

大直径硅片上有更多的芯片远离硅片边缘，受边缘问题的影响较小。硅片边缘的工艺变化发生率更高。比如，硅片边缘更多的快速加热和降温导致更大的热不均匀性。硅片边缘也更容易受到传送和污染问题的影响。

■ **芯片尺寸的增加** 增加芯片尺寸而不增加硅片直径的结果就是硅片上完整芯片的比例更低。由于待测芯片减少，这一比例会影响硅片拣选测试成品率。我们看一个硅片上芯片的极端情况。如果只有一个芯片的硅片上有一个缺陷，拣选成品率为0%。如果硅片表面有100个芯片和一个缺陷，则拣选成品率为99%。如果其他条件不变，芯片多的硅片上的缺陷密度（单位面积上的缺陷数）也会降低。芯片尺寸严重影响测试成品率。为了支撑越来越复杂的芯片功能，多年来芯片尺寸一直在增加。硅片直径的增加可以平衡芯片尺寸的增加，以保持硅片上足够的芯片数量。

■ **工艺步数的增加** IC工艺步数稳步增加，到现在制作高性能微处理器IC需要大约450道工序（见图19.19）。工艺步数的增加主要是因为不断增加的芯片复杂度。更多的工艺步数意味着由于传送和工艺失误使污染或损坏硅片的机会增大。增加的污染会导致缺陷密度的增加和拣选测试成品率的降低。工艺步数的增加也会使处理一个部件的工艺周期延长。工艺周期的延长会造成整个产品工艺流程的瓶颈，增加芯片被污染的可能。

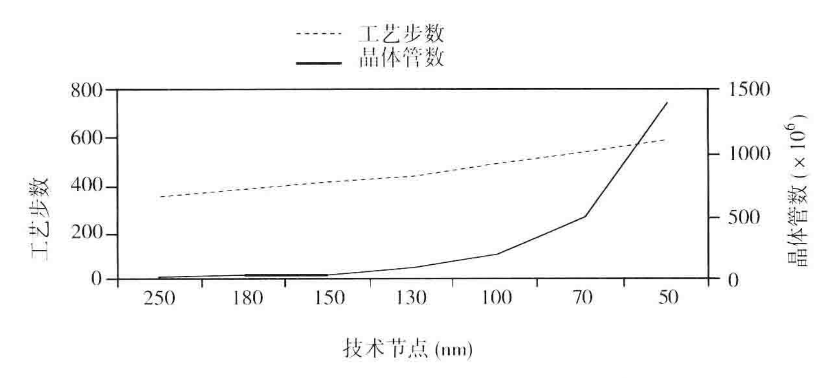


图19.19 工艺步数随芯片复杂程度而增加

（引自C.Gross et al.，“Assessing Future Technology Requirements for Rapid Isolation and Sourcing of Faults”, *Micromagazine*(online version)http://www.Micromagazine. com/archive/98/07/jensen.html>(July 1998)，p.6）

■ **特征尺寸的减小** 自上世纪80年代以来，减小特征尺寸以提高芯片密度是改善硅片制造生产率的一个重要方法，约占12%~14%。[23]同时，减小的关键尺寸使图形的形成更加困难，工艺中光刻缺陷的引入势必影响测试成品率。深亚微米硅片更容易受到污染和缺陷密度的影响。关键硅片层比非关键层导致硅片拣选测试失败的可能性更大。

■ **工艺成熟性** 芯片制造商必须迅速开发新产品参与竞争。新产品连续进入生产会导致工艺不稳定，这将增加硅片拣选测试时的缺陷。根据标准产品生命周期的预测，产品生命早期的成品率低，成品率将随工艺的成熟而提高。成熟的工艺有一个重复生产优质芯片的稳定高成品率时期。竞争压力经常要求加速工艺成熟以缩短新产品的生命周期。图19.20所示为DRAM器件达到产品成熟的戏剧性进步，从64 Kb DRAM的五年到256 Mb DRAM的一年[24]。紧缩产品时间的加速增加了产品小组快速提高成品率的压力，避免了硅片拣选测试中的产品损失。

■ **晶体缺陷** 晶体缺陷（如断层）会影响硅片拣选测试成品率。断层会在硅片边缘的芯片和裂缝产生，或由不良的传送或自动传送设备造成。断层向硅片中央移动，特别是在热处理（如氧化）的时候。

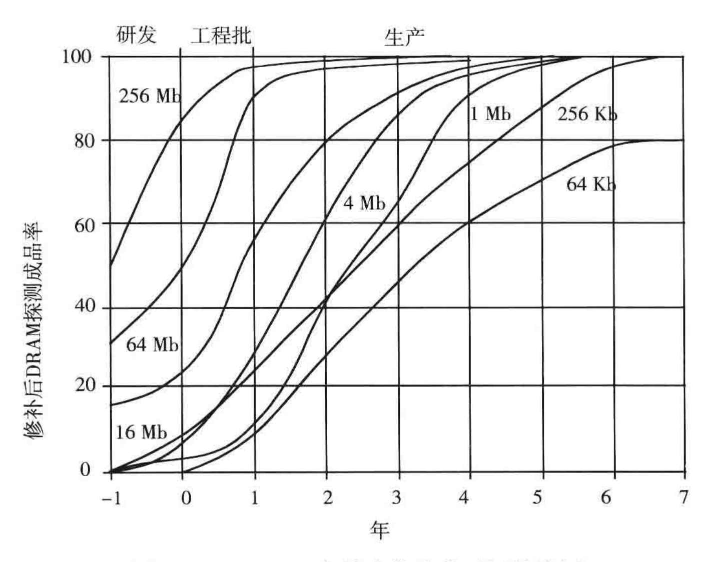


图 19.20　DRAM 产品成熟阶段时间的缩短

（重绘 C.Gross et al.，“Assessing Future Technology Requirements for Rapid Isolation and Sourcing of Faults”, *Micromagazine*(online version)http://www.Micromagazine. com/archive/98/07/jensen.html>(July 1998)，p.6）

19.2.4　硅片拣选测试成品率模型

根据硅片设计、先前的成品率状况和静态分析结果来预测硅片拣选测试成品率的模型已经发展很多年了。这些模型有利于评估为减小芯片面积或硅片尺寸而更改设计规则的代价。成品率模型也用于估计新芯片的生产成本。三种传统成品率模型是[25]：

- 泊松模型
- 墨菲模型
- Seed 模型

■ **泊松模型**　泊松模型也称指数模型，是最简单也是最早发展的模型之一。泊松模型为：

$$Y = \frac{1}{e^{AD}}$$

其中，Y 为能工作的芯片成品率

　　A 为芯片表面面积

　　D 为缺陷密度

注意，对这些变量解释在后面两个模型中不再重复。

这个模型表达了芯片面积、缺陷密度和硅片拣选测试成品率之间的关系。它假设整个硅片的缺陷密度是均匀的，且硅片之间完全相同，这一假设对复杂工艺整合制作的大直径硅片是很难成立的。我们已经说明，缺陷出现在硅片边缘附近的几率比中心大，但这个模型没有考虑这种情况。因此，泊松模型只适用于小直径硅片。

■ **墨菲模型**　墨菲模型是一个广泛应用的成品率预测模型，它假定缺陷密度在硅片上和硅片之间都不相同。硅片上的变化有中央趋势（正常分布），中心缺陷密度低，边缘缺陷密度高。这是一个预测 VLSI 和 ULSI 成品率的优秀模型。模型方程是：

$$Y=\left[\frac{1-e^{-AD}}{AD}\right]^2$$

■ **Seed模型** Seed模型也是假定硅片有，且硅片之间存在不同缺陷变化。此模型适用于VLSI/ULSI技术的硅片。模型方程是：

$$Y=\frac{1}{e^{\sqrt{AD}}}$$

■ **成品率模型的有效性** 成品率模型在模拟稳定的制作工艺时有效，这意味着随机缺陷造成的芯片失效是可以预测的。如果出现降低硅片拣选测试成品率的非随机缺陷（如芯片设计的修改），这些模型就不再适用了。模型中的预测成品率损失记录了导致芯片不能通过拣选测试的致命缺陷的位置。导致可靠性降低的场缺陷，如电迁移，没有被模拟。当用现存工艺成品率和新产品预计成品率相比较的时候，或者计划重大硅片制造改进的时候，成品率模型最有用处。

这三个模型只是成品率预测模型的例子。实际使用的还有很多其他成品率模型，它们大多适用于特定公司的产品和制作工艺。开发精确的成品率模型是一项正在进行的任务，其目标是用新模型系数来表示复杂工艺整合的要点和寄生成品率损失[26]。

■ **成品率管理系统** 半导体制造商的一个重要目标是减少缺陷以改善制作成品率。缺陷的减少可以加快成品率斜线上升的速度，提高日益复杂的IC的成品率。硅片制造中大量测试和测试数据的收集需要成品率管理系统（yield management system），也称缺陷缩减（defect reduction）。如果运用得当，成品率管理可以通过把缺陷和参数数据连接到制作工艺中的工作站上，改善成品率。分析缺陷数据可以确定问题根源，然后采取的校正措施可能包括停机、维修和校正工具。工作站上的测试数据通常存为统计过程控制（statistical process control，SPC）格式，能和硅片测试中发现的缺陷建立联系。SPC是一种分析数据以确定工艺何时稳定及是否需要校正的静态方法。随着自动化程度的提高和数百相互依赖的工艺步骤，积极的成品率管理小组可以帮助产品小组改善成品率。图19.21给出了硅片制造中成品率管理的一个示意性描述。

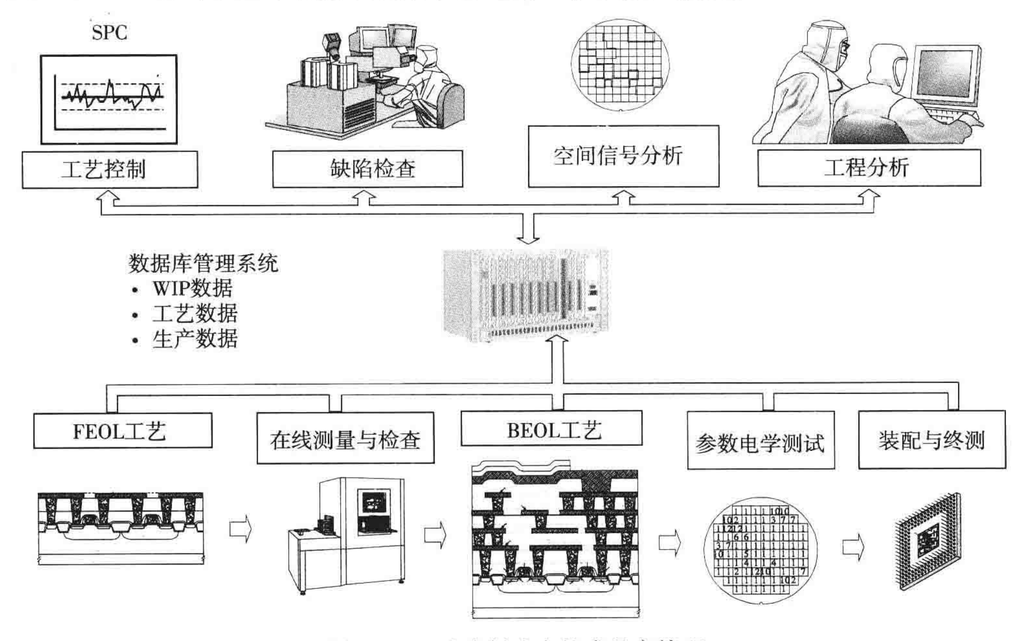


图 19.21 硅片制造中的成品率管理

19.3　测试质量测量

硅片测试中的一般质量测量如表 19.4 所列。

表 19.4　硅片测试的质量测量 *

质量参数	缺陷类型	备注
1. 电学过载	A. 长时间（如大于 1 ms）电压或电流过载引起的电路失效（如电学开路）	近50%的IC失效是由电学过载(EOS)引起的，可能的原因是： ● 闩锁 ● 供电转换 ● 继电器操作 ● 供电变异 ● 测试程序不正确（如测试仪失常） 多在电路设计中预防（如增加外部电压钳位）
2. 静电放电（ESD）	A. 电压过载引起的电路失效（如电学开路）： ● 如果没有保护，100 V 静电脉冲就能破坏栅氧 ● 漏源短路是最严重的 ESD 破坏方式 ● 接触孔遭到破坏会改变输入 / 输出泄漏电流	电学失效是由于电路曝露在100 V~20 kV的ESD电压下。ESD 保护包括 ● 每个管脚的电流分流和电压钳位 ● 亚 0.5 微米的 ESD 保护受轻掺杂漏和热电子效应的影响很大 ● ESD 保护正在成为 IC 设计的一个完整部分
3. 闩锁	互连线开路引起的 IC 电路失效： ● 闩锁是流过 IC 的电流突然快速增加的典型 ● 引发闩锁不一定是破坏性的，但芯片必须在重新开始正常操作前复位	IC 中闩锁的最普通形式是寄生元件（参见第 3 章）。控制闩锁的方法有：** ● 在重掺杂的衬底上生长轻掺杂外延层用以制作器件 ● 沟槽隔离是降低闩锁可能性的有效方法，特别是当沟槽深度大于阱深时
4. 栅氧击穿	两种类型的栅氧破坏会引起器件失效： ● 电压过载造成的灾难性破坏，如 EOS ● 在额定电压、温度和功耗下工作，绝缘介质的击穿取决于时间	保持栅氧完整性（GOI）对器件性能是至关重要的。栅氧越薄越容易被破坏 ● 栅氧击穿会在芯片的输入和输出管脚产生泄漏电流 ● 氧化生长工艺会产生氧化层缺陷，特别是硅片清洗、冲水和干燥。超净氧化生长技术能提高成品率
5. 可动离子污染（MIC）	由于可动离子污染改变器件参数而引起的失效包括： ● 阈值电压 ● 截至状态漏电流 ● 晶体管驱动电流	引起失效的主要离子是 Na^+，Cl^- 和 K^+。由于半径小，Na^+ 是最容易移动的。硅片制造中的可动离子污染已经稳步减少，包括诸如处理设备、封装材料、制作环境和人体等污染源

* 改编自 E.Amerasekera and F.Najm, *Failure Mechanisms in Semiconductor Devices*, 2nd ed.,(New York: John Wiley and Sons，1997)，pp.71-111

** S.Campbell，*The Science and Engineering of Microelectronic Fabrication*, (New York：Oxford University Press，1996)，p.446

19.4　测试检查及故障排除

一般的测试故障检查问题如表 19.5 所列。

表 19.5 一般测试检查及故障排除

问题	可能的原因	纠正措施
1. 在线参数测试中探针卡问题	A. 源于探针卡： ● 所有测量数据为开路 ● 个别测量为开路 ● 同一电学参数（如漏电流）在每个硅片上都不合格	● 检查探针卡探针的排列和平面化 ● 检验测试压焊点上的探查痕迹 ● 检查探针是否干净、排列整齐，有无断针 ● 检验硅片在托盘上是否平坦，是否对正 ● 漏电流不合格也可能是探针卡问题造成的。检验探针和探针之间是否干净，有无漏电流通路
2. 测试点或压焊点损坏	A. 探针损坏	损坏的探针对获得可靠的测试数据而言是严重问题。可能对探针造成破坏的有： ● 探针压到压焊点时压力过大 ● 压焊点被探针划伤 ● 破坏测试压焊点的再次探查 ● 粗心的设置和传送
3. 测试过程中测试仪工作不正常	A. 硬件错误： ● 探针卡损坏 ● 磁盘驱动错误 ● 测试台使用错误 ● 输入电源问题 ● DUT与探测仪不符	对测试设置进行视觉和电学检查，以检验： ● 正确的产品测试状态 ● 运行样片以确保测试设置正确 ● 硅片位置 ● 压焊点上的探针划痕
	B. 软件错误： ● 系统未校准 ● 波形信号衰减 ● 测试软件调用错误，施加的功能偏置错误	● 运行测试仪自动校准 ● 运行诊断或自测试软件。最坏情况下，检验每一行软件代码 ● 用示波器检验信号完整性 ● 使用样片以检验测试设置 ● 安装电源线调节装置
	C. 测试算法错误： ● 测试算法设计错误 ● 对硅片的算法错误，导致测试向量或定时错误	● 使用设计检查工具检验算法 ● 对比两个不同软件模型以记录不同点

19.5 小结

硅片测试通过测量芯片电学参数检验其合格性。在从研发芯片到最后封装的不同IC制作工艺阶段进行电学测试。有两个硅片级测试：在线参数测试和硅片拣选测试。在线参数测试对硅片划线道结构进行测试，这一测试经常在第一层金属刻蚀后马上开始。为工艺性能提供早期反馈需要大范围的参数测试。可靠性测试结构也用于评估硅片级可靠性。在线参数测试的自动测试设备由探针卡、硅片定位（机械）装置、测试仪器和控制测试仪的计算机组成。一个测试算法软件控制测量。硅片拣选测试对硅片上的每个芯片进行功能测试。有缺陷的芯片被做上电子标志（或墨水标记），以便芯片从硅片分离时废弃它们。硅片被分配代码号，按照测试结果对硅片分类。硅片分类的电学测试是DC测试、输出测试和功能测试。功能测试检验芯片是否按照规格预期的特性工作。失效模型用于发现测试中的芯片问题。静态漏电流测试以测量静态漏电流来提高故障覆盖率。硅片拣选成品率测量合格芯片所占百分比。多种因素影响硅片成品率，如硅片直径和工艺成熟度。成品率模型可以根据硅片参数预测制作成品率。成品率管理综合所有制作测试和工艺数据以改善成品率。

关键术语

硅片测试
在线参数测试（硅片电学测试，WET）
测试结构（工艺监控）
划片道监控（SLM）
硅片级可靠性（WLR）
集成电路可靠性
老化测试
探针卡
探针台
过载
自动测试设备（ATE）
测试算法
分类
校准
硅片分类（电学分类、硅片探查或探查）
墨水标记
电子硅片图
分类代码号
分类图
立体图像分析（SSA）
功能测试
测试向量
测试覆盖率
可测性设计（DFT）
并行测试
失效模型
静态漏电流测试
工作保证特性范围
硅片拣选测试成品率
泊松模型
墨菲模型
Seed 模型
成品率管理系统

复习题

1. 定义硅片测试。硅片测试的目的是什么？
2. 列出并描述IC生产过程中的5种不同电学测试。
3. 列出硅片制造过程中完成的两种硅片级测试。
4. 根据硅片成品率解释制作工艺是如何成功或失败的。
5. 在线参数测试典型的测试时间是在制作工艺的哪个阶段？
6. 在线参数测试的另一个名称是什么？在线参数测试是直流测试还是交流测试？
7. 列举并解释5个进行在线参数测试的理由。
8. 为什么在线参数测试是很重要的？
9. 解释什么是测试结构，它在在线参数测试中如何使用？给出三种不同测试结构的例子。
10. 什么是划片道监控？
11. 列举并解释在线参数测试中要做的5种不同测试。
12. 为什么在线参数测试数据是很重要的？
13. 列举4种不能被接受的测试数据倾向。
14. 解释硅片级可靠性。给出一个硅片级可靠性测试的例子。
15. 什么是IC可靠性？解释老化测试。
16. 列举在线参数测试的4个主要子系统。
17. 什么是探针卡？
18. 在线参数测试中硅片是如何定位的？
19. 解释过载并说明其重要性。
20. 什么是高级IC的自动测试设备？

21. 什么是测试算法?
22. 为什么测试设备的校准是必要的?
23. 陈述一个在线参数测试面临的挑战。
24. 列举并解释硅片拣选测试的目标。
25. 描述硅片拣选测试如何进行。
26. 为什么要编辑有缺陷芯片的电子硅片图?
27. 分类代码号的目的是什么?
28. 解释空间表面分析。
29. 为什么硅片拣选测试有时也称为交流测试?
30. 列举并描述硅片拣选测试中的三种典型电学测试。
31. 解释如何通过测试向量进行功能测试。
32. 解释测试覆盖率的概念。
33. 描述 0-1 算法如何用于功能测试。
34. 列出影响硅片拣选测试的 4 个测试要素。
35. 为什么可测性设计和并行测试对总测试时间非常重要?
36. 解释单故障停止模型(SSAF)。
37. 解释静态漏电流 I_{DDQ} 测试的好处。其缺点是什么?
38. 讨论工作保证特性范围以及它如何确保产品满足产品规格。
39. 什么是硅片拣选测试成品率?
40. 列举并解释影响硅片拣选测试成品率的 6 个因素。
41. 列举并描述三种成品率模型。
42. 哪种模型能用于 ULSI 芯片?
43. 解释成品率管理系统的好处。成品率管理系统的另一个名称是什么?

测试和探查设备供应商网站

Advantest America Inc.	http://www.advantest.com/
Agilent Technologies	http://www.agilent.com/
Cerprobe Corporation	http://www.cerprobe.com/home.asp
Electroglas Incorporated	http://www.electroglas.com/
Exatron Automatic Test Equipment	http://www.exatron.com/
Integrated Technology Corp.	http://www.inttechcorp.com/
International SEMATECH	http://www.sematech.org/
Keithley Instruments	http://www.keithley.com/
Micro Control Company	http://www.microcontrol.com/
The Micromanipulator Co.Inc.	http://www.micromanipulator.com/
Micro Photonics inc.	http://www.microphotonics.com/
National Institute of Standards	http://www.nist.gov/
Pacific Western Systems	http://www.pacificwesternsystems.com/
Probe Technology	http://www.probecard.com/
QC Solutions	http://www.qcsolutions.com/

Schlumberger	http://www.1.slb.com/ate/diagsys
SEMI	http://www.semi.org/
Signatone	http://www.signatone.com/
SISA,Semiconductor Industry Suppliers Association	http://www.sisa.org/
TEL，Tokyo Electron Ltd.	http://www.teainet.com
Teradyne	http://www.teradyne.com/

参考文献

1. W. Merkel, "Parametric Testing to Improve Semiconductor Yields," *Semiconductor Online* (March 12, 1998): p. 1.
2. G. Pinkerton, "New Parametric-Test Technologies Meet Future Production Challenges," *Solid State Technology* (December 1996): p. 53.
3. T. Turner, "Test Structure Design: An Opportunity for Fab Outsourcing," *Solid State Technology* (April 1998): p. 44.
4. Adapted from E. Hnatek, *Digital Integrated Circuit Testing From a Quality Perspective*, (New York: Van Nostrand Reinhold, 1993), p. 155.
5. W. Merkel, "Parametric Testing to Improve Semiconductor Yields," p. 5.
6. Ibid., p. 3.
7. R. DeJule, "Expanding Applications and Demands on Parametric Test," *Semiconductor International* (June 1996): p. 110.
8. M. Pecht, R. Radojcic and G. Rao, *Guidebook for Managing Silicon Chip Reliability*, (Boca Raton: CRC Press, 1999), p. 184.
9. R. Iscoff, "What's in the Cards for Wafer Probing," *Semiconductor International* (June 1994): p. 77.
10. Keithley Vendor Literature, *S600 DC Parametric Test System*, Keithley Instruments, Inc.
11. S. Max, *Extending Calibration Intervals*, Proceedings of International Test Conference (Piscataway, NJ: IEEE, 1996): p. 118.
12. G. Pinkerton, "New Parametric-Test Technologies meet Future Production Challenges," p. 53.
13. C. Gross, et al., *Assessing Future Technology Requirements for Rapid Isolation and Sourcing of Faults*, Micromagazine, on-line version, (July 1998), p. 7.
14. T. Shao and F. Wang, "Wafer Fab Manufacturing Technology," *ULSI Technology*, ed C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 631.
15. A. J. van de Goor, *Testing Semiconductor Memories: Theory and Practice*, (New York: John Wiley and Sons, 1991), p. 96.
16. S. Sasho and M. Shibata, *Multi-Output One-Digitizer Measurement*, Proceedings of International Test Conference (Piscataway, NJ: IEEE, 1998): p. 258.
17. E. Hnatek, *Digital Integrated Circuit Testing from a Quality Perspective*, p. 133.
18. R. Rajsuman, *I_{ddq} Testing for CMOS VLSI*, (Boston: Artech House, 1995): p. 21.
19. A. Righter, et al., *CMOS IC Reliability Indicators and Burn-In Economics*, Proceedings of International Test Conference (Piscataway, NJ: IEEE, 1998): p. 194.
20. M. Sachdev, P. Janssen, and V. Zieren, *Defect Detection with Transient Current Testing and its Potential for Deep Sub-Micron CMOS ICs*, Proceedings of International Test Conference (Piscataway, NJ: IEEE, 1998): p. 204.

21. V. Agrawal and S. Seth, *Test Generation for VLSI Chips*, (Washington, D.C.: Computer Society Press, 1988): p. 328.
22. D. Jensen, C. Gross, and D. Mehta, *Mapping the Roadmap, New Industry Document Explores Defect Reduction Technology Challenges*, Micromagazine, on-line version (January 1998), p. 2.
23. D. Scott and R. Pisa, "Can Overall Factory Effectiveness Prolong Moore's Law?" *Solid State Technology* (March 1998): p. 75.
24. C. Gross, et al., *Assessing Future Technology Requirements for Rapid Isolation and Sourcing of Faults*, p. 6.
25. T. Price, *Introduction to VLSI Technology*, (New York: Prentice Hall, 1994): p. 105.
26. D. Jensen, C. Gross, and D. Mehta, *Mapping the Roadmap, New Industry Document Explores Defect Reduction Technology Challenges*, p. 8.

第20章　装配与封装

硅片的使用是一种同时制造许多芯片的有效成本方法。一旦所有制造与测试完成，芯片被从硅片上分离出来并装配到最终集成电路管壳中。装配和封装过程是取出电性能良好的器件，将它们放入管壳，用引线将器件上的压点与管壳上的电极互相连接起来。封装为芯片提供一种保护并将它粘贴到更高级装配板上的措施。

在半导体制造的早期，芯片与包围在其周围的金属笨重的互连是手工过程。美国芯片制造商把它看做高度劳动密集型的行业，并将这种工艺技术转向境外工厂或发包商。在当代，对于最终用户，集成电路装配与封装已变得高度自动化并且是增长着的生产价格和性能的重要部分。大批量集成电路装配仍然是由亚太区公司占主导地位。

有许多新芯片装配和封装为集成电路的开发而设计。针对现存的在过去20到30年已被验证的方法，对于成本和性能，新设计是个连续的标准。随着客户要求改善芯片性能，对集成电路封装提出了新要求。关键的封装参数是输入和输出（I/O）管脚数、电性能、散热性及尺寸。

总的趋势是将硅片制造技术与装配和封装合并在一起。管壳的尺寸持续减小以反映芯片尺寸。一些芯片制造商正在进行硅片级的集成电路封装。将来硅片制造工艺与集成电路装配和封装最终可能变成相同的工序。

目标

通过本章的学习，你将能够：

1. 描述装配和封装的总趋势与设计约束条件。
2. 说明并讨论传统装配方法。
3. 描述不同的传统封装的选择。
4. 讨论7种先进装配和封装技术的优势与限制。

20.1　引言

在制造厂工艺完成时，通过电测试的硅片准备进行单个芯片的装配和封装。这些在最终装配和封装中进行，被称为集成电路制造过程的后道工序。集成电路最终装配与封装是笔大生意。在1998年，全球销售620亿块封装好的集成电路[1]。

最终装配和封装在集成电路后道工序是两个截然不同过程。每个有它特殊的工艺和工具。在传统工艺中，集成电路最终装配从硅片上分离出每个好的芯片并将芯片粘贴在金属引线框架或管壳上。对于引线框架装配，用细线将芯片表面的金属压点和提供芯片电通路的引线框架内端互连起来。最终装配后，集成电路封装是将芯片封在一个保护管壳内。现在最常用的封装是用塑料包封芯片。这种塑料包封提供环境保护并形成更高级装配连接的管脚（例如，固定到电路板上）。传统最终装配和封装工艺的概貌如图20.1所示。

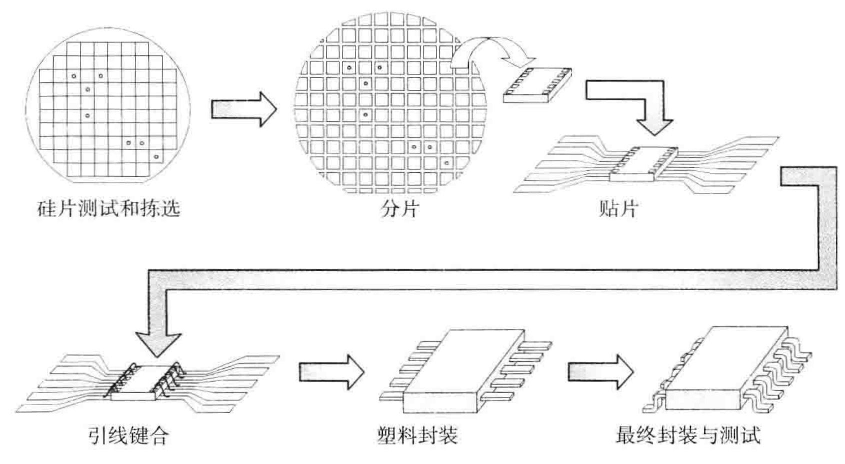


图 20.1 传统装配与封装

对于所有芯片，集成电路封装有 4 个重要功能：

1. 保护芯片以免由环境和传递引起损坏。
2. 为芯片的信号输入和输出提供互连。
3. 芯片的物理支撑。
4. 散热。

在业界内有许多种封装形式，图 20.2 中展示了最常用的一些封装形式（关于封装的附加信息在本章的后面提到）。选择封装形式以优化满足这 4 种功能特定的设计约束条件：性能、尺寸、重量、可靠性及成本目标（见表 20.1）。封装集成电路可以使微芯片在广泛的使用环境范围内正常工作，例如在笔记本电脑中、在汽车的发动机组件中以及夹在信用卡的塑料层中。当设计工程师选择集成电路封装时，沾污、潮气、温度、机械振动以及人为滥用等各种环境都必须考虑进去。

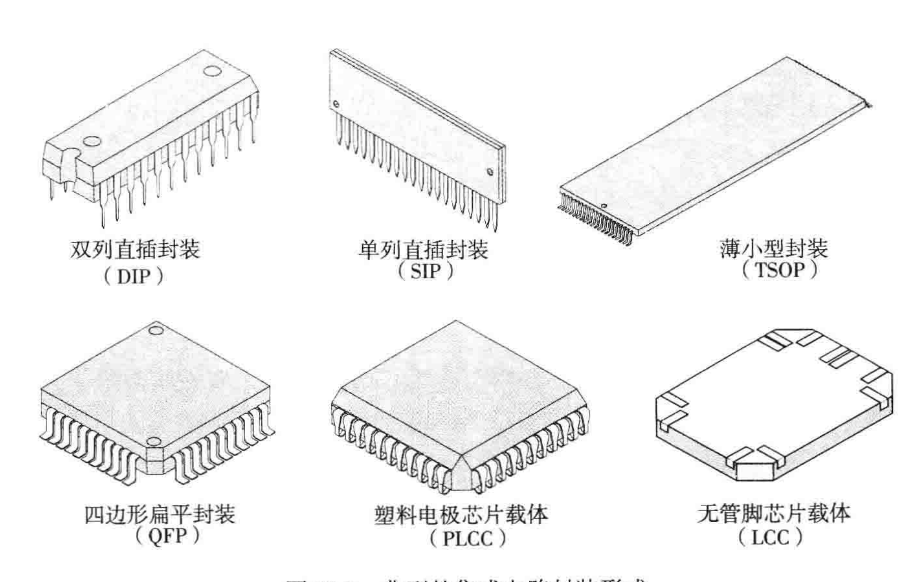


图 20.2 典型的集成电路封装形式

表 20.1　关于集成电路封装形式

设计参数	设计约束条件
性能	● RC 时间延迟
	● 输入 / 输出（IO）信号的个数
	● 压焊和粘贴
	● 信号上升时间
	● 开关瞬态
	● 热
	● 功耗
	● 输入和输出阻抗
	● 频率响应
尺寸 / 重量 / 外形	● 芯片尺寸
	● 管壳尺寸
	● 压点尺寸和间距
	● 管壳引线尺寸和间距
	● 衬底载体压点尺寸和间距
	● 散热设计
材料	● 芯片基座（塑料、陶瓷或金属）
	● 载体（有机物、陶瓷）
	● 热膨胀失配
	● 引线金属化
成本	● 集成到现有工艺
	● 管壳材料
	● 成品率
装配	● 芯片粘贴方式
	● 封装粘贴（通过孔、表面贴装或凸点）
	● 热沉装配
	● 包封

对于高性能的芯片应用，例如高端计算机，性能和可靠性是至关重要的。对于大部分消费类应用，成本连同尺寸和重量是重要标志。

20.1.1　封装层次

对于电子元件有两种不同的封装层次（见图 20.3）。本章章名中芯片的装配和封装，被称为第一级封装。一旦将芯片封装到一个集成电路块中，封装 I/O 端连接芯片到下一层装配。第二级封装是将集成电路块装配到具有许多元件和连接件的系统中[2]。在大多数第二级封装中，使用 Sn / Pb 焊料（熔化温度 183°C）将集成电路块焊在印刷电路板上。印刷电路板（PCB），又被称为底板或载体，用焊料将载有芯片的集成电路块粘贴在板上的电路互连，同时使用连接件作为其余产品的电子子系统的接口。然后将已装配好的电路板放入最终产品中（有时被称为线盒装配，像计算机的组装）。

本章包含传统的集成电路装配和封装的方式，然后以这些信息作为基础介绍先进的装配和封装方法。许多传统方式依然在产品中广泛使用，主要原因是它们的低成本和已被证实的可靠性。先进的封装技术一般在高性能微芯片中应用。

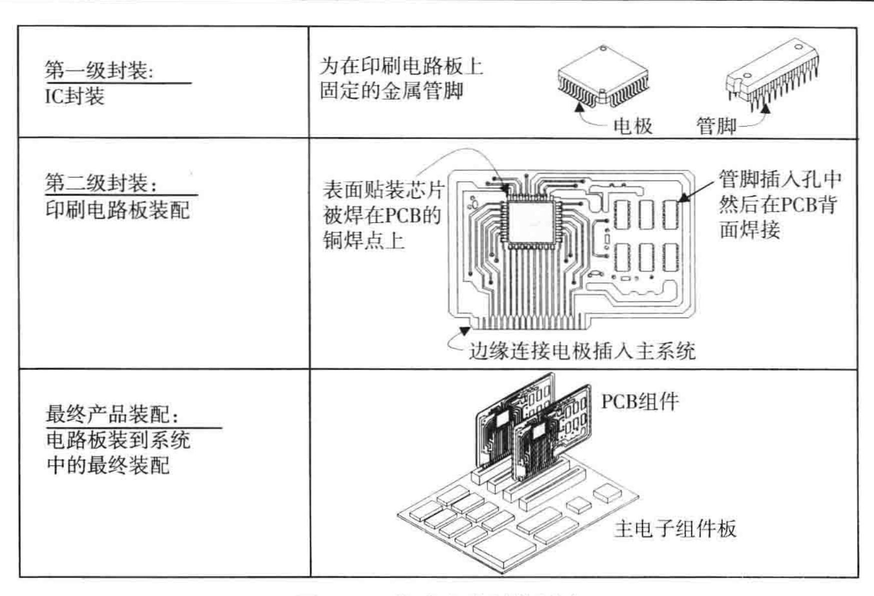


图 20.3 集成电路封装层次

20.2 传统装配

最终装配由要求粘贴芯片到集成电路底座上的操作构成。由于制造的大部分成本已经花在芯片上，因此在最终装配过程中成品率是至关重要的。在 20 世纪 90 年代后期[3]，所有集成电路装配中估计有 95%采用了传统的最终装配，并由下面 4 步构成：

- 背面减薄
- 分片
- 装架
- 引线键合

20.2.1 背面减薄

最终装配的第一步操作是背面减薄（有时在硅片被送到最终装配工序前，分类后进行）。在前端制造过程中，为了使破损降到最小，大直径硅片相应厚些（300 mm 的硅片是 775 μm 厚，大约 1/32 英寸）。然而，硅片在装配开始前必须被减薄。硅片通常被减薄到 200 到 500 μm 的厚度[4]。较薄的硅片更容易划成小芯片并改善散热，它有益于在薄 ULSI 装配中减少热应力。更薄的芯片也减小最终集成电路管壳的外形尺寸和重量。

使用全自动化机器进行背面减薄（见图 20.4）。背面减薄被精细地控制，使引入到硅片的应力降到最低[5]。应力能引起硅片翘曲，使它在划片时更易破裂并且往管壳上安放更困难。在某些情况下，背面减薄后，在背面再淀积金属。典型的金属是金薄膜，用于改善到底座的电导率以及芯片共晶焊（参看下面部分）。

20.2.2 分片

分片（又称为芯片单个化）使用金刚石刀刃的划片锯把每个芯片从硅片上切下来。在划片前，将硅片从片架上取出并按正确的方向放到一个固定在刚性框架的粘膜上。该粘膜保持硅片完整直到

所有芯片被划成小块。硅片被传到带有去离子水喷淋的圆锯，然后用25 μm厚的金刚石锯刃（旋转速率达每分钟20 000转），在x和y方向分别划片（见图20.5）。用去离子水冲洗硅片以去除划片过程中产生的硅浆残渣，而每个单独芯片由背面粘膜支撑。锯通常沿划片线切透硅片的90%~100%。全自动设备具有对准系统、划片和硅片清洗一体化功能。若采用切透50%，接下来裂片的较老式划片方法对于ULSI器件通常是不能接受的[6]。

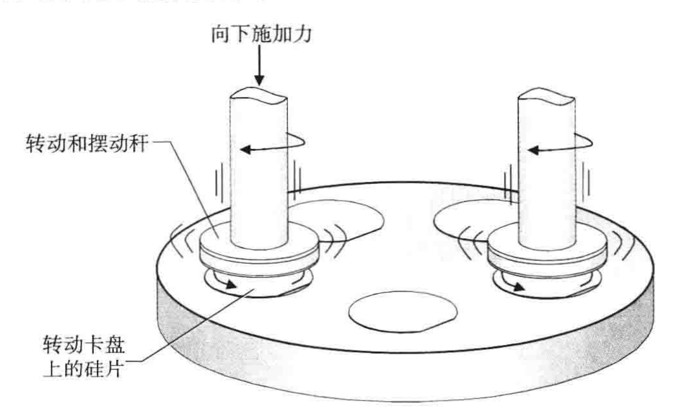


图 20.4　背面减薄示意图

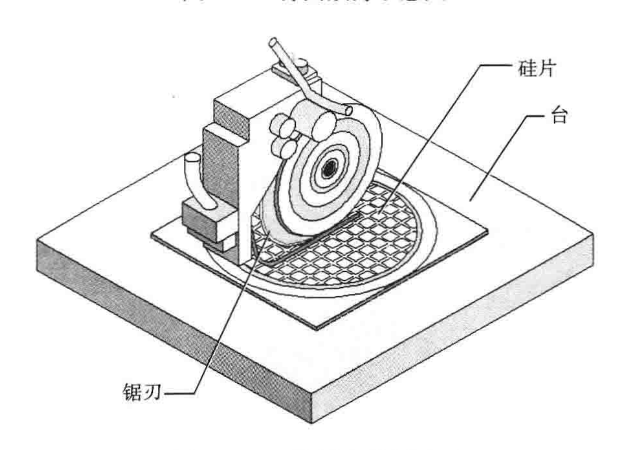


图 20.5　硅片锯和被划硅片

20.2.3　装架

分片后，硅片被移到装架操作。在装架时，每个好的芯片从粘附的背面被分别挑选出来，粘贴到底座或引线框架上。引线框架的例子如图20.6所示，具有从内部芯片键合区到为更高层次装配需要的更大电极间距扇出的电极（间距是电极中线到中线的间隔）。引线框架台是小型传送架，用于有效地传送引线框架，并将它们从一个工具移到另一个工具。自动贴片机是采用专门夹具的高速工具，被称为夹头。用它的边缘捡起芯片（为避免芯片损坏）并将其放在要装配的底座或引线框架上。贴片工具要求灵活性以粘贴芯片到各种应用情况，包括引线框架、陶瓷基座和电路板。根据探测无墨水标点识别或者通过使用硅片分类提供的计算机化硅片分布图数据可以选出好的芯片。

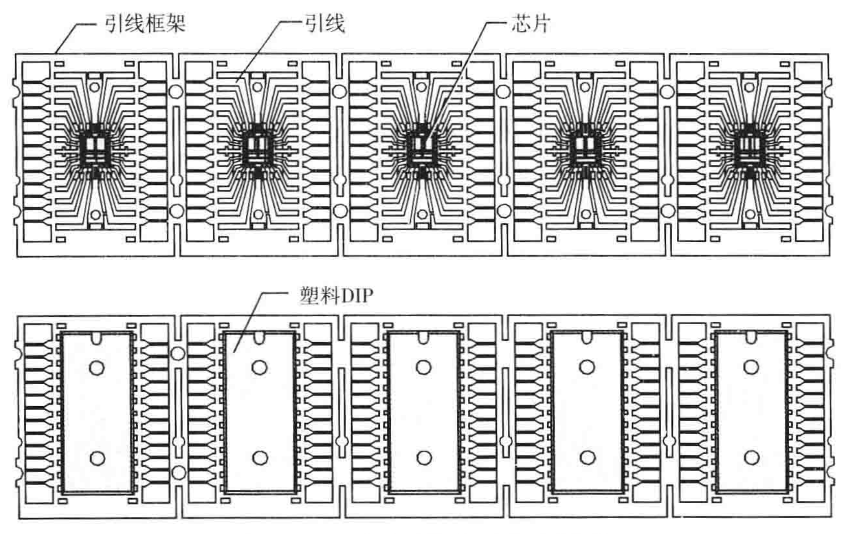


图 20.6 为装片用的典型的引线框架

■ **芯片粘结** 使用下列技术之一将芯片粘结在引线框架上或基座上：

- 环氧树脂粘贴
- 共晶焊粘贴
- 玻璃焊料粘贴

环氧树脂粘贴 环氧树脂粘贴是将芯片粘贴到引线框架或基座上最常用的方法。环氧树脂被滴在引线框架或基座的中心。芯片贴片工具将芯片背面放在环氧树脂上（见图 20.7），接下来是加热循环以固化环氧树脂（例如 125 ℃，1 小时）。大部分 MOS 产品直接使用环氧树脂。然而，如果芯片和封装的其余部分之间有散热要求，可以在环氧树脂中加入银粉成分制成导热树脂。

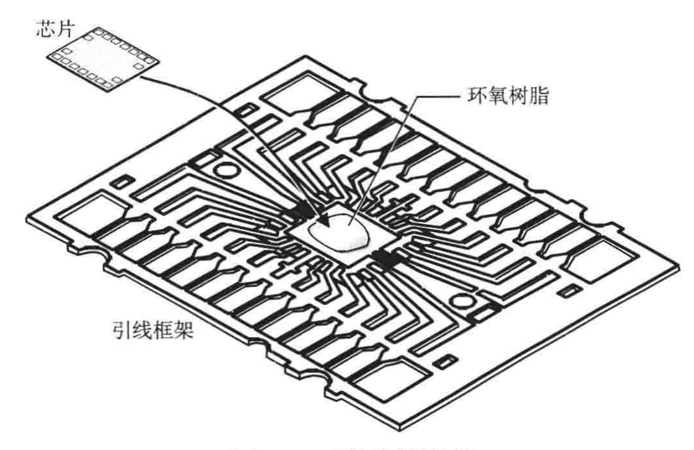


图 20.7 环氧树脂粘贴

共晶焊粘贴 使用共晶焊贴片在减薄后的硅片背面淀积一层金（Au）（见图 20.8）。回想一下，共晶定义使它的熔点降至最低的熔态混合。然后用合金方式将金粘接到基座上，基座通常或是引线框架（例如，42 号合金，一种 Ni-Fe 合金）或是陶瓷基座（例如，90% 到 99.5%-Al_2O_3）。典型地，基座有一个金或银（Ag）的金属化表面。当加热到 420℃ 约 6 秒钟，它略高于 Au-Si 共晶温度，这

种方法在芯片和引线框架之间形成共晶合金互连。共晶贴片提供了良好的热通路和机械强度。对于双极集成电路共晶焊粘贴技术更普遍。

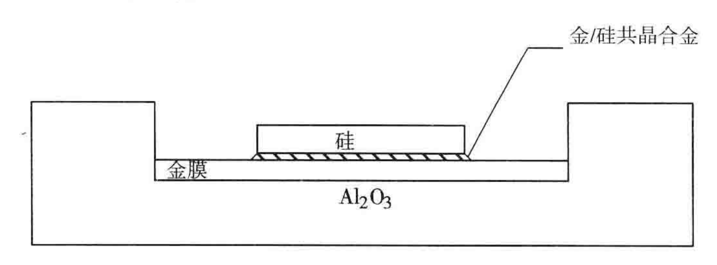


图 20.8　Au-Si 共晶贴片

玻璃焊料粘贴　玻璃焊料由银和悬浮在有机媒介中的玻璃颗粒组成，习惯上将芯片不经过金属化而直接粘贴在 Al_2O_3 陶瓷底座上以实现密封。密封是保护硅器件免受外部环境的影响，特别是潮气和沾污。用在玻璃焊料中的银和玻璃在固化过程中变软，并构成对陶瓷具有良好导热的焊接。要固化含银的玻璃要求相对高的温度。

20.2.4　引线键合

引线键合是将芯片表面的铝压点和引线框架上或基座上的电极内端（有时称为柱）进行电连接最常用的方法（见图 20.9）。这种高速操作转动线轴并将细线从芯片的压点键合到引线框架上电极内端压点，每秒能压多个压点（例如，通常速度是每秒钟 10 个线点）。工具将引线键合到每个芯片压点或引线框架压点，并步进到下一位置。引线键合放置精度通常是 +5 μm。[7] 键合线或是 Au 或是 Al 线，因为它在芯片压点和引线框架内端压点都形成良好键合，通常引线直经是在 25 到 75 μm 之间。标准引线直经为 25 μm，习惯上被用在压点间距 70 μm 的芯片上。

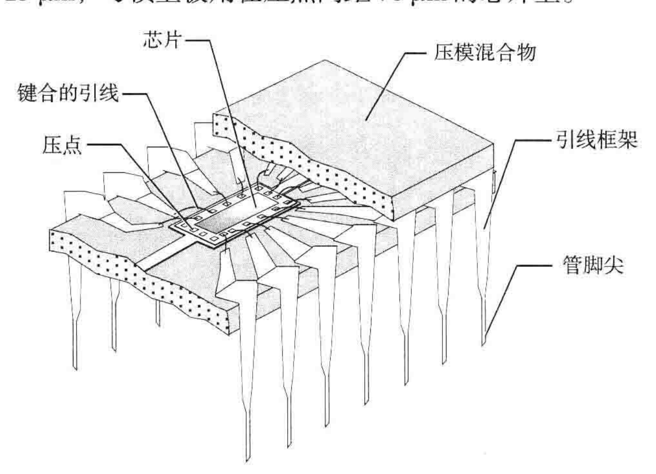


图 20.9　从芯片压点到引线框架的引线键合

三种基本引线键合的叫法各取自在引线端点工艺中使用的能量类型。这三种引线键合方法是：

- 热压键合
- 超声键合
- 热超声球键合



芯片到引线框架的引线键合
（承蒙 Austin 半导体有限公司允许使用照片）

■ 热压键合 在热压键合中，热能和压力被分别作用到芯片压点和引线框内端电极以形成金线键合。一种被称为毛细管劈刀的键合机械装置，将引线定位在被加热的芯片压点并施加压力。力和热结合促成金引线和铝压点形成键合，称为楔压键合。然后劈刀移动到引线框架内端电极，同时输送附加的引线，在那里用同样方法形成另一个楔压键合点（见图 20.10）。这种引线键合工艺重复进行，直到所有芯片压点都被键合到它们相应的引线框架内端电极柱上。

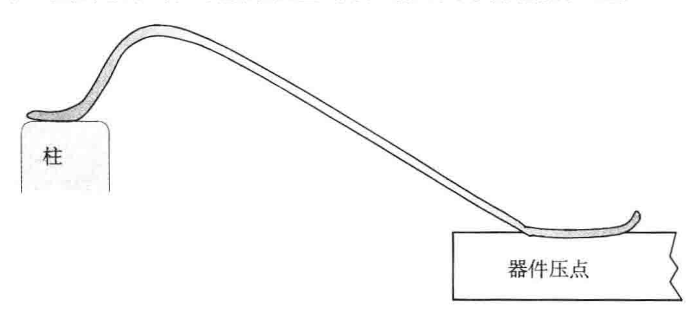


图 20.10 热压键合

■ 超声键合 超声键合以超声能和压力作为构成引线和压点间锲压的方式为基础。它能在相同和不同的金属间形成键合，例如 Al 引线 /Al 压点或 Au 引线 /Al 压点。通过在毛细管劈刀底部的孔（类似热压键合）输送引线并定位到芯片压点上方。细管针尖施加压力并快速机械振动摩擦，通常超声频率是 60 kHZ（最高达到 100 kHZ），以形成冶金键合。在这种技术中不加热基座。一旦键合形成，工具移动到引线框架内端电极压点，形成键合，并将引线扯断（见图 20.11）。这种过程重复进行，直到所有芯片压点被用引线键合到相近的引线框架内端电极。

■ 热超声球键合 热超声球键合是一种结合超声振动、热和压力形成键合的技术，被称为球键合。基座维持在约 150°C 的温度。热超声球键合也有一个毛细管劈刀，由碳化钨或陶瓷材料制成，它通过中心的孔竖直输送细 Au 丝。伸出的细丝用小火焰或电容放电火花加热，引起线熔化并在针尖形成一个球。在键合过程中，超声能和压力引起在 Au 丝球和 Al 压点间冶金键合的形成（见图 20.12）。球键合完成后，键合机移动到基座内端电极压点并形成热压的楔压键合。将引线拉断，工具继续到下一个芯片压点。这种球键合/楔压键合顺序在压点和内端电极压点间的引线连接尺寸有极佳的控制，这对更薄的集成电路很重要。

■ 引线键合质量测试 引线键合的成品率一贯很高。保证质量的两个主要方法是目检和拉力测试。目检是通过看楔压或球并验证已形成良好的键合点来进行的。例如，楔压键合在劈刀尖超声振动接触处应该有一平坦区。对于球键合，由于施加压力，球有形变，但是过分的形变是不能接受的。

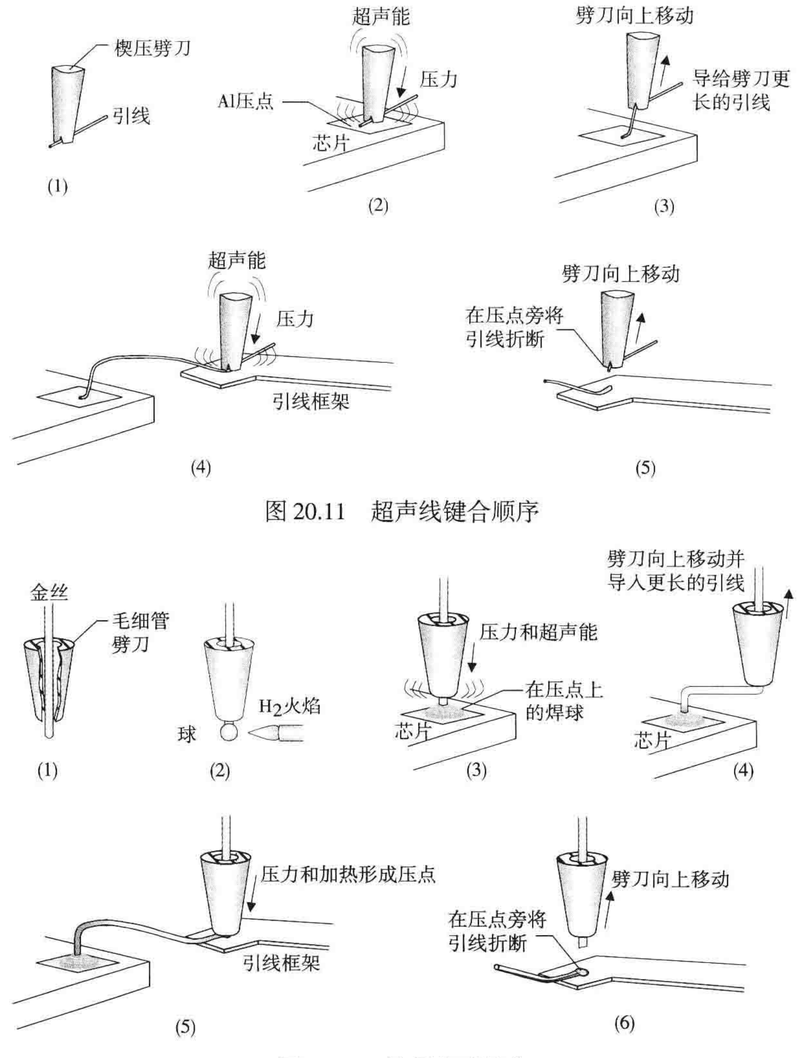


图 20.11　超声线键合顺序

图 20.12　热超声球键合

引线键合拉力试验提供了引线键合质量的定量评价（见图20.13）。拉线测试测量单个键合点的强度并标出键合失效的地方，例如跟部（引线和平坦区之间的界面处）。这些数字化测量能用统计过程控制（SPC）监视以评估工艺的稳定性和趋势。

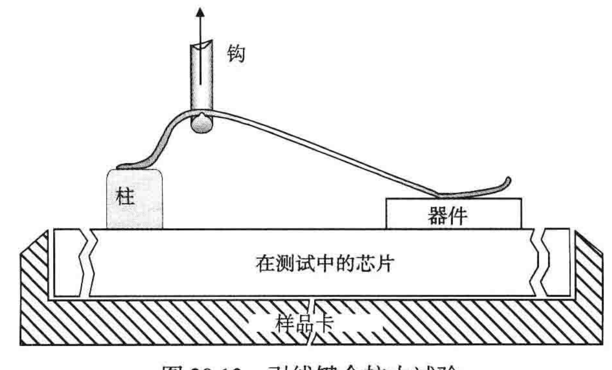


图 20.13　引线键合拉力试验

20.3 传统封装

集成电路有许多传统封装形式。如前所述，封装必须保护芯片免受环境中潮气和沾污的影响及传运时的损坏。集成电路封装形成了在引线框架上互连到芯片压点的管脚，它们用于第二级装配电路板。芯片压点的间距范围是从60到115 μm。引线框架电极从该压点间距扇出到用在电路板上更大的压点间距。对表面贴组件，在电路板上采用相对大的间距，范围从大约12密耳（300 μm）到25至50密耳（625至1250 μm）。插孔组件在电路板上有100密耳（2500 μm）间距。

在半导体产业的早期金属壳封装是普遍的。现在它仍然用于分立器件和小规模集成电路。芯片被粘贴在镀金头的中心，并用引线键合到管脚上。在管脚周围形成玻璃密封，一个金属盖被焊到基座上以形成密封。例子是金属TO型（晶体管外型）封装（见图20.14）。

两种最广泛使用的传统集成电路封装材料是：

- 塑料封装
- 陶瓷封装

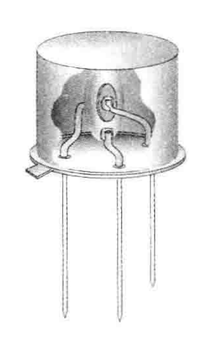


图20.14 TO型金属封装

20.3.1 塑料封装

塑料封装使用环氧树脂聚合物将已完成引线键合的芯片和模块化工艺的引线框架完全包封。自从20世纪60年代它的引入，塑料封装已经成为产业的主流。塑料封装的一个关键特征是这种设计致力于大批量生产技术。引线框架（具有粘贴和引线键合的芯片）以条带形式在轨道上运动以简化传送。该轨道与用于包封芯片及内引线框架的不同工具有接口。塑料封装长期受欢迎的重要原因是管脚成型灵活，或作为插孔式管脚，或作为表面贴封装技术（SMT）管脚。插孔式管脚穿过电路板，而SMT管脚粘贴到板的表面。具有SMT管脚的组件受欢迎是因为对集成电路组件和电路板都有高密度封装（允许更多输入/输出管脚数，或I/O数）。使用塑料封装的其他益处是材料成本低和重量轻。

塑料封装的交连后聚合物性能稳定不变形、离子纯并且加工温度高达250°C。环氧树脂其他重要的参数是吸潮少，并且可加入填充剂以减小热膨胀系数（TCE），使它与引线框架和芯片的热膨胀系数相匹配。虽然环氧树脂模块被认为是密封的并不足以保护芯片免受环境和沾污的影响，但在这方面已经得到了根本性改善。

一旦包封，从集成电路管壳伸出的仅为第二级装配到电路板上必需的管脚。模型封装经过去飞边步骤，即从管壳附件去除多余的材料。典型的去飞边使用类似喷沙的物理磨耗工艺。再后来使用墨水或激光在塑料封面上打印制造和产品信息。

组件管脚成型是在铸模后进行的。铸模的集成电路条带被放入管脚去边成型工具，在此管脚被加工成必要的形状：用于表面贴封装的鸥翼型和J型管脚以及用于插孔式的直插形式。通过剪去支

撑所有管脚平直的连接边（见图20.15），可将每块集成电路从引线框架条带上分出来。管脚成型后，接下来施加一层薄管脚涂层（通常是焊料或锡）以防止侵蚀。典型地管脚涂层是用电镀淀积。在某些情况下，管脚涂层在管脚成型前进行。

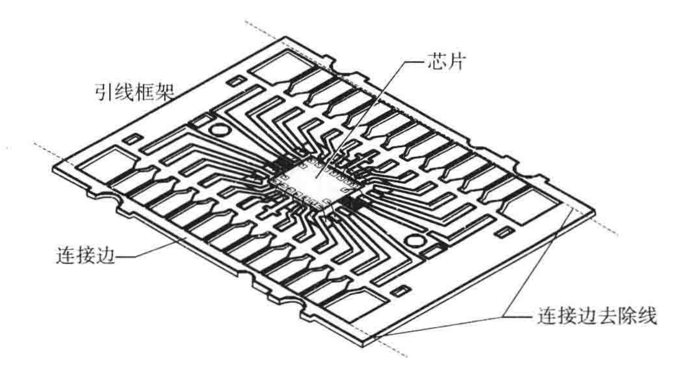


图 20.15　从引线框架上去除连接边

■ 塑料封装种类　有多种不同的塑料封装，最多的是用大量回流焊料粘贴在印刷电路板上相应的压点上。下面是主要的塑料封装代表的例子：

双列直插封装（DIP），如图 20.16A 所示，典型有两列插孔式管脚向下弯，穿过电路板上的孔。这种封装流行于 20 世纪 70 年代和 80 年代，但它的使用正在减少。

单列直插封装（SIP），如图 20.16B 所示，是 DIP 的替代品，用以减小集成电路组件本体所占据电路板的空间，例如存储器应用。

薄小型封装（TSOP），广泛用于存储器和智能卡，如图 20.16C 所示。它所具有的鸥翼型表面贴装技术（SMT）的管脚沿两边粘贴在电路板上相应的压点。TSOP 常被贴在双列存储器模块（DIMM）上，并用做插入计算机主板的存储器卡（见图 20.16D）。早期 TSOP 的封装形式曾是一种外型小巧的集成电路，或称 SOIC。这种封装在 20 世纪 90 年代已被广泛采用，并且在 21 世纪初期仍保持最广泛使用的集成电路封装形式[9]。

四边形扁平封装（QFP）（见图 20.16E）是一种在外壳四边都有高密度分布的管脚（多达 256 或者更多）表面贴装组件。对于 SMT 塑料封装来说，用最密的管脚间距制成的 QFP，其间距只有 12 密耳（300 μm）。如此细的间距已成为电路板装配时高成品率的限制因素。QFP 和薄小型封装在 1998 年占所有销售的集成电路（大约 500 亿套）的 80%。[10]

具有 J 型管脚的塑封电极芯片载体（PLCC）如图 20.16F 所示，如果不需要过多 I/O 数，这种封装被采用以替代 QFP。

无引线芯片载体（LCC）是一种电极被管壳周围边缘包起来以保持低剖面的封装形式（见图 20.16G）。LCC 或者插入插槽座或者被直接焊到电路板上。采用插槽座是为了容易现场取下升级或修理。

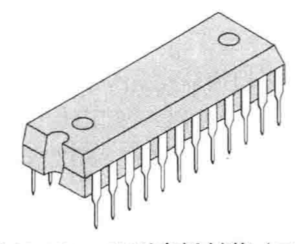


图 20.16A　双列直插封装（DIP）

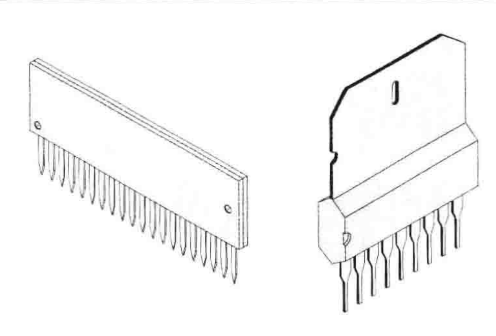


图 20.16B 单列直插封装（SIP）

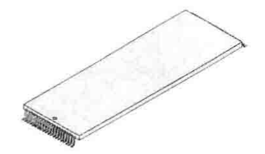
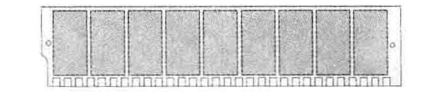


图 20.16C 薄小型封装（TSOP）



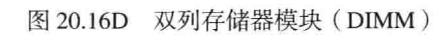


图 20.16D 双列存储器模块（DIMM）

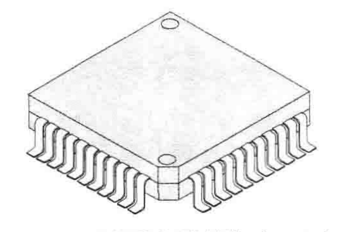


图 20.16E 四边形扁平封装（QFP）

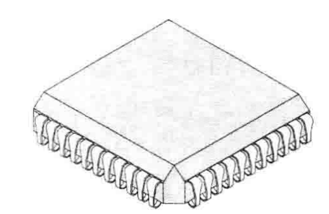


图 20.16F 具有J型管脚的塑料电极芯片载体（PLCC）

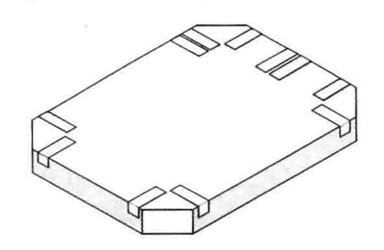


图 20.16G 无引线芯片载体（LCC）

20.3.2 陶瓷封装

陶瓷封装被用于集成电路封装，特别是目前应用于要求具有气密性好、高可靠性或者大功率的情况[11]。陶瓷封装有两种主要方法：耐熔（高熔点）陶瓷，它是从芯片装配和封装分别加工的；具有较低封装成本的陶瓷双列直插（CERDIP）技术，但仍然保持密封。

■ 耐熔陶瓷 耐熔陶瓷基座是集成电路封装常用的，它由氧化铝（Al_2O_3）粉和适当的玻璃粉及一种有机媒质混合而构成浆料，浆料被铸成大约1密耳厚的薄片，干化，然后制作布线图案以制成一个多层陶瓷基座（见图20.17）。用户连线电路被淀积在单层上，用金属化通孔互连不同的层。几个陶瓷片被精确地碾压在一起，然后在1600°C烧结以构成一个单一的（即合为一体）熔结体，这被称为高温共烧结陶瓷（HTCC）。也有烧结温度在850°C到1050°C的低温共烧结陶瓷（LTCC），可被用于不能承受HTCC温度的电路制造材料[12]。对于构成具有许多信号、地、电源、压点及密封层的复杂封装，陶瓷技术是优秀的。作为集成电路封装基座的耐熔陶瓷的主要挑战是：（1）高收缩

性，这使公差难于控制；（2）高介电常数，这增加了寄生电容，并能影响高频信号；（3）氧化铝的导电率，成为信号延迟的问题[13]。

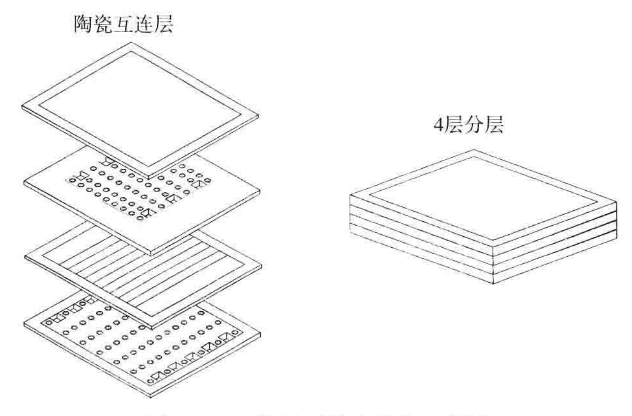
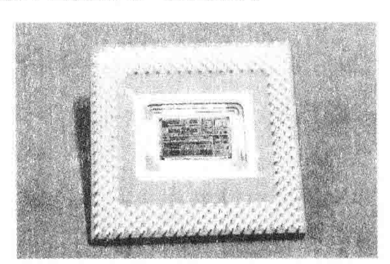


图 20.17　分层耐熔陶瓷加工顺序

陶瓷封装最常用的管脚形式是 100 密耳间距的铜管脚，它组成针栅阵列（PGA）管壳。这是为电路板装配的插孔式管壳。芯片能被粘贴并引线键合到陶瓷的底部或顶部，接下来是用一个盖做成真空密封。PGA 被用于高性能集成电路，像高频和具有高达 600 个管脚的快速微处理器。PGA 管壳经常需要一些散热片或小风扇排出管壳内产生的热。



陶瓷针栅阵列（PGA）
（承蒙 Advanced Micro Devices 公司允许使用照片）

■ **薄层陶瓷**　陶瓷封装技术的一种低成本方式是将两个陶瓷件压在一起（芯片引线键合后）。引线框架被定位在它们之间（见图 20.18）。这种封装被称为陶瓷双列直插（CERDIP），使用低温玻璃材料将陶瓷层密封。

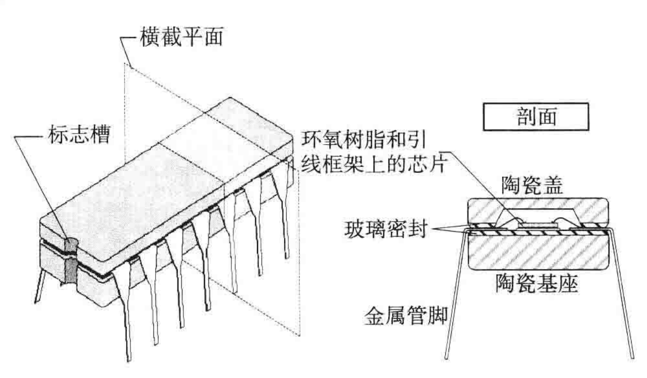


图 20.18　CERDIP 封装

20.3.3 终测

所有装配和封装芯片都要进行最终电测试以确保集成电路质量。测试与硅片分类时所做的功能测试相同。集成电路芯片处理器要在自动测试设备（ATE）上进行单个芯片测试。集成电路处理器迅速将每个集成电路插入测试仪的电接触孔。小而有弹性的针，被称为弹簧针，使管壳上管脚实现电接触以便进行电学测试。测试完成以后，集成电路处理器将集成电路移回到它的最终发货包装体中（例如，托盘、卷筒或套管）。

具有数量多的输入/输出管脚和管壳占面积小的先进集成电路封装对于终测造成挑战。专用的测试固定装置，通常称为接触件或管座，用于进行集成电路管壳上管脚和自动测试仪上接触针之间的电学连接（见图 20.19）。这些接触件必须可靠地工作，针对集成电路插拔数百万次而没有显著的磨损或电信号劣化。对于先进的集成电路，测试固定装置被设计为使电感最小化和优化信号通路阻抗。

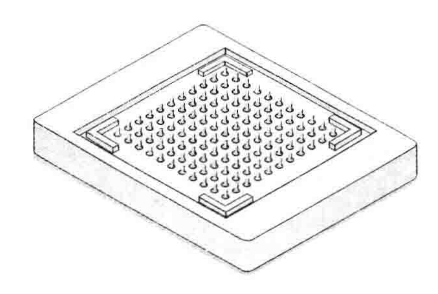


图 20.19 为集成电路管壳准备的测试管座

20.4 先进的装配与封装

更低成本、更可靠、更快及更高密度的电路是集成电路封装追求的目标。引线键合技术已被证明成本低和工作可靠。在未来，封装目标将通过增加芯片密度并减少内部互连数来满足。具有更少互连的封装与减少潜在失效点、减小电路电阻、潜在缩短电路长度及减少内电极电容，都可影响电性能。缩小集成电路管壳以适应最终用户应用和整个外形的新技术设计的需求正驱使减小尺寸（例如智能卡、掌上电脑、便携式摄像机等）。这种减小被要处理更大量并行数据线的需求抵消，驱使对增加具有更多输入/输出管脚的封装的需求。增加 I/O 管脚的最大需求是 CMOS 微处理器，而存储器 I/O 管脚数的需求将保持相对低。

有规律地引入新型封装设计以解决第二级封装的难题。像美国的联合电子器件会议（JEDEC）和日本的电子产业协会（EIAJ），这些标准化集团制定标准以便所有公司使用统一的集成电路封装设计。先进的集成电路封装设计包括：

- 倒装芯片
- 球栅阵列（BGA）
- 板上芯片（COB）
- 卷带式自动键合（TAB）
- 多芯片模块（MCM）
- 芯片尺寸封装（CSP）
- 圆片级封装

20.4.1　倒装芯片

倒装芯片是将芯片的有源面（具有表面键合压点）面向基座的粘贴封装技术（即相对引线键合方法，把带有凸点的芯片反转，将有源面向下放置——这就是称为“倒装”芯片的原因）。这是目前从芯片器件到基座之间最短路径的一种封装设计，为高速信号提供了良好的电连接。由于它不使用引线框架或塑料管壳，所以重量和外型尺寸也有所减小。倒装芯片技术使用的凸点——通常由 5% Sn 和 95%Pb 组成的锡 / 铅焊料，以互连基座和芯片键合压点（见图 20.20）。采用高的 Pb 焊料是因为在这种凸点应用中它的可靠性增加。最常用的焊料凸点工艺被称 C4（可调整芯片支撑的工艺，controlled collapse chip carrier），由 IBM 于 20 世纪 60 年代为将芯片粘贴到陶瓷基座而开发。现在使用的基座是陶瓷或塑料基的，或作为刚性印刷电路板或柔性聚合物电路。在倒装凸点锡料处使用导电胶（例如，填充由银的粘性聚合物）也正被积极地研究[14]。

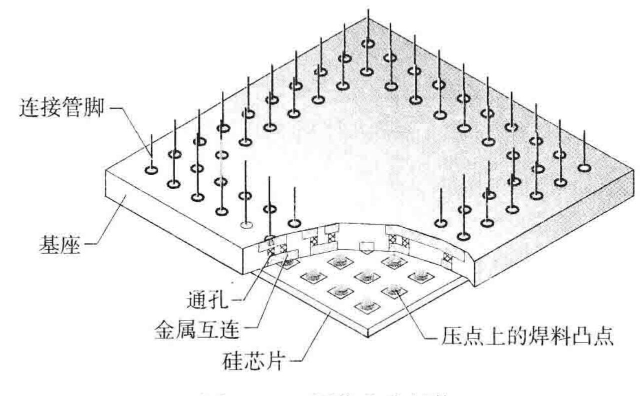


图 20.20　倒装芯片封装

典型C4焊料凸点使用蒸发或物理气相淀积（溅射）法淀积在硅的芯片压点上。压点上的C4焊料要求有特殊冶金阻挡层（BLM）（见图20.21）。BLM提供到压点良好的C4焊点粘附并禁止扩散。传统上 C4 凸点的直径在 10 密耳的间距时是 4 密耳。

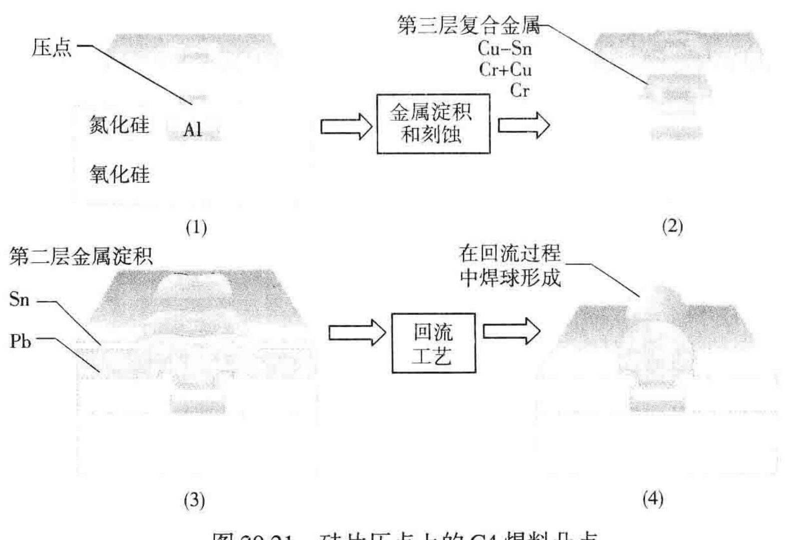


图 20.21　硅片压点上的 C4 焊料凸点

使用对准键合工具将倒装芯片粘贴到基座上。它利用自动对准显示系统并将芯片放在基座上。芯片的C4焊料凸点被定位在相应的基座接触压点。常用热空气加热，并稍微加压力，随后引起C4焊料回流并形成基座和芯片之间的电学和物理连接。

■ 环氧树脂填充术 关于倒装芯片可靠性的一个重要问题是硅片和基座之间热膨胀系数(CTE)失配。严重的CTE失配将应力引入C4焊接点并由于焊点裂缝引起早期失效。通过在芯片和基座之间用流动环氧树脂填充术使问题得以解决（见图20.22）。环氧树脂的CTE被匹配到C4焊点，使作用于C4结点的应力有效地减小。使用填充术，在C4焊接点上应力能被减小10倍以上[15]。

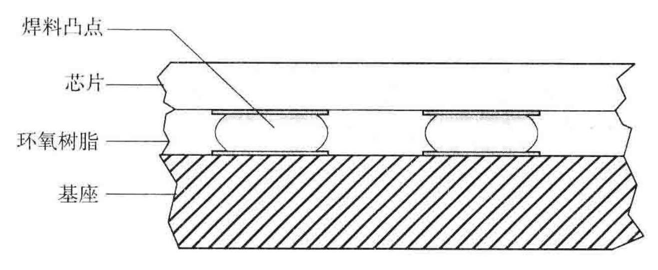


图20.22 倒装芯片的环氧树脂填充术

使用环氧树脂填充术的一项重要挑战是，一旦环氧树脂固化，所用倒装芯片不能被取下。这产生了如果在测试中发现芯片有缺陷如何返工的问题。通常电学测试后再施用环氧树脂。也开发了避免使用环氧树脂填充术的技术，例如在芯片与基座之间添加介质（具有互连结构适应的聚合物材料），以消除两者之间的CTE应力。

倒装工艺的另一方面是在施用环氧树脂填充术之前能清洗芯片下面。回流C4焊料凸点在芯片与基座之间仅留下2到3密耳的间距。焊接要求流体化学物质以去除氧化并产生可接受的焊点。有时流体有离子沾污，必须使用去离子水或溶剂将沾污物去除。

■ 输入/输出管脚数 因为倒装芯片技术是面阵技术，它促进了对封装中更多输入/输出管脚的需求。这意味着C4焊料凸点被放在整个芯片表面的x-y格点上，对于更多管脚数有效利用了芯片表面积（见图20.23）。传统的引线键合是技术，压点只在芯片周围。周边阵列限制了封装的管脚数，并且不能有效利用芯片中的表面积。面阵技术的最大挑战之一是对C4凸点完整性的检查。基于X射线的自动检查系统已被使用。

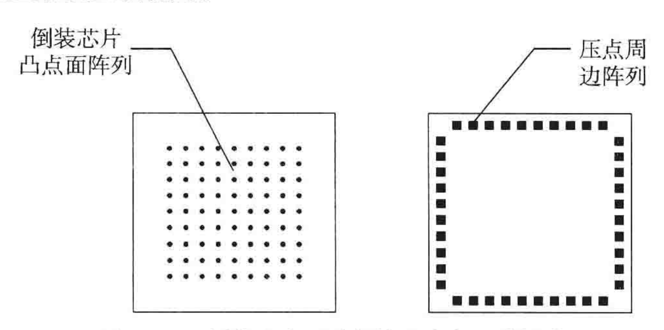
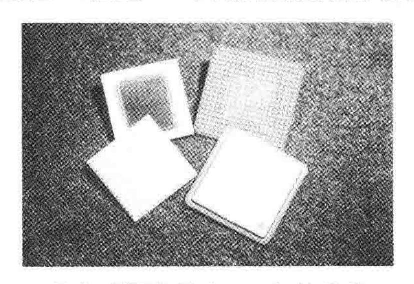


图20.23 倒装芯片面阵焊接凸点与引线键合

20.4.2 球栅阵列

球栅阵列（BGA）封装于20世纪90年代早期引入，并与针栅阵列（PGA）有类似的封装设计。BGA由陶瓷或塑料的基座构成，基座具有用于连接基座与电路板的共晶Sn/Pb焊料球的面阵列（见

图 20.24）。使用倒装芯片 C4 或引线键合技术将硅芯片粘附到基座的顶部。BGA 是为简化第二级装配的具有更大互连间距的倒装芯片的扩展。像用倒装芯片一样，BGA 在小外型的表面贴装上有效地获得多管脚数。高密度的 BGA 封装具有多达 2400 个管脚。BGA 焊球间距通常是 40、50 或 60 密耳，对应 PGA100 密耳的管脚间距。这一特征是多管脚数的一个主要贡献。最新引入的 BGA 管壳具有 20 密耳的焊料球间距，这是在 20 世纪 90 年代后期使用的最小 BGA 间距。



具有球栅阵列（BGA）的芯片

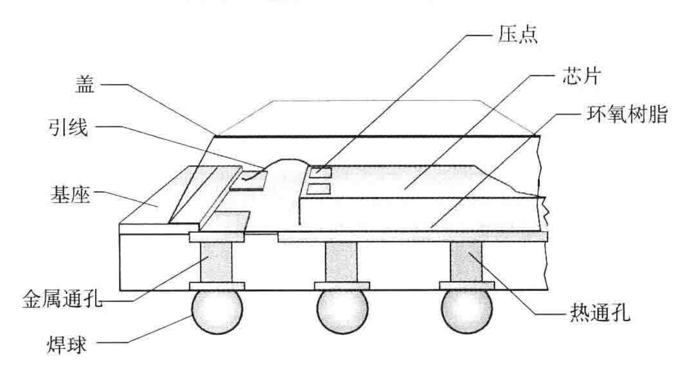


图 20.24　球栅阵列

关于 BGA 封装的塑料基座有显著的开发工作，又称为有机或薄片载体。在这种情况下，用引线键合或 C4 焊料凸点将硅芯片粘贴到塑料基座，基座带有可粘贴到电路板的焊料球。塑料基座具有比陶瓷更低的介电常数，这将因为减少信号传输延迟而使高频性能和高速开关改善。

BGA 的积极方面是在第二级装配时，BGA 组件和其他表面贴组件（例如 QFP、TSOP 等）一起被放在电路板上并进行焊料回流。BGA 焊料球回流并形成对板的互连。将 BGA 与现存的表面贴装组件工艺两者集成在一起降低了装配成本。

20.4.3　板上芯片

在 20 世纪 80 年代后期，板上芯片（COB）工艺被开发以将集成电路芯片直接固定到具有其他 SMT 和 PIH 组件的基座上，它又被称为直接芯片粘贴（DCA）。使用标准粘贴工艺（见图 20.25）将芯片环氧树脂粘贴并用引线键合到基座上（经常是印刷电路板）。在硅芯片周围没有管壳，环氧树脂直接覆盖，常称滴盖子（glob-top）。COB 法用最少的工艺和设备的变化，来减少传统的 SMT 和 PIH 封装尺寸。在尺寸和成本为主的领域中，它变得日益流行，例如图像游戏卡和智能卡。

20.4.4　卷带式自动键合

卷带式自动键合（TAB）是一种多 I/O 封装方式，它使用塑料带作为芯片载体（见图 20.26）。这种塑料带具有夹在两层聚合物介质膜之间的薄铜箔。铜被刻蚀以形成与芯片压点匹配的电极，带

有用于粘附芯片的凸点内电极键合区（ILB）以及可焊料粘附到电路板的外电极区（OLB）。一旦芯片被粘贴在ILB，可用被称为滴盖子（glob-top）的环氧树脂将芯片覆盖以进行保护，并将带卷成卷。带和卷格式被用于TAB芯片到电路板的第二级装配。在装配过程中，将芯片和电极从带上取下，电极形成鸥翼，然后用焊料回流键合到电路板上。在20世纪80年代，TAB被认为是最高I/O封装形式，但是昂贵的工具和装配综合成本制约了它的广泛使用，现在它仅能用在特别需要的应用场合。

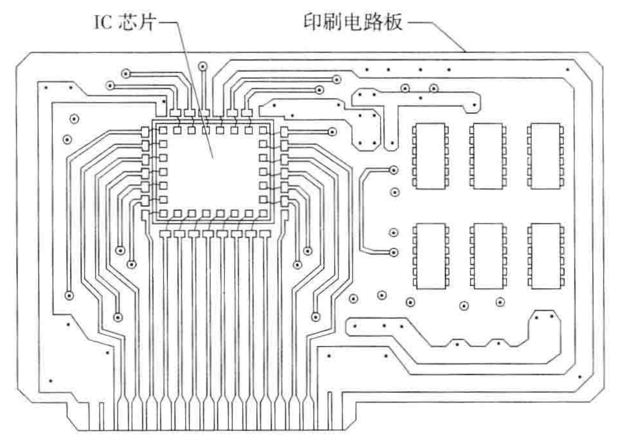


图20.25 板上芯片（COB）

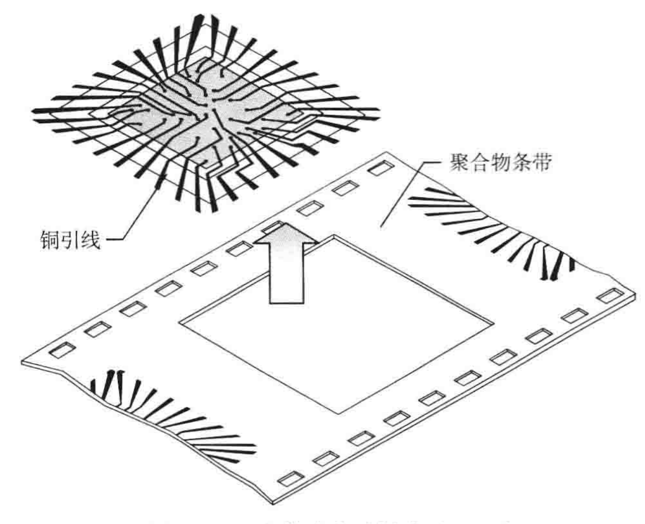


图20.26 卷带式自动键合（TAB）

20.4.5 多芯片模块

多芯片模块（MCM）是一种将几个芯片固定在同一基座上的封装形式（见图20.27）。这种固定允许在MCM基座材料上更高的硅芯片密度。MCM被认为是硅芯模块表面积占基座表面积的30%以上[16]。最常用的MCM基座是陶瓷或先进的具有高芯片密度的印刷电路板。MCM封装设计通过在减小总封装尺寸和重量同时减小电路电阻和寄生电容，增强电性能。MCM是一种旧的被称为混合电路技术的革新，它是用厚膜胶将有源和无源组件固定在陶瓷上并连接，方法类似于丝网印刷。在基座上混合电路具有低的芯片密度。

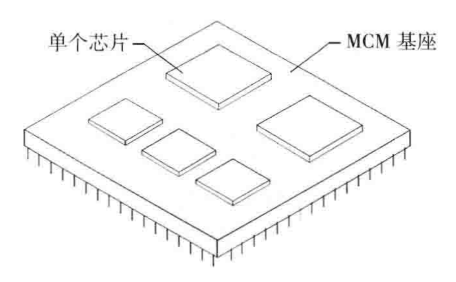


图 20.27　多芯片模块（MCM）

20.4.6　芯片尺寸封装

集成电路封装设计追求在增强电性能的同时追求更低的成本、更轻的重量以及更薄的厚度。在20世纪90年代集成电路封装接近于硅芯片相同尺寸范围的发展，导致芯片尺寸封装的概念。芯片尺寸封装（CSP）的一般定义是小于芯片占地面积（表面积）1.2倍的集成电路封装形式[17]。由于CSP封装和芯片有大致相同的尺寸，尤其是当芯片采用面阵列凸点技术时，它使第二级电路板表面积得以有效利用，当今主要的CSP封装技术是前面讨论的倒装芯片和BGA法，因为两者都采用了凸点互连。更进一步，CSP包括基座上的多芯片，它包含了MCM的概念。倒装是一种发展得最快的先进封装方法（见图 20.28）。表 20.2 中提供了不同的芯片尺寸封装例子。

值得考虑的是，CSP可以和现有的用于第二级装配到电路板的表面贴装相匹配。CSP使用的设备、工艺以及材料与现有表面贴装基础结构相匹配，它简化了将CSP产品引入制造中并降低了生产成本。

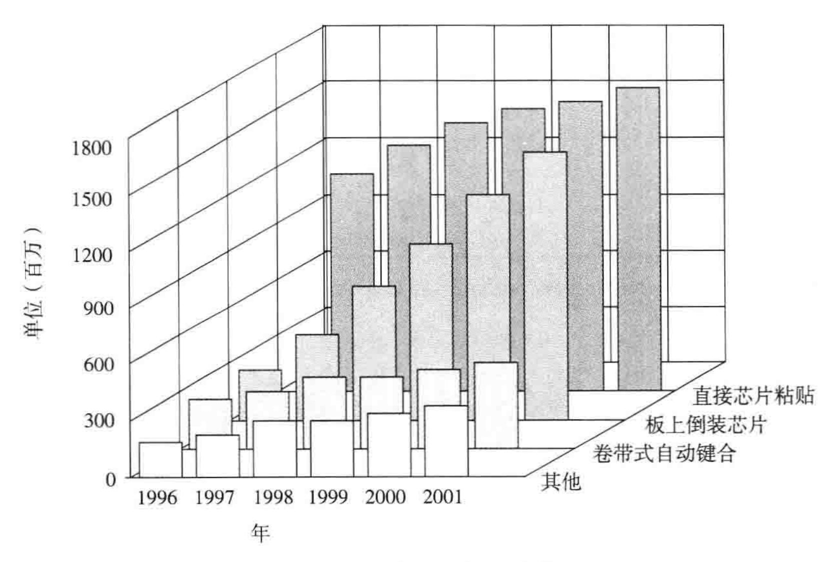


图 20.28　先进的封装趋势

（引自 S.Winkler,"Advanced IC Packaging Markets and Trends," *Solid State Technology* (June 1998): p.63）

20.4.7　圆片级封装

目前为止，所有将芯片上压点和基座上标准压点连接的集成电路装配与封装都是在由硅片上分离出来的芯片上进行的。这种工艺造成了前端硅片制造工艺与用于生产最终集成电路的后端装配和封装间的自然分离。为了增加生产效率同时获得更低的成本，在20世纪90年代后期开发了圆片级

封装。圆片级封装是第一级互连和在划片前硅片上的封装I/O端的形式（见图20.29）。许多封装设计师都建议对于圆片级封装要使用倒装芯片的材料和工艺技术。

表 20.2* 芯片尺寸封装的差异

一般 CSP 法	CSP 封装名称	公司
定制引线框架	面阵列，凸点式 CSP	Amkor/Anam
	小外形无引线 /C 引线（SON/SOC）	Fujitsu
	凸点芯片载体（BCC）	Fujitsu
	微针点阵列（MSA）	Hitachi
	底部引线塑料封装（BLP）	LG Semicon
	四边形扁平无引线封装（QFN）	Matsushita
	存储器 CSP	TI Japan
	四边形无引线封装	Toshiba
在芯片和基座之间的插线板（带互连的柔性材料）	增强柔性 CSP	3M
	柔性 BGA	Amkor/Anam
	FBGA	Fujitsu
	柔性芯片 CSP	GE
	多芯片尺寸封装（MCSP）	Hightec MC AG
	用于存储器器件的 CSP	Hitachi
	IZM 柔性 PAC	Fraunhofer Institute
	模块式球栅阵列	Mitsbishi Electric
	柔性芯片芯片尺寸封装	Motorola Singapore
	细间距 BGA（FPBGA）	NEC
	微 BGA	Tessera
刚性基座	芯片阵列封装（CABGA）	Amkor/Anam
	CSP	Cypress Semiconductor
	陶瓷微型 BGA	IBM
	采用模块式阵列工艺的 CSP	Motorola
	塑料芯片载体	National
	CSP	Oki Electric
	变换栅阵列封装	Sony
	陶瓷 / 塑料细间距 BGA	Toshiba

引自 J. Baliga, "Making Room for More Performance with Chip Scale Packages," *Semiconductor International* (October 1998): p.86

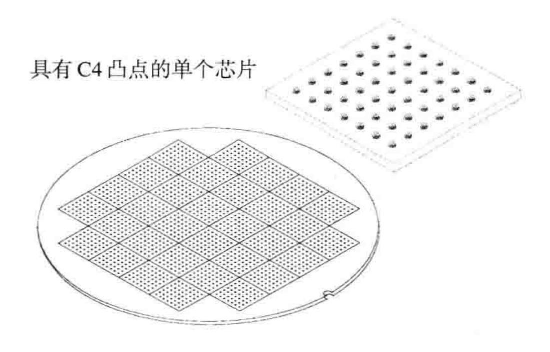
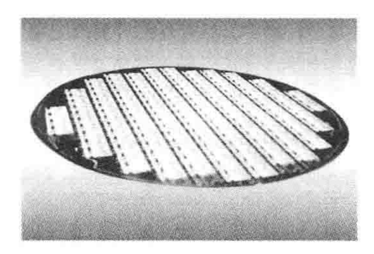


图 20.29 圆片级封装

正在开发具有竞争力的圆片级封装设计并预计这些设计将获得认同。关键是要在芯片压点细间距尺寸和第二级电路板装配所需的粗间距尺寸之间的界面处，开发出可靠的互连系统。一种方式使用薄膜涂层工艺在芯片压点和粘附芯片到电路板所需的较大尺寸压点之间建立界面。引线键合制成

芯片和界面之间的互连（见图 20.30）。BGA 焊料球阵列用于将芯片直接粘贴到第二级装配电路板。引线框架不是圆片级封装的典型部分。在电路板上封装的总高度通常是 1 毫米或更小。



C4 凸点硅片
（承蒙 Advanced Micro Devices 公司允许使用照片）

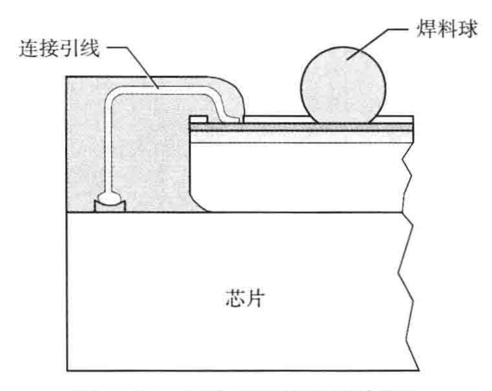


图 20.30　圆片级封装的设计概念
（引自 V.DiCaprio, M. Liebhard, and L.Smith, "The Evolution of a New Wafer-Level Chip-Size Package," *Chip Scale Review* (May/June 1999)）

如果整个装配和封装工艺在硅片级完成，那么测试和老化也将在硅片上进行。此时芯片制造商正在开发硅片级测试程序。在许多方面，圆片级封装后测试类似于硅片分类。一个重要的改变是使用了探针卡上的针接触硅片上的芯片焊料凸点来替代铝压点。这种调整能简化探针卡，因为 BGA 焊料球间距比硅片上压点的间距大得多。硅片级封装的老化和测试省掉了对测试插管座和专用集成电路装卸程序的需求，目前它们用单个集成电路封装测试。这将显著改善效率并节省费用。另一个可能的改善是省掉了硅片探测，因为现在最终功能测试是在硅片级封装上进行的（见图 20.31）。

费用节省的是集成电路装配和封装中的重要因素。当芯片尺寸缩小而装配和封装技术固定不变时，封装成本在集成电路组件总成本中占有的比重会变得更大。在某些情况下，集成电路封装的成本会超过集成电路本身的成本[18]。圆片级封装的最终目标是仍在硅片级提供高密度的集成电路封装，因此为从根本上节省费用，统一前端和后端工艺以减少工艺步骤。这种集成是导致真正芯片尺寸封装的自然进步。表 20.3 列出圆片级封装的优势。

表 20.3*　圆片级封装特征与优势

参数	优势
管壳尺寸	在 x 和 y 尺度管壳等于芯片面积。它是集成电路封装中的最小最轻的可能性封装
安装后封装高度	它是极薄型，第二级装配后从电路板表面测量总高度小于 1.0 mm
组件可靠性	测试结果表明圆片级封装组件已通过对现有无源组件的可靠性测试
焊接点可靠性	测试结果表明焊接点可靠性满足标准热循环（-65 至 125°C）可靠性测试
电学性能	电学模拟测试表明，芯片面朝下（倒装芯片）的圆片级封装结构具有短的电路路径，由于使电感和寄生电容损失最小，导致了非常好的电性能

（续表）

参数	优势
与现有 SMT 基础结构的集成	圆片级封装可以与现有的表面贴装技术兼容，并使用标准的焊料球及球间距
抗α粒子	在封装材料中天然存在的放射性元素发射α粒子，它能引起存储器单元电压损失。聚合物带和薄膜粘贴为存储器芯片提供抗α粒子
低系统成本	为降低系统总成本，使用与硅片集成的现有材料减少装卸和硅片测试的策略，以最少化重复测试

* 引自 V. DiCaprio, M.Lebhard, and L.Smith, "The Evolution of a New Wafer-Level Chip-Size Package," *Chip Scale Review* (May/June 1999): p.34

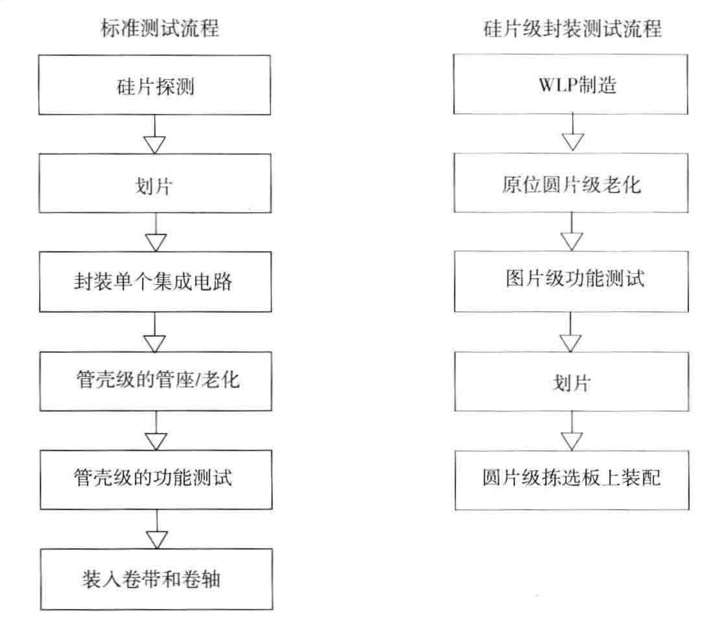


图 20.31　标准测试流程与圆片级封装测试流程比较

（引自 P.Elenius,"Wafer-Level Packaging Gains Momentum," *Solid State Technology*(April 1999): p.46）

20.5　封装与装配质量测量

表 20.4 给出了集成电路装配和封装的关键质量测量例子。

表 20.4　对于集成电路装配和封装的关键质量测量

质量参数	缺陷类型	备注
1. 倒装芯片 C4 凸点中的裂缝或空洞	A. 在 C4 凸点中的焊接裂缝或空洞是应力集中点，它将引起早期失效 B. 具有完全分层 C4 凸点的严重裂缝在终测中应被探测出来	● 焊接裂缝可能来自于工艺过程中的工具损伤 ● 空洞可能来自于焊料预热过程中不适当的温度曲线，它是在焊接过程中蒸发遗留下的过量的熔化残渣
2. 倒装芯片 C4 凸点尺寸的不规则性	A. 不规则的 C4 凸点尺寸能引起焊接应力增加和凸点的电学失效	● 确保在 C4 焊料淀积前，压点表面的金属（BLM）被彻底地清洗 ● 检查 C4 焊料淀积工艺以验证参数的正确
3. 倒装芯片 C4 凸点上熔化的沾污残渣	A. 熔化的沾污能在 C4 焊料凸点间产生树枝状生长（引起短路的沾污导电膜）并引起器件电失效 B. 熔化残渣阻止环氧树脂填充术从粘接到 C4 焊料柱，产生分层（晕轮缺陷）。这导致应力累积和 C4 凸点上最终失效	● 验证回流后清洗工艺以核实对去除熔化残渣清洗的化学品成分适当 ● 验证环氧树脂填充术完全覆盖芯片和基座之间的 C4 焊料凸点（无空洞）

（续表）

质量参数	缺陷类型	备注
4. 倒装芯片环氧树脂填充术在芯片和基座之间有空洞和分层	A. 由于 CTE 失配环氧树脂空洞和分层能在 C4 焊料凸点产生裂缝导致电学失效	● 适当控制环氧树脂填充术工艺使缺陷减到最小是至关重要的 ● 如果已经施加环氧树脂，倒装芯片的返工就会很困难
5. 楔压或球键合的引线键合强度	A. 在拉力测量中低拉力强度数据（在控制分析图上，低于最小值或控制值外的读数值） B. 由于键合开路失效导致电测试失效	键合失效的可能原因有： ● 在键合界面金和铝之间金属内部的结构 ● 由于沾污或不适当地清洗，劣质楔压或球键合结构，引起键合点翘起 ● 在键合工艺中不适当的压力。键合压力低，形成键合点易于翘起，而键合压力高易于形成裂缝失效

20.6　集成电路封装检查及故障排除

表 20.5 列出了常用集成电路封装检查及故障排除问题。

表 20.5　常用集成电路封装检查及故障排除

问题	可能的原因	纠正措施
1. 塑料管壳的分层或裂缝	A. 过量的潮气吸进塑料管壳（成模塑料能从空气中吸收多达 0.4% 重量的潮气）。在工艺循环温度中曝露或者芯片的使用能引起膨胀和失效 B. 在管壳、芯片和互连结构中过量的 CTE 失配	● 如果必要，可使用干燥存储防止潮气到达管壳 ● 为运输而包装模块应先烘焙干燥，并放置吸潮的干燥剂再包装 ● 过量的 CTE 失配要求管壳重新设计以便失配最小
2. 侵蚀会增加金属化电阻和最终开路，或者增加漏电流，最终使芯片电失效	A. 有离子沾污存在时潮气到达芯片上 B. 由于封装应力，氮化硅层可能裂缝并使下面的金属曝露在潮气中	改正措施需要减少离子沾污水平并禁止潮气进入芯片，包括： ● 在成模中通过加填充剂减少塑料收缩，由此使芯片上的应力最小并在整个表面形成良好粘贴 ● 改善芯片清洗工艺以减少离子沾污的存在
3. 在 DRAM 或 SRAM 中存储软失效（软失效通常是可恢复的，但是如果发生得太频繁可能成为严重的问题）	A. 在封装材料中存在放射元素发射能量高达 8 MeV 的 α 粒子，它能使存储器单元反转（引起存储“1”的单元失去存储内容而变为“0”）	α 粒子的源是氧化铝和环氧树脂。防止 α 粒子辐射的方法包括： ● 因为放射性杂质绝不可能完全消除，在器件周围加屏蔽 ● 用聚合物涂覆表面 ● 在重掺杂硅外延层上做器件以禁止电荷运动
4. 由芯片压点开路造成的引线键合失效	A. 在压点上金和铝之间的界面紫色金属间混合物的形成（被称为紫色瘟疫）。提高温度，压点上的铝扩散进入紫色瘟疫金属并引起空洞。过量的空洞导致开路	针对紫色瘟疫的措施有： ● 提高温度将曝光降到最小 ● 确保金具有可以接受的纯度 ● 遵守压点金属化标准设计规则 对更高温度工作的器件，紫色瘟疫问题可能变得更普遍

20.7　小结

最终装配和封装将每一个芯片组装到用于保护和粘附到更高级装配的管壳中。传统装配有4步工序：硅片准备（背面减薄）、分片、装架和引线键合。装架是物理上将芯片粘贴在引线框架或基座上。有三种贴片方法：环氧树脂粘贴、共晶焊粘贴和玻璃料粘贴。环氧树脂粘贴是最普通的方法。

引线键合是电学上将芯片连接到引线框架或基座，并由热压焊、超声及热超声球键合。传统封装是定位在各种不同类型的塑料封装。陶瓷封装已被用于高可靠性或大功率的传统封装。陶瓷管壳封装或是用耐熔陶瓷或是用薄层陶瓷。所有封装后的集成电路都需进行最终电测试。先进的封装方法是倒装芯片法、球栅阵列法（BGA）、板上芯片法（COB）、卷带式自动键合（TAB）法、多芯片模块（MCM）、芯片尺寸封装（CSP）及圆片级封装。倒装芯片、BGA和COB是最常用的技术。这些技术都被认为是芯片尺寸封装。为了工艺效率和成本利益，产业正转向圆片级封装。

关键术语

最终装配和封装或后道工序
集成电路最终装配
集成电路封装
第一级封装
第二级封装
印刷电路板（PCB）
背面减薄
分片或芯片单片化
芯片粘贴
环氧树脂粘贴
共晶焊粘粘贴
玻璃料粘贴
密封
线压焊
凸柱
热压焊
细管劈尖
楔压键合
超声压焊
热超声球压焊
球形压点
塑料封装
双列直插封装（DIP）
单列直插封装（SIP）
薄小型封装（TSOP）
四边形扁平封装（QFP）
塑料电极芯片载体（PLCC）
无管脚芯片载体（LCC）
陶瓷封装
耐熔陶瓷
针栅阵列（PGA）
陶瓷双列直插（CERDIP）
接触件或管座
倒装芯片
环氧树脂填充术
面阵列
周边阵列
球栅阵列（BGA）
板上芯片（COB）
直接芯片粘贴（DCA）
卷带式自动键合（TAB）
多芯片模块（MCM）
芯片规模封装（CSP）
圆片级封装

复习题

1. 给出集成电路制造工艺后道工序的名字。
2. 简述集成电路最终装配与封装。
3. 说明集成电路封装的4种功能。
4. 对于下述每参数，给出两个设计约束条件：性能、尺寸/重量/构成、材料、成本和装配。
5. 列出并解释两种不同的封装层次（级）。
6. 什么是印刷电路板？
7. 列出传统装配的4个步骤。
8. 说明背面减薄操作。
9. 叙述芯片是如何从硅片上分离出来的。

10. 什么是管芯的装架?
11. 列出并讨论三种芯片键合。
12. 什么是密封?
13. 说明并讨论引线键合的三种方法。
14. 引线键合质量控制的两种主要方法是什么?
15. 列出两种最广泛使用的传统集成电路封装材料。
16. 说明塑料封装的工艺。
17. 列出并叙述 6 种不同的塑料封装形式。
18. 典型地，什么时候采用陶瓷封装?
19. 陶瓷封装的两种主要封装方法是什么?
20. 叙述耐熔陶瓷工艺。HTCC 和 LTCC 是什么?
21. 什么是针栅阵列（PGA）封装?
22. 什么是 CERDIP?
23. 描述测试用接触件。
24. 列出 7 种先进封装技术。
25. 什么是倒装芯片?
26. 芯片封装的凸点工艺有何优点?
27. 对于倒装芯片为什么使用环氧树脂填充术?
28. 面阵列比周边阵列好在哪里?
29. 描述BGA封装。它能放在具有标准表面贴装工艺的电路板上并能与标准组件集成在一起吗?
30. 描述 COB。
31. 什么是卷带式自动键合（TAB）?
32. 多芯片模块有什么好处?
33. 说明芯片尺寸封装（CSP）的一般定义。CSP 有什么优点?
34. 描述圆片级封装。
35. 对于下列圆片级封装的每一个参数，描述其优点:（1）封装尺寸，（2）固定管壳高度，（3）组件可靠性，（4）焊接点可靠性，（5）电学性能，（6）与现有 SMT 基础结构的集成，（7）抗 α 粒子，（8）成本。

装配与封装供应商网站

3M	http://www.3m.com/US/electronics_mfg/microflex/
Chip Pac	http://www.chippac.com/
Cypress Semiconductor	http://www.cypress.com/
Entegris Inc.	http://www.entegris.com/
Fujitsu	http://www.fujitsu.com/
Hitachi	http://www.semiconductor.hitachi.com/
IBM	http://www.chips.ibm.com/
IC Master	http://www.icmaster.com/mfrsearch.asp
International Microelectronics and Packaging Society, IMAPS	http://www.imaps.org/

International Micro Industries, Inc.	http://www.imi-corp.com/
International SEMATECH	http://www.sematech.org/
Karl Suss Inc.	http://www.suss.com/
Kulicke & Soffa Industries, Inc.	http://www.kns.com/
Matsushita Electronic Corp.	http://www.mec.panasonic.co.jp/e-index.html
Mitsubishi	http://www.mmc-sil.com/
Motorola	http://www.mot-sps.com/
National Semiconductor	http://www.national.com/
NEC Semiconductor	http://www.nec.com/semiconductors/
Oki Electric	http://www.oki.co.jp/semi/
Pacific Coast Technologies	http://www.pcth.com/
Philips Semiconductor	http://www.us2.semiconductors.philips.com/
SEMI	http://www.semi.org/
Silicon Sensors LLC	http://www.siliconsensors.com/
SISA, Semiconductor Industry Suppliers' Association	http://www.sisa.org/
Soldering Technology Centre	http://www.solderworld.com/
Sony	http://www.sony.com/
Tessera	http://www.tessera.com/
Texas Instruments	http://www.ti.com/
TSK America Inc.	http://www.tsk-wms.com/
Toshiba	http://www.toshiba.com/

参考文献

1. P. Burggraaf, "Chip Scale and Flip Chip: Attractive Solutions," *Solid State Technology* (July 1998): p. 239.
2. R. DeJule, "High Pincount Packaging," *Semiconductor International* (July 1997): p. 139.
3. J. Baliga, "Package Styles Drive Advancements in Die Bonding," *Semiconductor International* (June 1997): p. 101.
4. H. Hinzen and B. Ripper, "Precision Grinding of Semiconductor Wafers," *Solid State Technology* (August 1993): p. 53.
5. H. Blech and D. Dang, "Silicon Wafer Deformation After Backside Grinding," *Solid State Technology* (August 1994): p. 74.
6. T. Tachikawa, "Assembly and Packaging," *ULSI Technology*, ed. C. Chang and S. Sze (New York: McGraw-Hill, 1996), p. 541.
7. L. Oboler, "Wire Bonding Still at the Head of the Class," *Chip Scale Review* (July/August 1999): p. 40.
8. R. DeJule, "High Pincount Packaging," p. 142.
9. Industry News, *Chip Scale Review* (May/June 1999): p. 23.
10. P. Burggraaf, "Chip Scale and Flip Chip: Attractive Solutions," p. 239.
11. T. Tachikawa, "Assembly and Packaging," p. 552.

12. J. Sergent, "Materials for Multichip Modules," *Semiconductor International* (October 1996): p. 212.
13. T. Tachikawa, "Assembly and Packaging," p. 552.
14. R. Estes, "Flip-Chip Packaging with Polymer Bumps," *Semiconductor International* (February, 1997): p. 103.
15. A. Babiarz, "Key Process Controls for Underfilling Flip Chips," *Solid State Technology* (April 1997): p. 77.
16. J. Sergent, "Materials for Multichip Modules," p. 209.
17. T. DiStefano and J. Fjelstad, "Chip-Scale Packaging Meets Future Design Needs," *Solid State Technology* (April 1996): p. 82.
18. P. Elenius, "Wafer-Level Packaging Gains Momentum," *Solid State Technology* (April 1999): p. 46.

附录A　化学品及安全性

像在任何制造工艺中一样，在半导体制造过程中存在着广泛的安全隐患。用于半导体制造中的许多液态和气态化学材料是危险、有毒、易燃和自燃的。然而在关心其工人健康和安全性方面，半导体产业是最好的制造业之一[1]。安全性术语定义如下：

危险性：对人身健康或安全有影响的任何化学材料和物质。例如酸和碱。

有毒性：严重损害生物组织的任何化学材料和物质。例如磷化氢和砷化氢。

易燃性：能够点燃起火的任何液体和气体。例如酒精和丙酮。

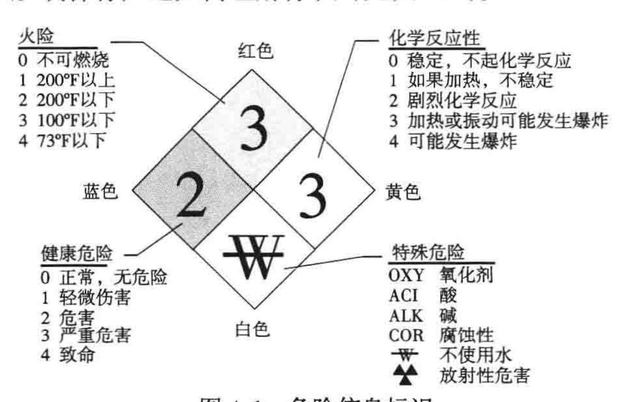
自燃性：在空气中55°C(130°F)温度下能够自燃的任何物质。例如硅烷。

要安全使用这些化学材料，下列安全准则就非常重要。同样的原理适用于工作环境：理解这些化学物质，它的性质及如何安全使用。在半导体制造中有害健康的例子有：

- 处理化学材料
- 高度易燃气体
- 有毒气体
- 自燃气体
- 腐蚀性气体
- 有毒或腐蚀性液体
- 高压电
- 机械危险
- 高温
- 辐射（紫外线、激光、X射线等）
- 冷冻温度

A.1　化学标识

基于运送化学材料的危险性，所有化学材料必须加上适当的标识。在使用任何化学材料前，先停一下，阅读危险标识。确保你知道如何理解标识（见图A.1）。



图A.1　危险信息标识

A.1.1　健康危害分类

不同健康危害分类数字是：

4　非常短时间曝露，甚至通过进一步治疗也可能引起死亡或重伤的化学材料。这包括如果没有专门的保护设备将太危险以致无法接近的那些材料。

3　非常短时间曝露，甚至通过进一步治疗也可能引起暂时或永久严重伤害的化学材料。这包括要求避免所有身体接触的那些材料。

2　频繁或连续曝露，如果不进一步治疗将引起暂时伤残或可能伤害的材料。这包括要求使用具有独立空气供应的防毒保护设备的那些材料。

1　曝露引起发炎或只有微小伤害，甚至不需要治疗的材料。这包括要求使用采用滤毒罐型防气体面罩的那些材料。

0　曝露时不造成伤害的常规可燃性材料。

A.2　曝露极限

下面定义了化学材料曝露最大的限度：

TLV–TWA：阈极限值——时间 - 重量的平均值。这是通常 8 小时工作日或 40 小时工作周物质的时间 - 重量平均。几乎所有工人都能日复一日地反复曝露而没有不利影响。

TLV–STEL：阈极限值——短期曝露极限。这是 15 分钟时间 - 重量平均曝露值，在工作日期间即使 8 小时时间 - 重量平均值在 TLV 之内，任何一次都不应该超过的时间。在 STEL 曝露不应该超过 15 分钟，每天重复不能超过 4 次。

IDLH：对生命和健康立即产生危害。这个浓度代表人能在 30 分钟内逃离而没有任何逃脱伤害症状或任何不可挽回的健康影响的最大限度。

PEL：许可曝露限度由职业安全（Occupational Safety）和健康法案（Health Act）发布的关于曝露的法定标准。PEL 值通常与 TLV 值相同。

化学物质可以通过三种主要途径进入身体：

1. 与皮肤或眼睛接触。
   - 戴安全防护眼镜并禁用隐形眼镜。
   - 使用护目镜以保护正常的眼磨削。
   - 根据工作戴合适的手套。通过皮肤毛孔吸入的化学物质能够进入身体并引起致命的器官损害。
   - 当灌注或混合化学物质时使用防护面罩。
2. 摄取（吞咽）。
   - 某些有毒的化学物质当摄入即使很少的量时也可能致命。
   - 决不要带食品或饮料到正在使用化学材料的区域。离开工作场所用肥皂和水洗手是个好习惯。
3. 吸入。
   - 呼吸有毒的气体可能导致灼伤或损害肺组织并可能导入血管，损害其他器官。
   - 工作场所必须通风良好。如果探测到异常气味，通知负责人并离开该区域。如果适当可按响报警器。

A.3 MSDS

可通过材料安全数据单（MSDS）获得关于化学材料的安全信息。在工作场所必须能获取关于各种危险化学物质的MSDS。在MSDS上给出的一些信息包括：

化学名称：	这是商标名、通用名或化学分子式。
制备日期：	列出制备日期。
混合物的成分：	包括所有超过1%的危险材料或所有超过1%的致癌物。
PEL & TLV：	通常给出每百万分之的量（ppm）或每立方米毫克（mg/m^3）
健康影响：	由于过分曝露对器官或系统产生不利影响的识别。
物理/化学特性：	包括沸点、熔点、气压、比重和在水中的溶解度。
燃烧/爆炸数据：	包括闪点（化学物质能被点燃起火的最低温度）和自燃温度（化学物质在空气中将会自燃的最低温度）。
化学反应性危险数据：	描述材料是否不稳定或者在什么情况下如此。
健康危害性数据：	给出曝露在什么限度将杀死50%的测试动物的相应信息（通常将LD50指定为致命剂量）。

A.3.1 MSDS术语

表A.1中展示了一些用于MSDS中的通用术语以及如何解释这些术语。

表A.1 用于MSDS中的通用术语

术语	定义	防范措施
避免接触	对于所有化学材料的通用规则，即使它们被认为是无危险的	对所有化学材料不要呼吸蒸气，避免与皮肤、眼睛及衣服接触
致癌物质	怀疑或已知可引起癌症的物质。某些可能有曝露阈值限度。多次曝露于有致癌嫌疑的材料即使很低剂量也可能比一次大质量曝露更糟糕	处理时操作要极其注意。不要呼吸蒸气，通过穿戴合适的保护设备避免与皮肤、眼睛及衣服的完全接触
腐蚀剂	一旦和这些化学物质接触，生物组织和设备就会被毁坏	不要呼吸蒸气，避免与皮肤、眼睛及衣服接触。使用适当的保护设备
皮肤	在MSDS上的一个符号，表示该物质通过皮肤能被充分吸收而引起中毒	不允许与皮肤、眼睛或衣服接触
危险物	可具有严重危害效果的物质	认真对待危险的化学物品。存在与这些化学物品相关的严重危害
爆炸	已知在某些情况下将爆炸的物质	避免振动（扔）、摩擦、火花和加热。遇到溢出危险时与其他化学材料隔离
可燃物或易燃物	在通常工作条件下，能容易点燃放出蒸气的物质	保持化学材料远离热、火花、火焰和其他点火源
刺激物	引起皮肤、眼睛等发炎的物质	不要吸入该蒸气，避免与皮肤、眼睛及衣服接触
催泪物质	引起皮肤、眼睛及呼吸系统发炎或灼伤的物质，即使非常少量也是危险的	仅在排烟罩中打开。不要吸入该蒸气，避免与皮肤、眼睛接触。避免加热
诱导有机物突变的物质	引起本质变化的化学或物理媒介	处理时要极其当心。不要吸入该蒸气，避免与皮肤、眼睛及衣服接触
生成过氧化物	长期放置或者当在空气中接触时生成过氧化物或双氧水的物质	许多过氧化物是易爆炸的
毒素	对身体有非常严重并通常是不可恢复影响的物质。当呼吸、吞咽或皮肤接触时，这些物质是危险的	完全避免与身体接触并使用适当的保护设备

（续表）

术语	定义	防范措施
臭气	具有或产生恶臭气味的物质	仅在排烟罩中打开
致畸胎物	在胎儿或胚胎发展过程中引起身体缺陷产生的物质	处理时要极其当心。不要吸入该蒸气，避免与皮肤、眼睛及衣服接触。使用适当的保护设备
有毒物	当呼吸、吞咽或皮肤接触时，有危险的物质。短期或拖延曝露对身体健康有严重危害的危险	完全避免与身体接触。不要吸入该蒸气、粉尘或气雾。使用适当的保护设备

A.4　湿化学材料安全

一些液体化学试剂可能是危险和有腐蚀性的。在化学试剂周围工作的技师和工程师们必须经过培训并遵守所有的安全防范规定。

A.4.1　腐蚀性材料

腐蚀性试剂能改变或毁坏人体组织。根据它们的pH值，小于7的是酸，大于7的是碱。当工作时具有腐蚀性：

- 在使用前清楚地确认所有化学试剂（例如，HF看起来像水）。不要混合不相溶的化学物质（见表A.2）。
- 始终戴防护镜和面罩。
- 穿戴防护身体和手臂的用品，包括防酸围裙和护袖。
- 穿戴适合于化学试剂种类的手套和靴子。
- 不要吸入该蒸气。仅在排烟罩中使用。
- 只能用塑料容器存放和使用——HF侵蚀玻璃。
- 知道洗眼和冲洗化学试剂喷淋器具的位置。

表A.2　不相溶的化学物质

化学物质	不能与之混合的物质
丙酮	溴、氯、硝酸和硫酸
氟化铵	酸溶液
三氧化锑	金属和还原剂
砷化三氢	氧化化合物
三氯化硼	湿气或水
易燃液体	硝酸铵、铬酸、过氧化氢、硝酸、过氧化钠和卤素
氢氟酸	氨溶液
过氧化氢	铜、铬、铁、大部分金属或它们的盐、酒精、丙酮、有机材料、苯胺、硝基甲烷、易燃液体和可燃材料
硝酸	乙酸、苯胺、铬酸、氰氢酸、硫化氢、易燃液体和易燃气体
氧	诸如丙酮、乙炔、油脂、氢油和磷等易燃气体、液体或固体
硫酸	氯化钾、高氯酸钾、高锰酸钾及像钠和锂一样的轻金属化合物

A.4.2　溶剂

许多溶剂是易燃的。大部分有有害蒸气并能引起皮肤发炎或损伤。决不要用酸来混合溶剂——发生剧烈化学反应。当工作中使用溶剂时：

- 穿戴防护镜（面罩）、适当的手套和防护服。

- 避免吸入其蒸气。只能在排烟罩下或排风良好的区域使用。
- 保持溶剂远离热、火花及开放的火焰。知道最近的灭火器的位置。
- 不要将溶剂灌注入酸罐或排水沟。将溶剂灌注到废溶液容器中。
- 保持溶剂在易燃材料存储柜中。
- 只能用标有“仅装废溶剂”的废料容器处理被沾污的溶剂材料。
- 不要将废酸和废溶剂混合——可能产生危险的发热反应。

A.4.3 氢氟酸

HF具有独特的安全属性，这是因为当与皮肤接触时不会引起疼痛。但是曝露HF可能灼伤人体，因为HF穿透皮肤和肌肉并与骨头中的钙反应。如不尽快用适当的方法处理，这能引起严重危害。曝露到HF（或怀疑曝露于HF）立即用水清洗整个区域然后寻求医疗帮助。有一些能中和HF的专用药膏，但是必须由受过培训的医生精心使用。

A.4.4 硫酸

如果硫酸和水或含水的化学溶液混合（例如，过氧化氢[H_2O_2]），将放出大量热。一般规则是允许将酸加入水中。维持活性（piranha）干净的溶液（H_2SO_4）违背这一规则是因为H_2O_2被加入活性溶液。如果这样做，对由于泼溅引起的曝露要非常注意。

A.4.5 化学物质危险性

在处理和使用所有化学材料时，必须具有合适的安全防范措施。一般来说，处理危险化学材料的过程被定义在制造过程规范、当地的火警号码和OSHA（专职安全与健康机构）要求。一些常规硅片制造厂化学物质的危害性小结如表A.3所示。

A.5 气体探测与监控

有几种原因可能发生气体泄漏。气体泄漏的一个起因是气柜边未留意的气体释放，例如在更换钢瓶过程中。另一种气源泄漏的原因是在工艺腔内的日常维护过程中曝露于空气和潮气时的放气。气体泄漏额外关注的是气体输送系统本身，因为它包括大量的阀门、适配器及焊点，由于振动、撞击和超期焊缝蜕化问题，这些总是潜在泄漏点。

技师必须了解危险气体的安全程序。一些推荐过程有[3]：

- 进行正常的安全复查和检查
- 开展常规气体安全培训课
- 通过及时更换程序，限制存放在现场的钢瓶数

良好的气体系统设计是安全的根本。对于危险气体系统，重要的设计特征是[4]：

- 选择适合于反应气体的部件和材料
- 凡合适的地方，对气体管道加双层
- 管线周围良好的通风
- 使用前测试泄漏

- 正确使用监测阀门和流量限制孔
- 自动关闭阀门
- 在工艺台上，加压及真空循环清洁
- 对防火和尾气排放系统配备备用电源
- 根据统一消防号码（Uniform Fire Code）和当地条例，正确放置气体探测和报警系统
- 带锁的钢气柜并有外部紧急关闭阀门

表 A.3 制造厂常用的化学材料及其危险性

化学名称	符号	易燃性或爆炸性	健康危险等级	TLV–TWA（ppm）	TLV–STEL（ppm）	IDHL（ppm）	工艺应用（参看下面的注释）
氨气	NH_3	X	2	25	35	500	CVD
氩气	Ar		0	—	—	—	A, CVD, CG, Di, E/C, I, P/B, S,TO
砷化氢	AsH_3	X	4	0.05	—	6	CVD, CG, Di, Do, I
三氯化硼	BCl_3		3	1	—	100	Di, Do, E/C, I
三氟化硼	BF_3		3	1	—	100	Di, Do, I
氯气	Cl_2		3	0.5	1	30	E/C,TO
二氧化碳	CO_2		1	5000	30 000	50 000	P/B
乙硼烷	B_2H_6		3	0.1	0.3	40	CVD,Di,Do
二氯二氢硅	SiH_2Cl_2		3	5	—	100	CVD
氦气	He		0	—	—	—	A,CVD,CG,E/C,I,P/B
氢气	H_2	X	0	—	—	—	A,CVD,CG,Di,E/C,I,P/B, TO
溴化氢	HBr		3	3	—	50	E/C
氯化氢	HCl		3	5	—	100	TO,C
氮气	N_2		0	—	—	—	A,CVD,E/C,I,P/B, TO,Di,
三氟化氮	NF_3		3	10	15	2000	E/C,TO
氧化二氮	N_2O	X	2	50	—	—	E/C,TO
氧气	O_2	X	0	无	无	无	CVD,Di,E/C,S,TO
磷脘	PH_3	X	4	0.3	1	200	CVD,CG,Di,Do,I
硅脘	SiH_4	X	4	5	—	—	CVD, Di
四氯化硅	$SiCl_4$		3	5	—	100	CVD, E/C
六氟化硫	SF_6		3	100	1250	—	E/C
四氟化碳	CF_4	X	3				E/C
六氟化钨	WF_6		3	3	6	—	CVD
TEOS	$(C_2H_5)_4SiO_4$	X	2	10	—	1000	CVD

注释：列在此处的工艺应用仅供参考并在适当的章节描述

A：退火　　E/C：刻蚀 / 清洗
CVD：化学气相淀积　　I：离子注入
CG：晶体生长　　P/B：冲气 / 排空
Di：扩散　　S：溅射
Do：掺杂　　TO：热氧化

TLV-TWA：阈极限值——时间 - 重量平均值。几乎所有工人都能被日复一日地反复曝露而没有不利影响
TLV-STEL：阈极限值——短期曝露极限。在 STEL 曝露不应该超过 15 分钟，每天重复不能超过 4 次
IDLH：对生命和健康立即产生危害

A.6 光刻光源安全

对光刻光源工作的基本准则是：

1. 绝对不要直视光源，无论何种类型的光源。
2. 当在光刻光源周围工作时始终戴防护镜，尤其是激光。通常有几种激光指向不同方向。
3. 汞弧光灯饱含汞。汞是危险材料，应该小心对待。根据公司安全规程处理所有的汞产品。
4. 保持高压电源清洁和无尘、无潮气。不要用裸手处理高压部件，即使电源已关闭。皮肤上的油可能与周围存在的电路元件产生低阻通路。光刻光源在高压下工作。注意高电压。
5. 用于激发激光的气体是危险气体。当在这些气体周围工作或处理这些气体时遵守公司安全规程。
6. 当处理汞弧光灯和任何其他光学元件时，戴合适的手套。皮肤上的油能够损害玻璃表面并引起光学异常，扭曲光刻工艺、毁坏曝光灯或光学元件。更重要的是，在高压汞灯的石英上的油脂可能引起石英不透明，这样可能削弱它并引起灯的爆炸。
7. 在步进光刻机或扫描光刻机工作之前总是取出生产硅片。硅片可能被损坏或沾污，胶可能被不注意的光反射激活。
8. 紫外线光引起材料的恶化。检查所有靠近光源的连线、缆线、连接件及其他材料，以便验证可接受的情况。

A.7 离子注入安全

为离子注入机设计许多安全规程。离子注入使用的气源是有毒的（见表A.4）。掺杂气瓶被存放在具有尾气排放系统的隔离的气柜中，尾气排放系统将排放任何溢出的气体到系统。当可能曝露于有毒气体时技师总是应该有二人在场，并且穿戴自含呼吸装置（SCBA）以保障呼吸安全。注入机所有高压部分用互锁门隔离（如果门是打开状态，高压及通常整个注入设备将不工作）。在进入注入机前，由维护人员使用专门的接地棒以确保注入机高压部分电荷被完全泄放。在注入机中产生少量的X射线（就像电视机中也使用的高压一样），使用铅屏蔽防止任何射线从设备中溢出。设备具有紧急电源关闭钮，如果被技师按动，它将关闭整台机器（电、气等）。

表A.4* 常用注入掺杂气体的毒性（由国家安全与健康研究所设置）

掺杂气体	曝露限值（TLVA）
砷化氢（AsH_3）	50 ppbv[B]
磷化氢（PH_3）	300 ppbv
三氟化硼（BF_3）	1 ppmv

A：TLV 是曝露极限阈值

B：ppbv 是体积十亿分之几

* A.Kulkarni,D.Jukherjee and W. Gill,"Membrane Reprocessing of Hydrofluoric Acid Solutions,"*Semiconductor International*, (July 1995)

A.8 化学材料再循环

为了最小化与沾污相关的问题，在ULSI生产过程中化学材料被频繁地更换。这一过程产生大量化学废料。严格的环境保护规定使处理这些化学品遇到困难。一个重要选择是在制造厂为了再使用而再循环这些化学品。

氢氟酸 氢氟酸（HF）占由美国半导体产业产生的危险废料总量的大约40%，最近规定禁止向地下泄放。在半导体工艺中HF的主要用途是作为硅表面上氧化硅的刻蚀剂或者用于炉管及加工腔中的载硅片的石英舟的清洗液。用完后，HF含有颗粒、金属和离子杂质。

对氢氟酸再循环过程必须能去除杂质。这可通过蒸馏和离子交换完成。蒸馏是煮沸液体然后凝聚蒸气在冷壁上的过程。大部分沾污不蒸发因此不到达最终的HF（被蒸发）。离子交换是通过吸附离子的树脂去除离子的方法。

纯化HF的另一种方法是用薄膜技术。薄膜允许HF通过薄膜而滤出沾污。

过氟化碳化合物 在刻蚀工艺和使用后用于清洁工艺腔内壁的过程中使用过氟化碳化合物（PFC）气体。这一清洁工艺在真空下进行并伴随密集的RF（射频）能的引入，它将气体分子打碎成高活性物质以有效去除薄膜的淀积。

许多未反应的PFC气体将离开反应腔并被提前放入大气中。一般PFC气是无毒的（NF_3除外），但是它们在大气中长寿命和强红外线吸收的特性使它们成为温室气体。为此，要强调再循环使用后的这些气体。

参考文献

1. P. Singer,"Handling Hazardous Materials: What You Should Know, " *Semiconductor International* (December 1996) : p. 63.
2. 引自 E. Zdankiewicz, "Avoid False Alarms with Proper Gas Detection Equipment," *Solid State Technology*, p.82.
3. Ibid., p. 81.
4. Ibid.

附录 B　净化间的沾污控制

硅片器件尺寸和沾污减少的总趋势如表 B.1 所示[1]。

表 B.1　芯片特征尺寸和沾污控制

批量生产年	1980	1984	1987	1990	1993	1995	1997
硅片直径（mm）	75	100	125	150	200	200	200
DRAM 存储器技术（增长值有更多存储器）	64 K	256 K	1 M	4 M	16 M	64 M	256 M
芯片尺寸（cm^2）	0.3	0.4	0.5	0.9	1.4	2.0	3.0
芯片上最小特征尺寸（μm）	2.0	1.5	1.0	0.8	0.5	0.35	0.25
工艺步骤数	100	150	200	300	400	450	500
净化间级别（值越小越洁净）	1000~100	100	10	1	0.1	0.1	0.1 和微环境
化学材料不纯度（ppb）	1000	500	100	50	5	1	0.1

B.1　人体沾污

一般讲话喷出的不受欢迎的唾液颗粒可达 2 到 3 英尺，而打喷嚏喷出的唾液和肺颗粒达 15 英尺。唾液含有不分解的矿物质和盐，它们能够沾污硅片并引起致命缺陷。唾液中某些典型的沾污是钠（Na）、钙（Ca）、铁（Fe）、镁（Mg）、氯（Cl）、铝（Al）、硫（S）、钾（K）和磷（P）。

B.2　净化间标准的发展

对净化间运行的第一定义是 1963 年开发的联邦标准 209 版（Federal Standard 209）。这一标准发展成为以体积在一定直径以上的颗粒数为基础的净化间级别的定义。表B.2显示了这种标准的演变以及每次换版直到最近生效的联邦标准209E版的重要标志[2]。最新版中，标准的题目被采用为“在净化间和净化区空气中颗粒净化级别”。

表 B.2　关于空气净化的联邦标准 209 版规范的演变

联邦日期	标准	原版和再版内容提要
1963 年 12 月	209	● 净化间运行原理
1966 年 8 月	209A	净化间设计和测试方法： ● 定义空气净化分级别为：规定每立方英尺大小在 0.5 μm 以上的颗粒数对应为 100、10 000 和 100 000 级 ● 定义空气气流的层流和紊流模型 ● 规定气流流速在 90 +/–20 英尺每分 ● 规定压力、温度、湿度和振荡 ● 规定音频噪声和空气交换率
1973 年 4 月	209B	● 将空气流速从 90 +/–20 英尺每分改为 90%+/– 20 % 英尺每分并将湿度从 45% 改为 40% +/–5%
1977 年 5 月	209B（修正）	● 增加净化级别 1000 级
1987 年 10 月	209C	净化间分级和测试方法的重要改版 ● 增加净化级别 1 和 10 级

（续表）

联邦日期	标准	原版和再版内容提要
		● 对100级将颗粒尺度从5 μm和0.5 μm扩展到0.3 μm和0.2 μm；对10级和1级扩展到0.3 μm、0.2 μm和0.1 μm
		● 明确定义颗粒取样的位置和取样数及测试时间
1988年6月	209D	● 改正在209C版中发现的几处印刷错误
1992年9月	209E	● 采用公制系统
		● 增加规定每立方米最大可允许超细颗粒数的描述
		● 将空气中连续颗粒采样计划增加到209D版中规定的单次空气采样计划

B.2.1 净化间级别的公制定义

净化间级别的公制版如表B.3所示[3]。要理解该表，“在0.3 μm的M2级”表示空气中每立方米大小在0.3 μm和以上的颗粒不超过309个。

表B.3 联邦标准209E版关于空气中微粒净化级别的公制定义

	每立方米的颗粒数				
级别	0.1 μm	0.2 μm	0.3 μm	0.5 μm	5 μm
M1	3.50×10^2	7.57×10^1	3.09×10^1	1.00×10^1	
M1.5	1.24×10^3	2.65×10^2	1.06×10^2	3.53×10^1	
M2	3.50×10^3	7.57×10^2	3.09×10^2	1.00×10^2	
M2.5	1.24×10^4	2.65×10^3	1.06×10^3	3.53×10^2	
M3	3.50×10^4	7.57×10^3	3.09×10^3	1.00×10^3	
M3.5		2.65×10^4	1.06×10^4	3.53×10^3	
M4		7.57×10^4	3.09×10^4	1.00×10^4	
M4.5				3.53×10^4	2.47×10^2
M5				1.00×10^5	6.18×10^2
M5.5				3.53×10^5	2.47×10^3
M6				1.00×10^6	6.18×10^3
M6.5				3.53×10^6	2.47×10^4
M7				1.00×10^7	6.18×10^4

B.2.2 净化间手套

制造厂工人戴手套作为净化间服装协议的部分。根据公司政策要求，净化间手套仅用于正常工作（非化学材料曝露），可以是乳胶或乙烯基材料。表B.4总结了净化间手套和化学手套类型[4]。

表B.4 手套的特性

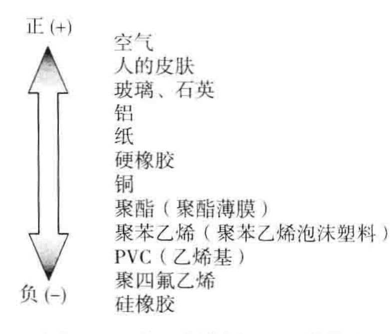
手套	希望的特性	不希望的特性
PVC（乙烯基）净化间手套	● 阻止皮肤沾污	● 过多出汗
	● 弹性；便宜	● 容易撕破/裂缝
	● 沾污小	● 不耐酸或溶剂
	● 颗粒少	
乳胶净化间手套	● 便宜	● 经常使皮肤过敏
橙色乳胶防酸手套	● 优良的防酸性	● 光滑
	● 颗粒少	● 太热
		● 可释放化学物质太高（如氯化物）
绿色腈化防溶剂手套	● 对许多溶剂有足够的防护能力	● 不是对所有溶剂都有防护
		● 可释放化学物质太高（如硫磺）
针对特殊溶剂（例如二甲基乙酰胺）的银白色多层PVA	● 优良的防溶剂性	● 缺乏灵巧性
防溶剂手套	● 可释放的沾污和颗粒少	● 价格贵

B.3 去离子水的参数规范

有两种主要电子级去离子（DI）水的规范，一种来自美国测试和材料协会（ASTM），而另一种来自半导体设备和材料国际（SEMI）。ASTM的标准是关于电子级水D5127-90（1990）的ASTMD-19标准指南，SEMI的标准是关于为半导体工艺用纯水的建议指南（1989）。

B.4 静电放电

材料可能具有正的或负的表面电荷。用在半导体制造的一些材料和它们静电电荷电势如图B.1所示[5]。当材料分离时，串联的材料分得越开，产生的电压越高。注意硅是负电性，而玻璃、石英、人的皮肤及空气是强正电性。



图B.1 普通材料产生电荷能力

半导体制造环境特别容易产生静电荷，这是因为它要保持很低的湿度，典型的是40 % + /-5%相对湿度（RH）。这种情况导致高量级的静电荷产生（见表B.5）[6]。

表B.5 在不同相对湿度水平的静电压

静电产生方式	10%到20%相对湿度	50%到90%相对湿度
在地毯上步行	35 000 V	1500 V
在乙烯基地板上步行	12 000 V	250 V
在工作台旁的工人	6000 V	100 V
具有聚亚胺酯泡沫塑料填充的工作椅	18 000 V	1500 V

来自ESD的一个敏感问题是由于电磁干扰（EMI）工艺设备中断。发生几纳秒的静电放电能够产生超过1安的峰值电流，引起宽带的EMI并使自动设备中的电子电路陷于混乱。这能够引起设备偶然锁定和停机，导致生产陷于混乱。

参考文献

1. H.Tseng and R..Jansen,"Cleanroom Technology,"*ULSI Technology*,ed.by C.Chang and S.Sze(New York:McGraw-Hill,1996),p.2.
2. Ibid.,p.4.
3. Ibid.,p.5.
4. R.Iscoff,"Cleanroom Apparel:A Question of Tradeoffs," *Semiconductor International*(March 1994):p.66.
5. D.Tolliver,editor, *Handbook of Contamination Control in Microelectronics*(Park Ridge,NJ:Noyes Publications,1998),p.157.
6. Ibid.,p.175.

附录C 单　　位

在业界广泛采用国际单位制（SI）。表C.1.列出SI单位。SI单位以千克（kg）、米（m）、秒（s）和安培(A)为基础，这些单位与其他几个一起成为基本单位。所有物理量可以通过基本单位推导出来。

表C.1　国际单位制

量	单位	缩写	单位的定义
长度	米	m	
质量	千克	kg	
时间	秒	s	
温度	开尔文	K	
电流	安培	A	
频率	赫兹	Hz	1/s
力	牛顿	N	$kg\text{-}m/s^2$
压力	帕斯卡	Pa	N/m^2
能量	焦耳	J	N-m
功率	瓦特	W	J/s
电荷	库仑	C	A-s
电势	伏特	V	J/C
电导	西门子	S	A/V
电阻	欧姆	Ω	V/A
电容	法拉	F	C/V
磁通量	韦伯	Wb	V-s
磁感应强度	特斯拉	T	Wb/m^2
电感	亨利	H	Wb/A

它可能有助于每天对一些物理量的理解[1]。力用牛顿（N）表示。对牛顿的科学定义是，1牛力在1秒加速1千克的物体到1米每秒的速度。为了感知牛顿，拿一本重1磅（454克）的书要求用大约5牛的力。

能量用焦耳表示。根据定义，1焦的能量被扩展为克服1牛力移动一个物体通过1米的距离。形式上，$1\ J=1\ N\ m=1\ kg\text{-}m^2/s^2$。要说明焦耳，考虑升起1磅的书到1米要求大约5焦的能量。另一个例子，人的心脏每跳动一次需要大约1焦的能量。最后一个例子，将1夸脱（0.946升）的水由室温加热到其沸点所需的能量大约是18 kJ。

功率用瓦特表示。1瓦源自以1焦每秒的速率供应能量。形式上，$1\ W=1\ Js^{-1}$。用这种方式，100瓦的灯消耗每秒100焦的能量。人体正常活动大约耗100瓦，大量功率用于驱动头脑。功率通常用千瓦（1 kW=1000 W）和兆瓦（$1\ MW=10^6\ W$）表示。值得注意的是，太阳以其表面每平方米大约70 MW的功率辐射能量。在地球上，在赤道处测量年平均太阳能流量大约是每平方米1.4 kW。

C.1　SI单位前缀

表C.2提供了SI单位制的标准前缀。

表 C.2 SI 前缀

前缀	符号	值
飞（femto-）	f	10^{-15}
皮（pico-）	p	10^{-12}
纳（nano-）	n	10^{-9}
微（micro-）	μ	10^{-6}
毫（milli-）	m	10^{-3}
厘（centi-）	c	10^{-2}
分（deci-）	d	10^{-1}
十（deka-）	da	10
百（hecto-）	h	10^{2}
千（kilo-）	k	10^{3}
兆（mega-）	M	10^{6}
吉（giga-）	G	10^{9}
太（tera-）	T	10^{12}

C.2 单位变换

米是公制长度单位基：

$1\ \text{Å} = 10^{-10}\ \text{m}$

$1\ \text{nm} = 10^{-9}\ \text{m}$

$1\ \mu\text{m} = 10^{-6}\ \text{m}$

$1\ \text{mm} = 10^{-3}\ \text{m}$

$1\ \text{cm} = 10^{-2}\ \text{m}$

在硅片制造中，埃是测量厚度的常用单位。埃和其他长度单位的对应关系是：

$$1\ \text{Å} = 10^{-1}\ \text{nm} = 10^{-4}\ \mu\text{m} = 10^{-8}\ \text{cm} = 10^{-10}\ \text{m}$$

表 C.3 显示了一些常用单位与 SI 制单位的转换。

表 C.3 常用单位和 SI 制单位的转换

物理特性	常用单位	SI 单位
长度	1 英寸	2.54 cm
	0.001 英寸(1 密耳)	25.4 微米（μm）≈ 25 μm
	0.0039 英寸(约 4 密耳)	0.1 mm
	39.3 微英寸（μ 英寸）	1 μm
质量	2.205 磅（lb）	1.000 kg
	1.000 lb	453.6 g
	1 盎司（oz）	28.35 g
容积	1.000 加仑（gal）	3.785 升（L）
	1.00 夸脱（qt）	0.946 L
能量	1 电子伏特（eV）	1.6022×10^{-19} J
	1 千瓦时（kWh）	3.600×10^{3} kJ

参考文献

1. Interpretation of physical quantities from P. Atkins, *The 2nd law*, (New York: W.H. Freeman,1994), p. 201.

附录D　作为氧化层厚度函数的颜色

表D.1所示为在白光下观察热氧化生长SiO_2膜的颜色图表。只要知道膜的颜色，通过这个表就可以估计它的实际厚度。氧化层颜色的目测给出了氧化层厚度的粗略估计。

表 D.1*　热氧化生长 SiO_2 膜的颜色图表

膜厚度（μm）	颜色和注释	膜厚度（μm）	颜色和注释
0.05	茶色	0.63	紫罗兰－红
0.07	棕色	0.68	浅蓝色
0.10	暗紫罗兰到红－紫罗兰	0.72	蓝－绿到绿
0.12	品蓝	0.77	微黄色
0.15	淡蓝到金属蓝		
0.17	金属色到非常浅黄－绿		
0.20	淡金黄或黄	0.80	橙黄色
0.22	具有浅橙黄色的金黄	0.82	橙红色
0.25	橙黄色到瓜色	0.85	暗淡红－紫罗兰
0.27	红－紫罗兰	0.86	紫罗兰
		0.87	蓝－紫罗兰
		0.89	蓝
0.30	蓝到紫罗兰－蓝	0.92	蓝－绿
0.31	蓝	0.95	暗黄－绿
0.32	蓝到蓝－绿	0.97	黄到微黄色
0.34	淡绿	0.99	橙黄色
0.35	绿到黄－绿		
0.36	黄－绿		
0.37	绿－黄		
0.39	黄		
0.41	淡橙黄色	1.00	康乃馨粉红
0.42	康乃馨粉红	1.02	紫罗兰－红
0.44	紫罗兰－红	1.05	红－紫罗兰
0.46	红－紫罗兰	1.06	紫罗兰
0.47	紫罗兰	1.07	蓝－紫罗兰
0.48	蓝－紫罗兰		
0.49	蓝		
0.50	蓝－绿	1.10	绿
0.52	绿（明亮的）	1.11	黄－绿
0.54	黄－绿	1.12	绿
0.56	绿－黄	1.18	紫罗兰
0.57	黄到微黄色	1.19	红－紫罗兰
0.58	淡橙黄或黄色		
0.60	康乃馨粉红		

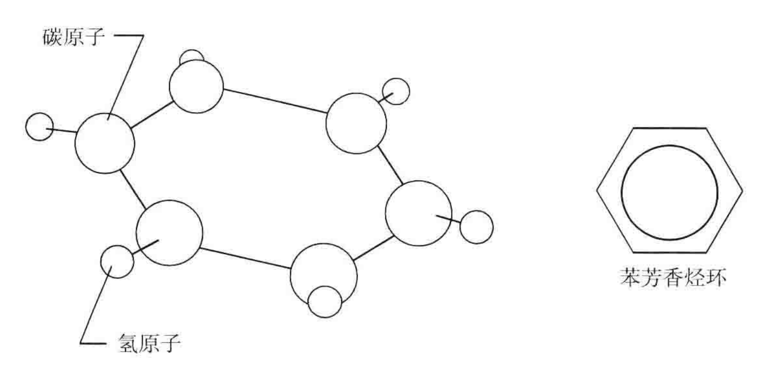
* S. Ghandhi, *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, 2d ed.,(New York:Wiley,1994), p. 502

附录E　光刻胶化学的概要

E.1　有机材料

许多光刻胶是碳基的有机分子。本节将为可能不熟悉有机化学的学生介绍光刻胶的基础化学[1]。

像硅一样，碳在它的价壳层有4个电子，要求增加4个电子以填满价壳层。碳容易与其他碳原子、氢原子及元素周期表上它右边的元素键合以构成复杂超长重复分子链。在有机化学中，芳香烃环由排成平面六边形结构的6个碳原子组成。最简单的芳香烃环化合物是苯，每个碳原子附着一个氢原子。具有化学符号的苯芳香烃环简图如图E.1所示。在有机化学中，为了简化，去掉氢原子化学符号。

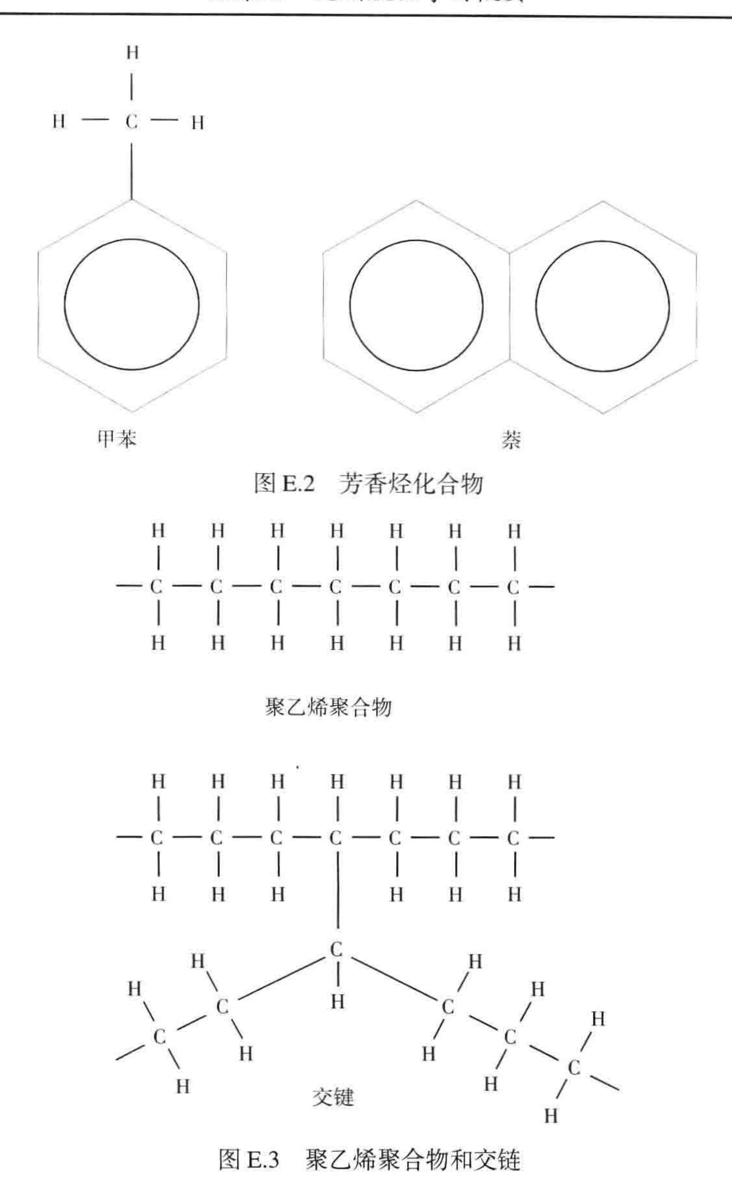


图E.1　苯芳香烃环的简图和符号

在芳香烃环中每个碳原子是共价键键合到临近碳原子，它获得两个电子。进一步，一个碳原子通过键合氢原子得到一个电子。在每个碳原子的价壳层剩余一个未配对的电子。来自6个碳原子的未配对电子构成一个未配位键，在苯分子周围成环形。这个高度移动的未配位键被称为pi电子并使得芳香烃环具有独一无二的特性。

各种有机化合物通过进行简单替换苯环构成。一种通用的溶剂甲苯通过用甲基（CH_3）替换一个氢原子构成（见图E.2）。一种名为碳氧酸的有机酸通过加一个羧基（COOH）构成。芳香烃环也能附着到另一个上，例如萘。

聚合物是由许多名为单体的较小重复单元连接起来构成的大分子。聚合物至少包含5个单体并能包含几千个单体。聚合物的例子有塑料、橡胶和树脂——通常这些是碳基。最简单的聚合物是聚乙烯（见图E.3），由每个碳原子上键合两个氢原子的碳原子长链构成。聚合物可能有长链和交链，与它本身键合或与其他聚合物键合。交链增加了聚合物的强度并减弱了聚合物在典型溶剂中溶解的能力，这对光刻胶很重要。同样，如果聚合物被断裂成短链，分子将更容易溶解在溶剂中。



图E.2 芳香烃化合物

图E.3 聚乙烯聚合物和交链

E.2 DNQ胶

I线光刻用的DNQ胶由光敏化合物（PAC）重氮萘醌（DNQ）和酚醛矩阵树脂材料组成[2]。DNQ PAC的化学结构如图E.4所示。通常低于SO_2的DNQ分子部分对每种胶制造商是特殊的并用一个属R表示。还应注意的是右边环不是一个芳香烃而由一个双键代替。酚醛树脂是聚合物，它的单体是带有两个甲基和一个羟基的芳香环（见图E.5）。将溶剂加入胶中以控制旋转涂胶时成膜的粘度。正性DNQ光刻胶的大部分溶剂由诸如二甲苯的芳香族化合物合成。

通过多种工艺DNQ光刻胶被转换成容易溶解在显影液中的材料（见图E.6）。首先，紫外线灯曝光将氮分子从碳环中游离出来，产生极不稳定的碳。通过移动环外的一个碳并由共价键键合氧原子到这个外部碳原子使该结构得以稳定。这被称为Wolff重组并成为乙烯酮。有水时，一种新结构产生，外部碳原子的双键被一个单键和一个羟基替换。最终产品是碳化二甲苯酸，它容易与基

本显影液反应并溶于其中。酚醛树脂已经是溶于水的并且易溶解。典型的显影液是用水稀释的KOH或NaOH。

图E.4 常用重氮萘醌光敏化合物

图E.5 酚醛树脂聚合物的芳香环

图E.6 紫外线灯曝光后的DNQ反应式

E.3 化学放大胶

由于在光刻胶中独特的催化反应，化学放大（CA）胶对深紫外线光刻有高灵敏度。这种胶由t-BOC树脂与作为光酸发生器（PAG）的络合阳离子盐组成[3]。t-BOC是PHS或聚4-羟合物的胶树脂不易溶解的保护团。PAG当被深紫外线曝光时产生强酸（见图E.7）。生光酸在曝光后烘中（被称为酸催化t-BOC去保护反应，用点划线表示）用于去除t-BOC保护团。一旦去保护，PHS树脂在显影液中变成可溶的。

络合阳离子盐

酸催化剂

S^+ ^-X + UV光 → H^+ ^-X

PHS

-- $(CH_2CH)_n$ --

保护团（t–BOC）

加热

+ CO_2 → H^+ + $C=CH_2$ (CH_3, CH_3)

OH

异丁烯和CO_2（逃逸聚合物膜）

图 E.7　具有 t-BOC 去保护反应的化学放大胶

（重绘 C.G.Willson,"Organic Resist Materals," *Introduction to Microlithography*, ed. L. Thompson, C.G. Willson, and M. Bowden, 2d ed.,(Washington, DC: American Chemical Society, 1994), p.219）

参考文献

1. Review of basic organic chemistry from S. Campbell, *The Science and Engineering of Microelectronic Fabrication*, (New York: Oxford University Press, 1996), pp.182-84.
2. Information for DNQ resist summarized from S. Campbell, *The Science and Engineering of Microelectronic Fabrication*, pp.184-85.
3. CA resist summarized from T. Ueno, "Chemistry of Photoresist Materials," *Microlithography, Science and Technology*, ed. J. Sheats and B. Smith (New York: Marcel Dekker, 1998), p. 465.

附录F 刻蚀化学

F.1 等离子体刻蚀气体趋势

表F.1列出了用于等离子体刻蚀的典型气体化学材料。通常用诸如CF_4的氟基气体刻蚀剂刻蚀介质和硅材料。典型地用像BCl_3的氯基气体化学材料刻蚀铝。

表 F.1* 不同刻蚀工艺的化学刻蚀材料

被刻蚀材料	传统化学材料	新化学材料	好处
Poly Si (多晶硅)	Cl_2 或 BCl_3/CCl_4	$SiCl_4/Cl_2$	无碳沾污
	Cl_2 或 BCl_3/CF_4	BCl_3/Cl_2	
	Cl_2 或 $BCl_3/CHCl_3$	$HBr/Cl_2/O_2$	对 SiO_2 与胶的选择性
	Cl_2 或 BCl_3/CHF_3	Br_2/SF_6	无碳沾污
	（后三个是侧墙钝化气体）	SF_6	较高刻蚀速率
		CF_4	
Al	Cl_2	$SiCl_4/Cl_2$	改善形貌控制
	BCl_3 + 侧墙钝化气体	BCl_3/Cl_2	无碳沾污
	$SiCl_4$	HBr/Cl_2	
含有 1% Si 和 0.5% Cu 的 Al	与 Al 相同	$BCl_3/Cl_2 + N_2$	N_2 加速 Cu 刻蚀速率
含有 2% Cu 的 Al	$BCl_3/Cl_2/CCl_4$	仅用 SF_6	
WSi_2, $TiSi_2$, $CoSi_2$	CCl_2F_2	CCl_2F_2/NF_3	受控的刻蚀形貌
		CF_4/Cl_2	无碳沾污
单晶 Si	Cl_2 或 BCl_3+ 侧墙钝化气体	CF_3Br	对槽刻蚀更高的选择性
		HBr/NF_3	
SiO_2(BPSG)	CCl_2F_2	CCl_2F_2	改善环境的替代品
	CF_4	CHF_3/CF_6	
	C_2F_6	CHF_3/O_2	
	C_3F_8	CH_3CHF_2	
Si_3N_4	CCl_2F_2	CF_4/O_2	改善环境的替代品
	CHF_3	CF_4/H_2	
		CHF_3	
		CH_3CHF_2	

*Y. Lii, “Etching,” *ULSI Technology*, ed. C. Chang and S.Sze (New York: McGraw-Hill, 1996), p. 354

F.2 湿法刻蚀

湿法刻蚀在亚微米制造中使用不广泛。下述信息解释了如何湿法刻蚀硅和铝。

F.2.1 硅

单晶硅和多晶硅能在具有醋酸或DI水缓冲的氢氟酸和硝酸（HF/HNO_3）溶液中进行湿法刻蚀。缓冲液用于减小刻蚀速率。刻蚀工艺分两步进行。第一，硝酸产生氧化二氮，它侵蚀并氧化硅，使

它成为 SiO_2。第二，HF和氧化层反应并分解氧化层。由于干法等离子体刻蚀得到优异的结果，通常硅（单晶硅和多晶硅）的湿法刻蚀不用于亚微米集成电路制造。

F.2.2　铝

铝能被磷酸、硝酸、醋酸和DI水的混合液刻蚀。刻蚀机理类似于硅——材料首先氧化（被 HNO_3），然后氧化层被 H_3PO_4 和水溶解。对铝湿法刻蚀要求搅拌以移除刻蚀过程中在水表面产生的小氢气泡。在亚微米工艺中，铝刻蚀总是用干法等离子体刻蚀完成，因为其结果优异。

术 语 表

A

1st level packaging	第一级封装
2nd level packaging	第二级封装
aberration	象差，色差
absorption	吸收
acceleration column	加速管
acceptor	受主
acid	酸
acoustic streaming	声学流
active region	有源区
activate	激活
activated dopant	激活杂质
active component	有源器件
adsorption	吸附
aerosol	悬浮微粒
air ionizer	空气电离化器
alignment	对准
alignment mark	对准标记
alloy	合金
aluminum (Al)	铝
aluminum subtractive process	铝刻蚀工艺
ambient	环境
ammonia (NH_3)	氨气
ammonium fluoride (NH_4F)	氟化铵
ammonium hydroxide (NH_4OH)	氢氧化铵
amorphous	非晶的，无定型的
analog	模拟信号
angstrom	埃(长度单位)，Å
anion	阴离子
anisotropic etch profile	各向异性刻蚀剖面
anneal	退火
antimony (Sb)	锑
antireflective coating (ARC)	抗反射涂层
APCVD	常压化学气相淀积
application specific IC (ASIC)	专用集成电路
aqueous solution	水溶液
area array	面阵列

argon (Ar)	氩
arsenic (As)	砷
arsine (AsH_3)	砷化氢，砷烷
ashing	灰化，去胶
aspect ratio	深宽比，高宽比
aspect ratio dependent etching (ARDE)	与刻蚀相关的深宽比
asphyxiant	窒息剂
assay number	检定数
atmospheric pressure	大气压
atmospheric pressure CVD (APCVD)	常压化学气相淀积
atomic force microscopy (AFM)	原子力显微镜
atomic number	原子序数
auger electron spectroscopy (AES)	俄歇电子能谱仪
autodoping	自掺杂
automatic defect classification(ADC)	缺陷自动分类

B

back-end of line (BEOL)	（生产线）后端工序
backgrind	减薄
backing film	背膜
ball grid array(BGA)	球栅阵列
ballroom layout	舞厅式布局，超净生产间的布局
barrel reactor	圆桶型反应室
barrier metal	阻挡层金属
barrier voltage	势垒电压
base	基极，基区
batch	批
bay and chase layout	生产区与技术夹层区
beam blow-up	离子束膨胀
beam current	束流
beam deceleration	束流减速
beam energy	离子束能量
BEOL	（生产线）后端工序
best focus	最佳聚焦
BGA	球栅阵列
biasing	偏压
BiCMOS	双极 CMOS
bincode number	分类代码号
bin map	分类图
bipolar junction transistor (BJT)	双极晶体管
bipolar technology	双极（工艺）技术
bird's beak effect	鸟嘴效应
blanket deposition	均厚淀积
blower	增压（泵）
boat	舟

BOE	氧化层刻蚀缓冲液
bonding pads	压点
bonding wire	焊线，引线
boron (B)	硼
boron trichloride (BCl_3)	三氯化硼
boron trifluoride (BF_3)	三氟化硼
borophosphosilicate glass (BPSG)	硼磷硅玻璃
borosilicate glass (BSG)	硼硅玻璃
bottom antireflective coating (BARC)	下减反射涂层
boule	单晶锭
breakthrough step	突破步骤，起始的干法刻蚀步骤
brightfield detection	亮场检查
brush scrubbing	刷洗
bubbler	带鼓泡槽
buffered oxide etch (BOE)	氧化层腐蚀缓冲液
bulk chemical distribution	批量化学材料配送
bulk gases	大批气体
bulkhead equipment layout	穿壁式设备布局
bumped chip	凸点式芯片
buried layer	埋层
burn-box	燃烧室（或盒）
burn-in	老化

C

CA	化学放大（胶）
cap oxide	掩蔽氧化层
capacitance	电容
capacitance-voltage test (C-V test)	电容－电压测试
capacitive coupled plasma	电容耦合等离子体
capacitor	电容器
carbon tetrafluoride(CF_4)	四氟化碳
caro's acid	3 号液
carrier	载流子
carrier-depletion region	载流子耗尽区
carrier gas	携带气体
cassette	（承）片架
cation	阳离子
caustic	腐蚀性的
cavitation	（超声波的）空穴作用
CD	关键尺寸
CD-SEM	线宽扫描电镜
Celsius	摄氏
center of focus (COF)	焦点，焦平面
center slow	中心慢速
central processing unit (CPU)	中央处理器

ceramic packaging	陶瓷封装
ceramic substrate	陶瓷基座
CERDIP	陶瓷双列直插封装
channel	沟道
channel length	沟道长度
channeling	沟道效应
charge carrier	（带电）载流子
chase	技术夹层
chelating agent	螯合剂
chemical amplification (CA)	化学放大（胶）
chemical etch mechanism	化学刻蚀机理
chemical mechanical planarization (CMP)	化学机械平坦化
chemical solution	化学溶液
chemical vapor deposition(CVD)	化学气相淀积
chip	芯片
chip on board(COB)	板上芯片
chip scale package(CSP)	芯片尺寸封装
circuit geometries	电路几何尺寸
class number	（净化）级别
cleanroom	净化间
cleanroom protocol	净化间操作规程
clearfield mask	亮场掩膜版
cluster tool	多腔集成设备
CMOS	互补金属氧化物半导体
CMP	化学机械平坦化
coater/developer track	涂胶 / 显影轨道
cobalt silicide	钴硅化物
coefficient of thermal expansion (CTE)	热涨系数
coherence probe microscope	相干探测显微镜
coherent light	相干光
cold wall	冷壁
collector	集电极
collimated light	平行光
collimated sputtering	准直溅射
compound semiconductor	化合物半导体
concentration	浓度
condensation	浓缩
conductor	导体
confocal microscope	共聚焦显微镜
conformal step coverage	共形台阶覆盖
contact	接触（孔）
contact alignment	接触式对准（光刻）
contact angle meter	接触角度仪
contamination	沾污，污染
continuous spray develop	连续喷雾显影

contour maps	包络图，等位图，等值图
contrast	对比度，反差
conventional I-line photoresist	常规I线光刻胶
Cook's theory	库克理论
copper CVD	铜CVD
copper interconnect	铜互连
cost of ownership (COO)	业主总成本
covalent bond	共价键
critical dimension	关键尺寸
cryogenic aerosol cleaning	冷凝浮质清洗
cryogenic pump(cryopump)	冷凝泵
crystal	晶体
crystal activation	晶体激活
crystal defect	晶体缺陷
crystal growth	晶体生长
crystal lattice	晶格
crystal orientation	晶向
CTE	热涨系数
current-driven current amplifier	电流驱动电流放大器
CVD	化学气相淀积
cycle time	周期
CZ crystal puller	CZ拉单晶设备
Czochralski(CZ) method	切克劳斯基法

D

damascene	大马士革工艺
darkfield detection	暗场检测
darkfield mask	暗场掩膜版
DC bias	直流偏压
deep UV (DUV)	深紫外光
defects density	缺陷密度
defect	缺陷
deglaze	漂氧化层
degree of planarity(DP)	平整度
dehydration bake	去湿烘焙，脱水烘焙
density	密度
depletion mode	耗尽型
depth of focus	焦深
deposition	淀积
deposited oxide layer	淀积氧化层
depth of focus (DOF)	焦深
descum	扫底膜
design for test (DFT)	可测试设计
desorption	解吸附作用
develop inspect	显影检查

development (also develop)	显影
developer	显影液
device isolation	器件隔离
device technology	器件（工艺）技术
DI water	去离子水
diameter grinding	磨边
diborane (B_2H_6)	乙硼烷
dichlorosilane (H_2SiCl_2)	二氯甲硅烷
die (singular or plural)	芯片
die array	芯片阵列
die attach	粘片
die-by- die alignment	逐个芯片对准
dielectric	介质
dielectric constant(k)	介电常数
die matrix	芯片阵列
die separation	分片
diffraction	衍射
diffraction-limited optics	限制衍射镜片
diffusion	扩散
diffusion controlled	受控扩散
digital/analog	数字 / 模拟
digital circuit	数字电路
diluent	稀释
direct chip attach (DCA)	直接芯片粘附
directionality	方向性
discrete	分离（元器件）
dishing	凹陷
dislocation	位错
dissolution rate	溶解率
dissolution rate monitor (DRM)	溶解率监测
DNQ-novolak	重氮萘醌 – 酚醛树脂
donor	施主
dopant concentration(dose)	掺杂浓度（剂量）
dopant profile	掺杂剖面
dopant(or impurity)	掺杂（或杂质）
doped region	掺杂区
doping	掺杂
dose monitor	剂量检测仪
dose, Q	剂量
downstream reactor	顺流法反应
drain	漏
drive-in	推进
dry etch	干法刻蚀
dry mechanical pump	干式机械泵
dry oxidation	干法氧化

dry plasma etch	干法等离子体刻蚀
dry-in/dry-out	干进 / 干出
dual damascene process	双大马士革工艺
dual plasma source (DPS)	双等离子体源
dual-polysilicon gates structure	双多晶硅栅结构
dynamic RAM (DRAM)	动态随机存储器

E

economies of scale	规模经济
edge bead removal	边缘去胶
edge die	边缘芯片
edge exclusion	无效边沿区域
electrically erasable PROM	电可擦除 PROM
electrode	电极
electromigration	电迁徙
electron beam (e-beam) lithography	电子束光刻
electron cyclotron resonance (ECR)	电子共振回旋加速器
electron shower	电子簇射，电子喷淋
electronic stopping	电子阻止
electronic wafer map	硅片上电性能分布图
electroplating	电镀
electropolishing	电解抛光
electrostatic chuck	静电吸盘
electrostatic discharge (ESD)	静电放电
ellipsometry	椭圆偏振仪，椭偏仪
emitter	发射极
endpoint detection	终点检测
energy dispersive spectrometer (EDX)	能量弥散谱仪
enhancement mode	增强型
epi	外延
epitaxial layer	外延层
epoxy underfill	环氧树脂填充不足
erasable PROM	可擦除可编程只读存储器
erosion	腐蚀，侵蚀
etch	刻蚀
etch bias	刻蚀涨缩量
etch profile	刻蚀剖面
etch rate	刻蚀速率
etch residue	刻蚀残渣
etch uniformity	刻蚀均匀性
etchant	刻蚀剂
etchback planarization	反刻平坦化
eutectic attach	共晶焊贴
eutectic temperature	共晶温度
evaporation	蒸发

excimer laser	准分子激光
exposure	曝光
exposure dose	曝光量
extraction electrode	吸极
extreme UV (EUV)	极紫外线
extrinsic silicon	掺杂硅

F

fabless	无造制厂公司
fabrication	制造
facilities	设施
fast ramp furnaces	快速升降温炉
fault model	失效模式
FCC diamond	面心立方金刚石
feature size	特征尺寸
FEOL	（生产线）前工序
Fick's laws	Fick 定律
field-effect transistor (FET)	场效应晶体管
field oxide	场氧化
field-by- field alignment	逐场对准
field-programmable PROM	现场可编程只读存储器
film	膜
film stress	膜应力
final assembly and packaging	最终装配和封装
final test	终测
first interlayer dielectric (ILD-1)	第一层层间介质
fixed oxide charge	固定氧化物电荷
flats	定位边
flip chip	倒装芯片
float zone	区熔法
fluorosilicate glass (FSG)	氟化玻璃
focal length	焦距
focal plane	焦平面
focal point	焦点
focus	聚焦
focus ion beam (FIB)	聚焦离子束
footprint	占地面积
forward bias	正偏压
four-point probe	四探针
Frenkel defect	Frenkel 缺陷
front-opening unified pod (FOUP)	前开口盒
functional test	功能测试
furnace flat zone	恒温区

G

g-line	G线
gallium(Ga)	镓
gallium arsenide (GaAs)	砷化镓
gap fill	缝隙填充，间隙填充
gas	气体
gas cabinet	气柜
gas manifold	气瓶集装
gas phase nucleation	气相成核
gas purge	气体冲洗
gas throughput	气体产量
gate	栅
gate oxide	栅氧化硅
gate oxide integrity	栅氧完整性
germanium(Ge)	锗
getter	俘获
glass	玻璃
glazing	光滑表面
global alignment	全局对准
global planarization	全局平坦化
glow discharge	启辉放电
gray area	灰区，技术夹层
gross defect	大尺寸缺陷
grown oxide layer	热氧化法生长二氧化硅

H

halogen	卤素
hardbake	坚膜
HEPA filter	高效过滤器
hermetic sealing	密封
heteroepitaxy	异质外延
heterogeneous reaction	异质反应
hexamethyldisilazane (HMDS)	六甲基二硅胺烷
high-density plasma CVD (HDPCVD)	高密度等离子体化学气相淀积
high-density plasma etch	高密度等离子刻蚀
high-pressure oxidation	高压氧化
high-temperature diffusion furnace	高温扩散炉
high vacuum	高真空
high vacuum pumps	高真空泵
hillock	小丘，（铝）尖刺
homoepitaxy	同质外延
homogeneous reaction	同质反应
horizontal furnace	卧式炉
hot electron	热电子

hot wall	热壁
hydrochloric acid(HCl)	盐酸
hydrofluoric acid(HF)	氢氟酸
hydrogen(H_2)	氢气
hydrogen chloride(HCl)	氯化氢
hydrogen peroxide(H_2O_2)	双氧水
hydrophilic	亲水性的
hydrophobic	憎水性的，疏水性的
hyperfiltration	超(过)滤

I

i-line	I 线
IC packaging	集成电路封装
IC reliability	集成电路可靠性
I_{DDQ} testing	静态漏电流测试
impurity	杂质
in situ measurements	在线测量，原位测量
index of refraction	折射率
indium	铟
inductively coupled plasma (ICP)	电感耦合等离子体
inert gas	惰性气体
infrared interference	红外干涉
ingot	锭
ink mark	墨水标识
in-line parametric test	在线参数测试
input/output(I/O)pin	输入 / 输出管脚
insulator	绝缘体
integrated circuit(IC)	集成电路
integrated measurement tool	集成电路测量仪
interconnect	互连
interconnect delay	互连连线延迟
interface-trapped charge	界面陷阱电荷
interferometer	干涉仪
interlayer dielectric(ILD)	层间介质
interstitial	间隙（原子）
intrinsic silicon	本征硅
ion	离子
ion analyzer	离子分析仪
ion beam milling or ion beam etching (IBE)	离子铣或离子束刻蚀
ion implantation	离子注入
ion implanter	离子注入机
ion projection lithography(IPL)	离子投影光刻
ionization	离子化
ionized metal plasma PVD	离子化金属等离子 PVD
IPA vapor dry	异丙醇气相干燥

isolation regions	隔离区
isotropic etch profile	各向同性刻蚀剖面

J

JFET	结型场效应管
junction(pn)	pn 结
junction depth, X_j	结深
junction spiking	结尖刺

K

Kelvin	绝对温度
killer defect	致命缺陷
kinetically controlled reaction	功能控制反应

L

laminar air flow	层状空气流，层流式
lapping	抛光
latchup	闩锁效应
lateral diffusion	横向扩散
law of reflection	反射定律
LDD	轻掺杂漏
leadframe	引线框架
leakage current	漏电流
len	透镜
lens compaction	透镜收缩
light	光
light intensity	光强
light scattering(laser scattering or scatterometry)	光散射
lightly doped drain(LDD)	轻掺杂漏（工艺）
linear	线性
linear accelerator	线性加速器
linear stage	线性阶段、线性区
linewidth	线宽
liquid	液体
lithography	光刻
loaded brush	沾污的毛刷
loaded effect	负载效应
loadlock	真空锁
local interconnect(LI)	局部互连
local oxidation of silicon (LOCOS)	硅局部氧化隔离法
local planarization	局部平坦化
LOCOS	硅局部氧化隔离法
logic	逻辑
lot	批

low-pressure chemical vapor deposition (LPCVD)	低压化学气相淀积
low vacuum	低真空
LPCVD	低压化学气相淀积
LSI	大规模集成电路

M

magnetic CZ (MCZ)	磁性切克劳斯基晶体生长法
magnetically enhanced RIE (MERIE)	磁增强反应离子刻蚀
magnetron sputtering	磁控溅射
majority carrier	多子
make-up loop	补偿循环
mask	掩膜版
mask-programmable gate array	掩膜可编程门阵列
mass flow controller (MFC)	质量流量计
mass spectrometer	质谱仪
mass-transport limited reaction	质量传输限制反应
mean free path (MFP)	平均自由程
medium vacuum	中真空
megasonic cleaning	超声清洗
melt	熔融
membrane contactor	薄膜接触器，隔膜接触器
membrane filter	薄膜过滤器，隔膜过滤器
mercury arc lamp	汞灯
MESFET	用在砷化镓结型场效应晶体管中的金属栅
metal contact	金属接触孔
metal impurities	金属杂质
metal stack	复合金属，金属堆叠
metallization	金属化
metalorganic CVD (MOCVD)	金属有机化学气相淀积
metrology	度量衡学
microchip	微芯片
microdefect	微缺陷
microlithography	微光刻
microloading	微负载，与刻蚀相关的深宽比
micron(μm)	微米
microprocessor unit	微处理器
microroughness	微粗糙度
Miller indices	密勒指数
minienvironment	微环境
minimum geometry	最小尺寸
minority carrier	少子
mix and match	混合与匹配
mobile ionic contaminants(MIC)	可动离子沾污
mobile oxide charge	可动氧化层电荷
molecular beam epitaxy (MBE)	分子束外延

molecular flow	分子流
monitor wafer (test wafer)	陪片，测试片，样片
monocrystal	单晶
monolithic device	单片器件
Moore's law	摩尔定律
MOS	金属氧化物半导体
MOSFET	金属氧化物半导体场效应管
motor curreant endpoint	电机电流终点检测（法）
MSI	中规模集成电路
multichip module (MCM)	多芯片模式
multilevel metallization	多重金属化
Murphy's model	墨非模型

N

nanometer(nm)	纳米
native oxide	自然氧化层
n-channel MOSFET	n 沟道 MOSFET
negative resist	负性光刻胶
negative resist development	负性光刻胶显影
neutral beam trap	中性束陷阱
next-generation lithography	下一代光刻技术
nitric acid (HNO_3)	硝酸
nitrogen (N_2)	氮气
nitrogen trifluoride(NF_3)	三氟化氮
nitrous oxide (N_2O)	一氧化二氮、笑气
nMOS	n 沟道 MOS 场效应晶体管
noncritical layer	非关键层
nonvolatile memory	非挥发性存储器
normality	归一化
notch	定位槽
novolak	苯酚甲醛聚树脂材料
npn	npn 型（三极管）
n-type silicon	n 型硅
nuclear stopping	离子终止
nucleation	成核现象, 晶核形成
nuclei coalescence	核合并
numerical aperture (NA)	数值孔径
n-well	n 阱

O

objective	（显微镜的）物镜
off-axis illumination (OAI)	偏轴式曝光，离轴式曝光
ohmic contact	欧姆接触
op amp	运算放大器

optical interferometry endpoint	光学干涉法终点检测
optical lithography	光学光刻
optical microscope (light microscope)	光学显微镜
optical proximity correction (OPC)	光学临近修正
optical pyrometer	光学高温计
optics	光学
organic compound	有机化合物
out-diffusion	反扩散
outgassing	除气作用
overdrive	过压力
overetch step	过刻蚀
overflow rinser	溢流清洗
overlay accuracy	套准精度
overlay budget	套准偏差
overlay registration	套刻对准
oxidation	氧化
oxidation-induced stacking faults(OISF)	氧化诱生层积缺陷，氧化诱生堆垛层错
oxide	氧化物、氧化层、氧化膜
oxidizer	氧化剂
oxide-trapped charge	氧化层陷阱电荷
ozone(O_3)	臭氧

P

package	封装管壳
pad conditioning	垫修整
pad oxide	垫氧化膜
paddle	悬臂
parabolic stage	抛物线阶段
parallel-plate(planar)reactor	平板反应
parallel testing	并行测试
parameter	参数
parametric test	参数测试
parasitic	寄生
parasitic capacitance	寄生电容
parasitic resistance	寄生电阻
parasitic transistor	寄生晶体管
partial pressure	分压
particle density	颗粒密度
particle per wafer per pass (PWP)	每步每片上的颗粒数
passivation	钝化
passivation layer	钝化层
passive components	无源元件
pattern sensitivity	图形灵敏性
patterned etching	图形刻蚀
pattern wafer	带图形硅片

patterning	图形转移，图形成型，刻印
pc board	印刷电路版
p-channel MOSFET	p 沟道 MOSFET
PCM	工艺控制监测
PEB	曝光后烘焙
PECVD	等离子体增强化学气相淀积
PEL	允许曝露极限值
pellicle	贴膜
pentavalent	五价元素
perimeter array	周边阵列式（封装）
pH scale	pH 值
phase-shift mask (PSM)	相移掩膜技术
phosphine (PH_3)	磷化氢
phosphoric acid(H_3PO_4)	磷酸
phosphorus(P)	磷
phosphorus oxychloride ($POCl_3$)	三氯氧磷
phosphosilicate glass(PSG)	磷硅玻璃
photoacid generator(PAG)	光酸产生剂
photoacoustics	光声的
photoactive compound(PAC)	感光化合物
photolithography	光刻（技术）
photomask	光掩膜
photoresist	光刻胶
photoresist stripping	去胶、光刻胶去除
physical etch mechanism	物理刻蚀机理
physical vapor deposition(PVD)	物理气相淀积
pigtail	引出头
pin grid array (PGA)	针栅阵列式（封装）
pinhole	针孔
piranha	3 号液
pitch	间距
planar	平面
planar capacitor	平面电容
planar process	平面工艺
planarization	平坦化
plasma	等离子体
plasma-based dry cleaning	等离子体干法清洗
plasma electron flood	等离子电子流
plasma enhanced CVD(PECVD)	等离子体增强 CVD
plasma etch	等离子体刻蚀
plasma-induced damage	等离子体诱导损伤
plasma potential distribution	等离子体势分布
plastic dual in-line package (DIP)	双列直插塑料封装
plastic leaded chip carrier (PLCC)	塑料电极芯片载体
plastic packaging	塑料封装

plug	塞，填充
pMOS (p-channel)	p 沟道 MOS
pn junction diode	pn 结型二极管
pnp	pnp 型三极管
point defect	点缺陷
Poisson's model	泊松模型
polarization	极化，偏振
polarized light	极化光，偏振光
polish	抛光
polish rate	抛光速率
polished wafer edge (edge grind)	倒角
polishing loop	磨抛循环
polishing pad	抛光（衬）垫
polycide	多晶硅化物
polycrystal	多晶
polymer formation	聚合物方程式
polymerization	聚合作用
polysilicon	多晶硅
polysilicon gate	多晶硅栅
positive lithography	正性光刻
positive resist	正性光刻胶
positive resist development	正性光刻胶显影
post-develop inspection	显影后检查
post-exposure bake (PEB)	曝光后烘焙
ppb	十亿分之几
ppm	百万分之几
ppt	万亿分之几
preamorphization	预非晶化
precursor	先驱物
predeposition	预淀积
premetal dielectric (PMD)	金属前介质
Preston equation	Preston 方程
primary orientation flat	主定位边
print bias	光刻涨缩量
printed circuit board (PCB)	印刷电路版
probe	探针
probe card	探针卡
prober	探针台
process	工艺
process chamber	工艺腔，工艺反应室
process chemical	工艺化学
process control monitor(PCM)	工艺控制监测（图形）
process latitude	工艺水平，工艺能力
process recipe	工艺菜单
programmable array logic (PAL)	可编程阵列逻辑

programmable logic device	可编程逻辑器件
programmable read-only memory	可编程只读存储器
projected range, R_p	投影射程
proximity aligner	接近式光刻机
p-type silicon	p 型硅
puddle develop	搅拌式显影
pump speed	真空泵的抽气速率
punchthrough	穿通
purge	（冲气）清洗
pruge cycle	（冲气抽气）清洗循环
PVD	物理气相淀积
p-well	p 阱
pyrogenic steam	热流
pyrogen	热原(质)
pyrolytic	热解
pyrophoric	自燃的

Q

quad flatpack (QFP)	方型扁平（管壳）封装，四边形扁平封装
quadrupole mass analyzer (QMA)	四极质量分析器
quality measure	质量测试
quartz	石英
quartz tube	石英管
quartz wafer boat	石英舟
queue time	排队时间

R

radiation damage	辐射损伤
radical	激发
random access memory (RAM)	随机存储器
range	射程
rapid thermal anneal (RTA)	快速热退火
rapid thermal processor (RTP)	快速热处理器
RCA clean	RCA 清洗
reaction rate limited	反应速率限制
reactive ion etch (RIE)	反应离子刻蚀
reactivity	反应性
reactor	反应室，反应腔
read-only memory (ROM)	只读存储器
recombination	复合
redistribution	再分布
reflection spectroscopy (reflectometry)	反射光谱仪
reflective notching	反射开槽
reflow	回流

refraction	折射
refractory metal	难熔金属
regeneration	再生
registration	套准精度
relative index of refraction, n	相对折射率
residual gas analyzer (RGA)	残余气体分析器
resist	光刻胶
resist development	光刻胶显影
resistance	电阻
resistivity	电阻率
resolution	分辨率
reticle	掩膜版
retrograde well	倒掺杂阱
reverse bias	反偏
reverse osmosis (RO)	反向渗透
RF	射频
RF sputtering	射频溅射
rinse	清洗
RO	反向渗透
Roots blower	罗茨（机械增压）泵
roughing pump	低真空泵，机械泵
RTA	快速热退火
RTP	快速热处理

S

scaling	按比例缩小
SCALPEL	具有角度限制分散投影电子束光刻
scanner	扫描仪
scanning electron microscope (SEM)	扫描电子显微镜
scanning projection aligner	扫描投影光刻机
Schottky diode	肖特基二极管
screen oxide layer	掩蔽氧化膜
scribe line	划片道
scribe line monitor (SLM)	划片线监测
scumming	底膜
secondary electron	二次电子
secondary electron flood	二次电子流
secondary ion mass spectrometry (SIMS)	二次离子质谱(法)
Seed’s model	Seed 模型
selective etching	选择性刻蚀
selective oxidation	选择性氧化
selectivity	选择性
semiconductor grade silicon	半导体级硅
semiconductor	半导体
sensitivity	灵敏度

shallow trench isolation (STI)	浅沟槽隔离
sheet resistance, R_s	方块电阻，薄层电阻
sheet resistivity, ρ_s	方块电阻率
shot size	胶（点）尺寸
shrinking	缩小
SI units	公制
sidewall spacer	侧墙
silane (SiH_4)	硅烷
silicide	硅化物
silicon (Si)	硅
silicon dioxide (SiO_2)	二氧化硅
silicon nitride (Si_3N_4)	氮化硅
silicon on sapphire	蓝宝石上硅
silicon on insulator (SOI)	绝缘体上硅
silicon tetrachloride (SiC_4)	碳化硅
silicon tetrafluoride (SiF_4)	氟化硅
single crystal silicon	单晶硅
silicon tetrachloride ($SiCl_4$)	四氯化硅
silylation	硅烷化(作用)
SIMOX	由注入氧隔离，一种 SOI 材料
single crystal	单晶
slip	滑移
slurry	磨料
SMIF	标准机械接口
sodium hydroxide (NaOH)	氢氧化钠
soft bake	前烘
solid	固体
solvent	溶剂
SOS	蓝宝石上硅
source	源
source/drain (S/D) implants	源漏注入
spatial coherence	空间相干
spatial signature analysis	空间信号分析
specialty gase	特种气体
species	种类
specific gravity	比重
specific heat	比热
speckle	斑点
spectroscopic ellipsometry	椭圆偏振仪
spin coating (spin)	光刻胶旋涂
spin dryer	旋转式甩干机
spin-on-dielectric(SOD)	旋转介质法
spin-on-glass (SOG)	旋转玻璃法
spray cleaning	喷雾清洗
spray rinser	喷雾清洗槽

spreading resistance probe	扩散电阻探测
sputtering	溅射
sputter etch	溅射刻蚀
sputtered aluminum	溅射铝
sputtering yield	溅射产额
SSI	小规模集成电路
stacking fault	层积缺陷，堆垛层错
standard clean 1 (SC-1)	1 号（标准）清洗液
standard clean 2 (SC-2)	2 号（标准）清洗液
standard mechanical interface (SMIF)	标准机械接口
standing wave	驻波
static RAM	静态随机存储器
statistical process control (SPC)	统计过程控制
step coverage	台阶覆盖
step height	台阶高度
step-and-repeat aligner	分步重复光刻机
step-and-scan system	步进扫描光刻机
stepper	步进光刻机
stepping motor driver	步进电机驱动器电路
stepper	步进光刻机
stoichiometry	化学计量（配比）
straggle, ΔR_p	投射标准偏差
stress	应力
striation	条纹
stripping	去胶
structure	结构
subatmospheric CVD (SACVD)	亚大气压化学气相淀积
submicron	亚微米
sub-quarter micron	亚 0.25 微米
substrate	衬底
sublimation	升华
substitutional atom	替位原子
subwavelength lithography	亚波长光刻
sulfur hexafluoride (SF_6)	六氟化硫
sulfuric acid (H_2SO_4)	硫酸
surface profiler	表面形貌
surface tension	表面张力
susceptor	基座

T

target chamber	靶室
target	靶
temperature ramp rate	温度变化率
temperature	温度
TEOS	正硅酸乙脂

test algorithm	测试算法
test coverage	测试覆盖
test structure	测试结构
test vector	测试向量
thermal budget	热预算
thermal oxide	热氧化
thermocompression bonding	热压键合
thermocouple	热电偶
thermogravimetric analysis (TGA)	热重量分析
thermosonic bonding	热超声键合
thin film	薄膜
thin small outline package (TSOP)	薄小型封装
III-V compound	三五族化合物
threshold	阈值
threshold voltage	阈值电压
threshold voltage adjustment implant	调栅注入、阈值调整注入
throughput	产量
time of flight SIMS (TOF-SIMS)	飞行时间二次离子质谱(法)
titanium silicide	钛硅化物
TLV	极限阈值
top surface imaging	上表面图形
topography	形貌
torr	托
toxic	有毒
track system (also track)	轨道系统
transient enhanced diffusion (TED)	瞬时增强扩散
transistor	晶体管
trench	槽
trench capacitor	槽电容
trichlorosilane (TCS or $SiHCl_3$)	三氯氢硅
triode planar reactor	三真空管平面反应室
triple well	三阱
trivalent	三价
tungsten (W)	钨
tungsten etch back	钨反刻
tungsten hexafluoride (WF_6)	六氟化钨
tungsten plug	钨塞，钨填充
turbomolecular pump(turbo pump)	涡轮分子泵
twin planes (twinning)	双平面
twin-well(twin-tub)	双阱

U

ULSI	甚大规模集成电路
ultralow penetration air (ULPA)	超低穿透空气
ultrafiltration	超过滤

ultrafine particle	超细颗粒
ultrahigh purity (UHP)	超高纯度
ultrahigh vacuum	超高真空
ultrashallow junction	超浅结
ultrasonic bonding	超声键合、超声压焊
ultraviolet	紫外线
undercut	钻蚀
uniformity	均匀性
unit cell	元包，晶胞
unpatterned etching (stripping)	无图形刻蚀（剥离）
unpatterned wafer	无图形硅片
UV	紫外线

V

vacancy	空位
vacuum	真空
vacuum wand	真空吸片棒，真空镊子
Van der Pauw method	范德堡法
vapor phase epitaxy (VPE)	气相外延
vapor pressure	气压
vapor prime	气相熏增粘剂，气相成底膜
vaporization	气化
variable angle spectroscopic ellipsometry (VASE)	可变角度椭偏仪
vertical furnace	立式炉
via	通孔
viscous flow	粘滞流
VLSI	超大规模集成电路
volatile memory	挥发性存储器
volatile	挥发
voltage regulator	稳压器

W

wafer cassette	硅片架
wafer charging	硅片充电
wafer electrical test (WET)	硅片电学测试
wafer etch	硅片刻蚀
wafer flat or notch	硅片定位边或定位凹槽
wafer flatness	硅片平整度
wafer-level reliability (WLR)	硅片级可靠性
wafer slicing	硅片划片
wafer sort yield	硅片拣选成品率
wafer sort	硅片拣选
wafer test	硅片测试
wafer tilt	硅片倾斜
wafer to wafer non-uniformity (WTWNU)	片间不均匀性

wafer-level packaging	圆片级封装
water deionization	水去除离子
wavelength dispersive spectrometer (WDX)	波长弥散谱仪
well	阱
WET	硅片电学测试
wet cleaning station	湿法清洗台
wet etch	湿法刻蚀
wet oxidation	湿法氧化
wet sink	清洗槽
wirebonding	引线键合
wiring	连线
within-wafer nonuniformity (WIWNU)	片内不均匀性

X

X-ray	X 射线
X-ray fluorescence (XRF)	X 射线荧光性
X-ray lithography	X 射线光刻
X-ray photoelectron spectroscopy (XPS)	X 射线光电能谱仪

Y

yield	成品率
yield management system	成品率管理系统

Z

zeta potential	zeta 电势

参考文献

1. Official dictionary, SEMATECH, Inc., 1995. (http://www.sematech.org)
2. The Semiconductor International Manufacturing Process, *Glossary of Semiconductor Terms*, (Fullman Company, 1998).
3. *Microelectronics Glossary of Terms*, Integrated Circuit Engineering Corporation.
4. M. Madou, *Fundamentals of Microfabrication*, (New York: CRC Press, 1997).
5. Specialty gas information from Web page of Solkatronic Chemicals, Inc., Fairfield, NJ.